
电路设计自动化丛书
杜建国 编著
Verilog HDL
硬件描述语言
国防工业出版社
National Defence Industry Press
http://www.ndip.cn

Verilog HDL 硬件描述语言

杜建国 编著

电路设计自动化丛书

国防工业出版社
·北京·

内 容 简 介

本书首先概述了数字集成电路发展的历史与未来，指出了硬件描述语言(HDL)在设计数字电路中所起的作用，并系统讲解了 Verilog HDL 的语法要点。在此基础上，本书以 Verilog HDL 为工具，介绍了几种描述电路的方法与技巧，列举了几个典型电路的描述实例，然后用 80C51 单片机、硬盘控制器和 PCL 总线控制器接口等子系统的设计实例分别讲解了自顶向下的层次化设计方法、同步与异步数据流的控制以及 Master/Slave 状态机在总线控制等方面的设计技巧。文中还对 Verilog 建模与调试、BIST 电路的原理与 Verilog 实现作了详细论述，并提供了具体例子，最后以一个真实 ASIC 例子的简单介绍作为全书的结尾。

本书是 Verilog HDL 用于数字电路设计的中高级读本，可作为大专院校计算机、微电子学和半导体专业高年级本科生和研究生的教材，也可作为数字集成电路芯片设计人员的参考书。

图书在版编目(CIP)数据

Verilog HDL 硬件描述语言/杜建国编著. —北京：国防工业出版社，2004.1
(电路设计自动化丛书)
ISBN 7-118-03233-6

Ⅰ.V... Ⅱ.杜... Ⅲ.硬件描述语言，VHDL－程序设计 Ⅳ.TP312

中国版本图书馆 CIP 数据核字(2003)第 074671 号

国防工业出版社出版发行
(北京市海淀区紫竹院南路 23 号)
(邮政编码 100044)
北京奥隆印刷厂印刷
新华书店经售
*
开本 787×1092 1/16 印张 26¼ 602 千字
2004 年 1 月第 1 版 2004 年 1 月北京第 1 次印刷
印数：1—3000 册 定价：35.00 元

前　言

随着电子技术的发展，芯片的复杂程度越来越高，人们对数万门乃至数百万门的电路设计的要求也越来越多。仅仅依靠原理图输入方式已经不能满足设计人员的要求，采用硬件描述语言 HDL 的设计方式就应运而生。设计工作从行为、功能级开始，并向着设计的高层次发展。这样，就出现了第三代 EDA 技术，其特点就是高层次设计的自动化（HLDA：High Level Design Automation）。

第三代 EDA 系统中除了引入硬件描述语言（一般采用两种语言，即 VHDL 语言和 Verilog HDL 语言），还引入了行为综合和逻辑综合工具。采用较高的抽象层次进行设计，并按层次方法进行管理，这样就能大大提高处理复杂设计的能力，缩短设计周期。综合优化工具的采用使芯片的品质获得了优化，因此第三代 EDA 系统得到了迅速的推广。

本书假定读者都已经了解数字硬件设计的基本知识，并熟悉如 C 语言等高级编程语言。对 Verilog HDL 有初步了解的读者，阅读本书将更加有效果。阅读本书的某些章节时，必须事先分别对 80C51 单片机、ATA（ATAPI）总线操作和 PCI 总线操作有充分的了解。

本书是 Verilog HDL 用于数字电路设计的中高级读本，实用性强是本书的一个鲜明特色。书中通过大量实例介绍了该语言的基本内容和结构，利用该语言在各种层次上对数字系统的建模方法极有帮助，而且对实际数字系统设计也极有帮助。本书使用普通的术语介绍语言的语法和语义，而没有使用语言正式定义的专业术语。本书并未试图对语言进行完整的讨论，只限于讨论语言中对无论是简单还是复杂设备建模的最有用和常用的特性。仅通过阅读来学习 Verilog HDL 语言和数字电路设计是不够的，将书中的实例在 Verilog 模拟器上编译并模拟它们，是掌握该语言技巧的最佳途径。

本书适用于包括电路和系统设计者在内的硬件设计者、软件工具开发者以及对学习使用 Verilog HDL 硬件建模感兴趣的其他读者，也可作为计算机辅助设计、硬件建模或综合课程的入门课程。对于学生和教授们来说，本书是硬件设计和硬件描述语言非常有用

的教学参考工具。

本书共分十一章。第一章在简单回顾了电路设计的演变过程后，对硬件描述语言进行了概述，并给出了 EDA 的典型设计流程以及有关硬件描述语言的新发展。第二章简单地阐述了 VHDL 语言与 Verilog HDL 语言的主要差别及其各自的特点。第三章至第六章主要介绍 Verilog HDL 的基本知识、用户自定义元件以及 Verilog HDL 的两种描述方式。第七章举例详述了有关 Verilog HDL 程序的测试与仿真的内容。第八章到第十一章分别给出了使用 Verilog HDL 设计简单逻辑电路与复杂电路的实例。

书中通过大量的实例介绍了该语言的基本内容和结构，这些实例不仅对读者掌握语言本身和建模方法有很大的帮助，而且对实际数字系统设计也有帮助。

希望此书的出版对推动我国集成电路设计水平的提高有所促进，对高等学校的教学和课程改革有所帮助。由于作者水平有限，加之时间仓促，书中难免存在错误和不足，敬请广大读者予以批评指正。

目　录

第一章 绪 论

近30年来，数字电路设计技术获得了飞速发展。最早的数字电路是用电子管和晶体管搭的，直到逻辑门可以做在单芯片上才出现了集成电路。最早的集成电路是只有很少门数的小规模电路，随着技术的不断发展，出现了几百门的中规模集成电路和几千门的大规模集成电路。从这时起，设计过程开始变得非常复杂，设计者已经感觉到自动化设计的必要性。最早出现的计算机辅助设计（CAD），使设计人员能够开始用电路和逻辑仿真技术来验证大约 100 个晶体管的功能模块。当然，这种电路也可以在面包板上进行测试。随着超大规模集成电路技术的出现，设计者可以在单芯片上集成上万个晶体管。由于电路的复杂程度越来越高，在面包板上验证电路已经不太可能，计算机辅助技术成为设计和验证超大规模集成电路的关键。

随着集成电路的深亚微米制造技术、设计技术的迅速发展，集成电路已进入片上系统时代。所谓的片上系统，又称为系统级芯片，就是系统级集成电路，其英文缩写为 SOC（System On a Chip）或者 SLI（System Level IC）。系统级集成电路（SOC）在单一硅芯片上实现信号采集、转换、存储、处理和 I / O 等功能，或者说在单一硅芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、MPU、MCU、DSP、MPEG 等，实现了一个系统的功能。SOC 是在 ASIC 的基础上发展起来的电路，它与 ASIC 完全不同，具有很多独特的优点。

(1) SOC 增加了功能：从单一功能增加到多个功能，实现了一个系统的功能，达到了高速、高集成度和低功耗。

(2) SOC 大大降低了整机的成本：过去构成一个系统需用多块 IC 芯片，现在只要一块 SOC 就够了。

(3) SOC 大大降低了整机的体积：这是系统制造商进一步发展的方向，尤其对于便携式的电脑、通信及多媒体产品的生产厂家更具有吸引力。

(4) SOC 促进了整机系统更新换代的速度：它缩短了供需双方之间的差距，使整机更受用户的欢迎，便于占领市场。

SOC 的这些优点正好顺应了通信、电脑、消费类电子产品轻、薄、短和耗电少的发展方向，因此市场对 SOC 产品有强烈的需求。目前 SOC 是微电子产业界最热门的话题之一，如果说 VLSI 促进了 PC 的广泛应用而带来了信息产业的第一次革命，那么 SOC 的发展正在带来信息产业的第二次革命。美国、日本和欧洲许多国家的各大半导体公司纷纷加大对 SOC 生产线的投资力度，建立 0.15μm～0.20μm 加工线，用以生产 SOC。例如 NEC 公司为生产 SOC 建立了两条 IC 芯片加工线，一条为低功耗 SOC 工艺线（UC3），最细线宽为 0.18μm，功耗达到 19nW / MHz / 门；另一条是高性能 SOC 工艺线，最细线宽为 0.15μm，速度达到 500MHz。这两条工艺线加工 SOC 的集成度可达 3400 万门 /

20mm，BGA 封装引脚可达 3000pin，NEC 已经在 1999 年第二季度投产。SGS-Thomson 公司正在建设一条开发生产 SOC 芯片的加工线，采用 0.12μm、Φ300mm 技术。

SOC 逐渐成为市场的热点，迫使可编程器件 CPLD 和 FPGA 转向 SOC。Xilinx 公司将其 FPGA 产品转向为 SOC，该公司首先推出了百万门 Virter 系列 FPGA，为解决系统级设计问题提供了新的 FPGA 平台。Quick logic 公司宣布将利用该公司标准产品 FPGA 和硬核模块向客户提供可编程 SOC 产品。Altera 公司的新型可编程逻辑器件 APEX 20K 系列已于 1999 年第一季度正式面世，它是第一个成功地将乘积项、查询表功能及内嵌式集成的体系结构。APEX 20K 也是第一个器件密度达到百万门，系统性能可支持 64 位 / 68MHz PCI 标准的产品系列，将整个复杂的系统集成进一片可编程芯片内，实现 SOC；其第一个产品 EP20K400 已供应市场。

系统级集成电路实现的必要条件之一是其线宽需达到深亚微米级。当代 SOC 芯片多数为 0.25μm～0.18μm 设计规则，这与传统的 IC 设计技术完全不同，因此给 SOC 芯片设计带来了新的困难。集成电路设计进入深亚微米阶段后，特征尺寸缩小，其横向和纵向尺寸也都大大缩小，芯片内的互连线长度却急剧增大。互连线与连线间的电阻和电容对信号传输的影响非常显著，这一变化引入了许多新问题，给 SOC 芯片 EDA 设计提出了更多的挑战。

器件的特征尺寸降到深亚微米级，器件的物理特性和电学特性将会发生很大的变化。原来的模型已不再适合，必须考虑深亚微米尺寸所引起的物理效应，单元本身的固有延迟相对来说大大减小，而互连线所引起的延迟在整个单元延迟中所占的比例越来越大：深亚微米连线变细，连线间距变小，连线变长，这就增加了连线的分布电容。由于信号频率很高，所以会引入串扰影响和噪声影响；由于互连线变细，易于引起电迁徙和热载流子效应，因此在集成电路的设计策略上需做较大的调整，即要从原来面向电路单元的设计策略——先安排电路模块，然后考虑互连引线，更改为面向电路互连引线的设计策略——先安排电路互连线网，然后再挂电路模块，这样可以从总体设计上保证芯片高速工作。特别是深亚微米级芯片的速度较快，这时对时序的要求更为严格，因此前端的逻辑设计与后端的物理设计间很难保持一致。对于在逻辑设计中仿真分析后功能和时序都正确的网表，在布线设计后却由于芯片空间和连线的限制，造成互连引线的延迟与逻辑设计中使用的模型不一致，使得时序不再满足约束的要求。这时必须回到逻辑设计中进行修改，然后再进行仿真分析。由于逻辑设计和布局布线之间的控制因素不统一，将会导致逻辑设计和物理设计的循环不收敛，因而会使设计周期大大加长。

为了能在设计的初期就获得有关互连线的信息，目前常用的一种设计方法是在设计流程中加入布局规划，通过布局规划对电路进行预布局，并得出电路互连延迟估计，然后这些估计被用来指导后续的设计过程。这种方法的最大困难在于在布线规划中很难保证电路之间最大互连延迟估计的准确度。另外，由于在设计初期即对电路的物理位置进行了约束，势必会影响到电路的优化程度。目前采用高层次设计方法，试图在设计初期获得一些有关深亚微米集成电路连线的物理信息，并以此来指导后续的设计过程，但目前仍不能十分有效地避免设计过程的迭代。高层次设计方法现在仍不能适应深亚微米高性能系统设计的要求，应从设计流程、电路结构以及算法等多方面进行综合考虑，力图把几方面的方法有效地结合起来，以探索得到全面的解决方案。

最近10年来，硬件描述语言（HDL）在逻辑电路设计中得到了广泛应用。工程管理者不再面临在设计中是否使用硬件描述语言的困境，相反，他们关心的是选用哪种语言能更好地与他们的设计环境相结合。使用硬件描述语言，设计者能够更好地从功能和行为上表述自己的设计，而且还可以加上详细的注解，以便在以后的设计中重复使用。在具体设计之前，通过抽象的功能描述，可以找到灵活的系统结构，并发现设计的瓶颈之所在。

1.1 初步了解 Verilog HDL

硬件描述语言（Hardware Description Language）是硬件设计人员和电子设计自动化（EDA）工具之间的界面，其主要目的是用来编写设计文件，建立电子系统行为级的仿真模型即利用计算机的巨大能力对用 Verilog HDL 或 VHDL 建模的复杂数字逻辑进行仿真，然后再自动综合以生成符合要求且在电路结构上可以实现的数字逻辑网表（Netlist），根据网表和某种工艺的器件自动生成具体电路，然后生成该工艺条件下这种具体电路的延时模型，仿真验证无误后，用于制造 ASIC 芯片或写入 EPLD 和 FPGA 器件中。

在 EDA 技术领域中把用 HDL 语言建立的数字模型称为软核（Soft Core），把用 HDL 建模和综合后生成的网表称为固核（Hard Core），对这些模块的重复利用缩短了开发时间，提高了产品开发率和设计效率。

随着 PC 平台上的 EDA 工具的发展，PC 平台上的 Verilog HDL 和 VHDL 仿真综合性能已相当优越，这就为大规模普及这种新技术铺平了道路。目前国内只有少数重点设计单位和高校有一些工作站平台上的 EDA 工具，而且大多数只是做一些线路图和版图级的仿真与设计，只有个别单位展开了利用 Verilog HDL 和 VHDL 模型（包括可综合和不可综合的）进行复杂的数字逻辑系统的设计。随着电子系统向集成化、大规模、高速度的方向发展，HDL 语言将成为电子系统硬件设计人员必须掌握的语言。

为何使用硬件描述语言？

传统的用原理图设计电路的方法已逐渐消失，取而代之，HDL 语言正被人们广泛接受，出现这种情况有以下几点原因：

(1) 电路设计将继续保持向大规模和高复杂度发展的趋势。20 世纪 90 年代设计的规模已达到百万门的数量级。作为科学技术大幅度提高的产物，芯片的集成度和设计的复杂度都大大增加，芯片的集成密度已达到 100 万个晶体管以上，为使如此复杂的芯片变得易于人脑的理解，用一种高级语言来表达其功能性而隐藏具体实现的细节是很必要的。这也就是在大系统程序编写中高级程序设计语言代替汇编语言的原因。工程人员将不得不使用 HDL 进行设计，而把具体实现留给逻辑综合工具去完成。

(2) 电子领域的竞争越来越激烈。刚刚涉入电子市场的成员要面对巨大的压力，提高逻辑设计的效率，降低设计成本，更重要的是缩短设计周期。多方位的仿真可以在设计完成之前检测到其错误，这样能够减少设计重复的次数。因此，有效的 HDL 语言和主计算机仿真系统在将设计错误的数目减少到最低限方面起到不可估量的作用，并使第一次投片便能成功地实现芯片的功能成为可能。

(3) 探测各种设计方案将变成一件很容易，很便利的事情，因为只需要对描述语言进行修改，这比更改电路原理图原型要容易实现得多。

比起传统的原理图设计方法来说，HDL 有许多优点，主要有：

(1) 用 HDL 设计电路能够获得非常抽象级的描述。设计者不用选择特定的制造工艺就能写出电路的寄存器传输级（RTL：Register Transfer Level）描述。逻辑综合工具能自动将 RTL 描述转换成任何一种制造工艺。如果出现了新工艺，设计者不用再重新设计电路。当使用新工艺时，他们需要做的只是简单地把电路的 RTL 描述输入到逻辑综合工具中，就能产生出一个新的门级网表。逻辑综合工具将针对新工艺自动地进行电路面积和时序的优化。

(2) 用 HDL 描述电路设计，在设计的前期就可以完成电路功能级的验证。由于设计者工作在 RTL 级，他们可以不断地优化和修改 RTL 描述，直到满足所需要的功能为止，这时能够发现并改进设计中的绝大部分错误。在设计晚期的门级网表或物理版图中出现功能性错误的概率已经非常小，这样可以非常显著地缩短设计周期。

(3) 用 HDL 设计电路类似于计算机编程。带有注解的文字性描述更有利于电路的开发与调试。比起门级原理图来说，HDL 还提供了非常简明的设计表达。在非常复杂的设计中，门级原理图几乎是不可理解的。

逻辑综合把 HDL 推到了数字电路设计的最前沿，设计者不再需要用手工放置门电路的办法来设计数字电路。HDL 也被用作进行系统级设计，完成诸如系统板、互连总线、FPGA（现场可编程门陈列）和 PAL（可编程陈列逻辑）等电路的仿真。用 HDL 设计每一种电路的方法都是通用的。

Verilog HDL 是一种硬件描述语言，用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。被建模的数字系统对象的复杂性可以介于简单的门和完整的电子数字系统之间。数字系统能够按层次描述，并可在相同描述中显式地进行时序建模。

Verilog HDL 语言具有下述描述能力：设计的行为特性、设计的数据流特性、设计的结构组成以及包含响应监控和设计验证方面的时延和波形产生机制。所有这些都使用同一种建模语言。此外，Verilog HDL 语言提供了编程语言接口，通过该接口可以在模拟、验证期间从设计外部访问设计，包括模拟的具体控制和运行。

Verilog HDL 语言不仅定义了语法，而且对每个语法结构都定义了清晰的模拟、仿真语义。因此，用这种语言编写的模型能够使用 Verilog 仿真器进行验证。Verilog 语言从 C 编程语言中继承了多种操作符和结构，提供了扩展的建模能力 HDL。Verilog HDL 语言的核心子集非常易于学习和使用，这对大多数建模应用来说已经足够。当然，完整的硬件描述语言足以对从最复杂的芯片到完整的电子系统进行描述。

1.2 Verilog HDL 的历史

早期的集成电路设计实际上就是掩模设计，电路的规模是非常小的，电路的复杂度也很低，工作方式则主要依靠手工作业和个体劳动。40 年后的今天超大规模集成电路（VLSI）的电路规模都在百万门量级，由于集成电路大规模、高密度、高速度的需求，

使电子设计愈来愈复杂，为了完成10万门以上的设计，需要制定一套新的方法，就是采用硬件描述语言设计数字电路。HDL(Hardware Description Language)于1992年由Iverson提出，随后许多高等学校、科研单位、大型计算机厂商都相继推出了各自的HDL，但最终成为IEEE技术标准的仅有两个，即VHDL和Verilog HDL。这两种语言提供非常简洁，可读性很强的句法，使用Verilog语言已经成功地设计了许多大规模的硬件。

Verilog HDL是在1983年，由GDA(Gate Way Design Automation)公司的Phil Moorby首创的。Phil Moorby后来成为Verilog-XL的主要设计者和Cadence公司(Cadence Design System)的第一个合伙人。在1984—1985年，Moorby设计出第一个关于Verilog-XL的仿真器，1986年他对Verilog HDL的发展又做出另一个巨大贡献，提出了用于快速门级仿真的XL算法。

随着Verilog-XL算法的成功，Verilog HDL语言得到迅速发展。1989年，Cadence公司收购了GDA公司，Verilog HDL语言成为Cadence公司的私有财产。1990年，Cadence公司公开了Verilog HDL语言，成立了OVI(Open Verilog International)组织来负责Verilog HDL的发展。IEEE于1995年制定了Verilog HDL的IEEE标准即Verilog HDL 1364-1995。

1987年，IEEE接受VHDL（VHSIC Hardware Description Language）为标准HDL，即IEEE1076-87标准，1993年进一步修订定为ANSI/IEEE1076-93标准。现在很多EDA供应商都把VHDL作为其EDA软件输入/输出的标准。例如，Cadence、Synopsys、Viewlogic、Mentor Graphic等厂商都提供了对VHDL的支持。

Verilog HDL语言最初是于1983年由Gateway Design Automation公司为其模拟器产品开发的硬件建模语言。那时它只是一种专用语言。由于他们的模拟、仿真器产品的广泛使用，所以Verilog HDL作为一种便于使用且实用的语言逐渐为众多设计者所接受。在一次努力增加语言普及性的活动中，Verilog HDL语言于1990年被推向公众领域。Open Verilog International（OVI）是促进Verilog发展的国际性组织。1992年，OVI决定致力于推广Verilog OVI标准成为IEEE标准。这一努力最后获得成功，Verilog语言于1995年成为IEEE标准，称为IEEE Std1364－1995。完整的标准在Verilog硬件描述语言参考手册中有详细描述。

1.3 Verilog HDL的主要能力

下面列出的是Verilog硬件描述语言的主要能力：

(1) 基本逻辑门，例如and、or和nand等都内置在语言中。

(2) 用户定义原语（UDP）创建的灵活性。用户定义的原语既可以是组合逻辑原语，也可以是时序逻辑原语。

(3) 开关级基本结构模型，例如pmos和nmos等也被内置在语言中。

Gateway Design Automation公司后来被Cadence Design Systems公司收购。

(4) 提供显式语言结构指定设计中的端口到端口的时延及路径时延和设计的时序检查。

(5) 可采用3种不同方式或混合方式对设计建模。这些方式包括：行为描述方式——