

信息与电子学科百本精品教材工程

新编电气与电子信息类本科规划教材

# EDA 技术与应用

江国强 编著 李哲英 主审

<http://www.phei.com.cn>



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

新编电气与电子信息类本科规划教材

# EDA 技术与应用

江国强 编著

李哲英 主审

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

本书分为8章,第1章介绍EDA技术的发展、EDA设计流程及EDA技术涉及的领域;第2章介绍EDA工具软件的使用方法;第3章至第5章分别介绍VHDL、Verilog HDL和AHDL三种常用的硬件描述语言;第6章介绍几种目前较流行和常用的EDA工具软件;第7章介绍可编程逻辑器件的电路结构、工作原理、编程方法和使用方法;第8章介绍EDA技术在组合逻辑、时序逻辑电路设计及在测量仪器、通信系统和自动控制等领域的综合应用。

本书可作为高等院校工科电子类、通信类、自动化类专业师生EDA技术教学和学习的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有,侵权必究。

### 图书在版编目(CIP)数据

EDA技术与应用/江国强编著. —北京:电子工业出版社,2004.8

新编电气与电子信息类本科规划教材

ISBN 7-121-00119-5

I. E… II. 江… III. 电子电路—电路设计:计算机辅助设计—高等学校—教材 IV. TN702

中国版本图书馆CIP数据核字(2004)第069764号

责任编辑:王颖 姚晓竞

印刷:北京大中印刷厂

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

经销:各地新华书店

开本:787×1092 1/16 印张:18.25 字数:462千字

印次:2004年8月第1次印刷

印数:5000册 定价:23.50元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。  
联系电话:(010)68279077。质量投诉请发邮件至 zltz@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

信息与电子学科百本精品教材工程

《新编电气与电子信息类本科规划教材》  
电子信息类专业教材编委会

主任委员：鲍泓（北京联合大学）

副主任委员：徐科军（合肥工业大学）

江国强（桂林电子工业学院）

秦会斌（杭州电子工业学院）

胡先福（电子工业出版社）

委员：崔桂梅 陈新华 陈启祥 段吉海 黄智伟 胡学龙  
(按拼音排序)

李霞 李金平 孙丽华 谭博学 王辉 袁家政

姚远程 邹彦 周德新 周宇 张恩平 王颖

编辑出版组

主任：胡先福

成员：王颖 凌毅 韩同平 张孟玮

冉哲 李岩 李维荣 张昱

《新编电气与电子信息类本科规划教材》参编院校

(按拼音排序)

- |            |            |            |
|------------|------------|------------|
| ▶ 安徽大学     | ▶ 华北电力大学   | ▶ 山东理工大学   |
| ▶ 北京联合大学   | ▶ 淮海工学院    | ▶ 山东科技大学   |
| ▶ 北华大学     | ▶ 桂林电子工业学院 | ▶ 青岛大学     |
| ▶ 常州工学院    | ▶ 桂林工学院    | ▶ 上海第二工业学院 |
| ▶ 成都理工大学   | ▶ 广西工学院    | ▶ 上海海运学院   |
| ▶ 哈尔滨工程大学  | ▶ 济南大学     | ▶ 太原理工大学   |
| ▶ 杭州电子科技大学 | ▶ 南京邮电学院   | ▶ 太原重型机械学院 |
| ▶ 合肥工业大学   | ▶ 南京工业大学   | ▶ 天津理工大学   |
| ▶ 合肥电子工程学院 | ▶ 南昌大学     | ▶ 厦门大学     |
| ▶ 湖北工业大学   | ▶ 南华大学     | ▶ 西南科技大学   |
| ▶ 湖南科技大学   | ▶ 南通大学     | ▶ 西安建筑科技大学 |
| ▶ 河海大学     | ▶ 内蒙古科技大学  | ▶ 武汉工业学院   |
| ▶ 河北工业大学   | ▶ 山东大学     | ▶ 云南大学     |

# 前 言

20 世纪 90 年代,国际上电子和计算机技术较先进的国家,一直在积极探索新的电子电路设计方法,并在设计方法、工具等方面进行了彻底的变革,取得了巨大成功。在电子技术设计领域,可编程逻辑器件(如 CPLD、FPGA)的应用,已得到广泛的普及,这些器件为数字系统的设计带来了极大的灵活性。这些器件可以通过软件编程而对其硬件结构和工作方式进行重构,从而使得硬件的设计可以如同软件设计那样方便快捷。这一切极大地改变了传统的数字系统设计方法、设计过程和设计观念,促进了 EDA 技术的迅速发展。

EDA 是电子设计自动化(Electronic Design Automation)的缩写,在 20 世纪 90 年代初从计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)和计算机辅助工程(CAE)的概念发展而来的。EDA 技术就是以计算机为工具,设计者在 EDA 软件平台上,用硬件描述语言 HDL 完成设计文件,然后由计算机自动地完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真,直至对于特定目标芯片的适配编译、逻辑映射和编程下载等工作。EDA 技术的出现,极大地提高了电路设计的效率和可靠性,减轻了设计者的劳动强度。

本书共有 8 章,第 1 章介绍 EDA 技术的发展、EDA 设计流程及 EDA 技术涉及的领域。

第 2 章介绍 EDA 工具软件的使用方法。EDA 的核心是利用计算机完成电路设计的全程自动化,因此基于计算机环境下的 EDA 工具软件是不可缺少的。利用 EDA 技术进行电路设计的大部分工作是在 EDA 开发设计平台上进行的,离开了 EDA 工具,电路设计的自动化是不可能实现的。因此,掌握 EDA 工具软件的使用方法,应该是 EDA 技术学习的第一步。

第 3 章至第 5 章分别介绍 VHDL、Verilog HDL 和 AHDL 三种常用硬件描述语言的基础知识。VHDL 和 Verilog HDL 作为 IEEE 标准的硬件描述语言,经过十几年的发展、应用和完善,它们以其强大的系统描述能力、规范的程序设计结构、灵活的语言表达风格和多层次的仿真测试手段,在电子设计领域受到了普遍的认同和广泛的接受,成为现代 EDA 领域的首选硬件描述语言。有专家认为,在 21 世纪,VHDL 与 Verilog HDL 语言将承担起几乎全部的数字系统设计任务。

第 6 章介绍几种目前世界上最流行和实用的 EDA 工具软件,包括 Altera 公司的 Quartus II、Mentor Graphics 的子公司 Model Technology 的 ModelSim 和 Cadence 公司的 NCLaunch,以适应不同读者的需要。这些软件主要是基于 PC 平台的,面向 FPGA 和 CPLD 或 ASIC 设计,比较适合学校教学、项目开发和相关的学科研究。

第 7 章介绍 PLA、PAL、GAL、EPLD 和 FPGA 等各种类型可编程逻辑器件的电路结构、工作原理、使用方法和编程方法。

第 8 章介绍 EDA 技术在组合逻辑、时序逻辑电路设计及在测量仪器、通信系统和自动控制等技术领域的综合应用。

为了方便读者能较系统和较完整地学习 EDA 技术,本书从教学角度出发,尽量将有关 EDA 技术的内容编入书中,并力求做到内容精练,语言通俗易懂。读者可以根据实际需要,节选学习书中的部分内容,尽快掌握 EDA 基本技术,然后通过相关 EDA 技术书籍的学习,达到精通 EDA 技术的目的。

本教材的教学可安排 32 学时，其中第 1 章占 2 学时，第 2 章占 4 学时，第 3 章占 8 学时，第 4 章占 8 学时，第 5 章作为选学内容（需 8 学时），第 6 章作为选学内容（需 6~8 学时），第 7 章占 2 学时，第 8 章占 8 学时。另外还需要安排 4~8 学时的实验，第 1 个实验安排 EDA 工具软件的使用方法，其余的实验可安排 HDL 的编程实验。

本书由江国强编著，朱国魂同志和文化锋同志参加了第 8 章部分内容的编写。郭学仁教授为本书的编写提出了极为有益的建议。本书由北京交通大学的李哲英教授主审，在此表示感谢。

对于书中的错误和不足之处，恳请读者指正。

编著者  
2004 年 2 月

# 目 录

<b>第 1 章 EDA 技术概述</b> .....	1
1.1 EDA 技术及发展 .....	2
1.2 EDA 设计流程 .....	3
1.2.1 设计准备 .....	3
1.2.2 设计输入 .....	3
1.2.3 设计处理 .....	4
1.2.4 设计校验 .....	5
1.2.5 器件编程 .....	5
1.2.6 器件测试和设计验证 .....	5
1.3 硬件描述语言 .....	6
1.3.1 VHDL .....	6
1.3.2 Verilog HDL .....	7
1.3.3 AHDL .....	7
1.4 可编程逻辑器件 .....	7
1.5 常用的 EDA 工具 .....	8
1.5.1 设计输入编辑器 .....	8
1.5.2 仿真器 .....	9
1.5.3 HDL 综合器 .....	9
1.5.4 适配器 (布局布线器) .....	9
1.5.5 下载器 (编程器) .....	10
本章小结 .....	10
思考题和习题 .....	10
<b>第 2 章 EDA 工具软件的使用方法</b> .....	11
2.1 MAX+plus II 的安装方法 .....	12
2.2 MAX+plus II 的原理图输入设计法 .....	13
2.2.1 编辑设计图形文件 .....	13
2.2.2 编译设计图形文件 .....	16
2.2.3 生成元件符号 .....	16
2.2.4 功能仿真设计文件 .....	17
2.2.5 编程下载设计文件 .....	19
2.2.6 设计电路硬件调试 .....	22
2.3 原理图输入法的层次化设计 .....	22
2.3.1 全加器的 EDA 原理图输入设计 .....	23
2.3.2 4 位加法器的设计 .....	23
2.4 MAX+plus II 老式宏函数的应用 .....	25



2.5	MAX+plus II 强函数的应用 .....	27
	本章小结 .....	29
	思考题与习题 .....	30
<b>第 3 章</b>	<b>VHDL .....</b>	<b>31</b>
3.1	VHDL 设计实体的基本结构 .....	32
3.1.1	库、程序包 .....	32
3.1.2	实体 .....	33
3.1.3	结构体 .....	34
3.1.4	配置 .....	34
3.1.5	基本逻辑器件的 VHDL 描述 .....	34
3.2	VHDL 语言要素 .....	38
3.2.1	VHDL 文字规则 .....	38
3.2.2	VHDL 数据对象 .....	40
3.2.3	VHDL 数据类型 .....	41
3.2.4	VHDL 的预定义数据类型 .....	42
3.2.5	IEEE 预定义的标准逻辑位和矢量 .....	44
3.2.6	用户自定义数据类型方式 .....	44
3.2.7	VHDL 操作符 .....	44
3.2.8	VHDL 的属性 .....	46
3.3	VHDL 的顺序语句 .....	47
3.3.1	赋值语句 .....	47
3.3.2	流程控制语句 .....	48
3.3.3	WAIT 语句 .....	54
3.3.4	ASSERT (断言) 语句 .....	55
3.4	VHDL 的并行语句 .....	55
3.4.1	PROCESS (进程) 语句 .....	56
3.4.2	块语句 .....	58
3.4.3	并行信号赋值语句 .....	59
3.4.4	子程序和并行过程调用语句 .....	61
3.4.5	元件例化 (COMPONENT) 语句 .....	63
3.4.6	生成语句 .....	65
3.5	VHDL 的库和程序包 .....	67
3.5.1	VHDL 库 .....	67
3.5.2	VHDL 程序包 .....	67
3.6	VHDL 设计流程 .....	69
3.6.1	编辑 VHDL 源程序 .....	69
3.6.2	设计 8 位计数显示译码电路顶层文件 .....	71
3.6.3	编译顶层设计文件 .....	72
3.6.4	仿真顶层设计文件 .....	73
3.6.5	下载顶层设计文件 .....	73

本章小结.....	73
思考题和习题.....	74
<b>第 4 章 Verilog HDL .....</b>	<b>77</b>
4.1 Verilog HDL 设计模块的基本结构 .....	78
4.1.1 模块端口定义 .....	78
4.1.2 模块内容 .....	78
4.2 Verilog HDL 的词法 .....	81
4.2.1 空白符和注释 .....	81
4.2.2 常数 .....	81
4.2.3 字符串 .....	81
4.2.4 标识符 .....	82
4.2.5 关键字 .....	82
4.2.6 操作符 .....	83
4.2.7 Verilog HDL 数据对象 .....	85
4.3 Verilog HDL 的语句 .....	87
4.3.1 赋值语句 .....	88
4.3.2 条件语句 .....	89
4.3.3 循环语句 .....	92
4.3.4 结构声明语句 .....	94
4.3.5 语句的顺序执行与并行执行 .....	97
4.4 不同抽象级别的 Verilog HDL 模型 .....	98
4.4.1 Verilog HDL 门级描述 .....	98
4.4.2 Verilog HDL 的行为级描述 .....	99
4.4.3 用结构描述实现电路系统设计 .....	101
4.5 Verilog HDL 设计流程 .....	104
4.5.1 编辑 Verilog HDL 源程序 .....	104
4.5.2 设计 BCD 数加法器电路顶层文件 .....	106
4.5.3 编译顶层设计文件 .....	107
4.5.4 仿真顶层设计文件 .....	107
4.5.5 下载顶层设计文件 .....	107
本章小结.....	107
思考题和习题.....	108
<b>第 5 章 AHDL .....</b>	<b>111</b>
5.1 基本 AHDL 设计结构 .....	112
5.1.1 子设计段 (Subdesign Section) .....	112
5.1.2 变量段 (Variable Section) .....	113
5.1.3 逻辑段 (Logic Section) .....	115
5.2 AHDL 的基本元素 .....	117
5.2.1 保留关键字和保留标识符 .....	117
5.2.2 空白符和注释 .....	118

5.2.3	标识符 .....	118
5.2.4	操作符 .....	118
5.2.5	组 .....	120
5.2.6	AHDL 的数字 .....	121
5.2.7	表达式 .....	121
5.2.8	原语 (Primitive) .....	122
5.2.9	强函数 (Megafunctions) 和宏函数 (Macrofunctions) .....	124
5.3	AHDL 的语句 .....	125
5.3.1	文本编辑语句 .....	125
5.3.2	程序设计语句 .....	129
5.4	AHDL 的使用 .....	136
5.4.1	Include (包含) 语句的使用 .....	136
5.4.2	Constant (常量) 语句的使用 .....	138
5.4.3	Function Prototype (函数原型) 语句的使用 .....	139
5.4.4	Register (寄存器) 声明的使用 .....	140
5.4.5	State Machine (状态机) 声明的使用 .....	141
5.5	AHDL 设计流程 .....	143
5.5.1	编辑 AHDL 源程序 .....	143
5.5.2	设计 8 位计数显示译码电路顶层文件 .....	145
5.5.3	编译顶层设计文件 .....	146
5.5.4	仿真顶层设计文件 .....	146
5.5.5	下载顶层设计文件 .....	146
	本章小结 .....	147
	思考题和习题 .....	147
<b>第 6 章</b>	<b>常用 EDA 工具软件 .....</b>	<b>151</b>
6.1	Quartus II .....	152
6.1.1	Quartus II 的图形编辑输入法 .....	152
6.1.2	Quartus II 的文本编辑输入法 .....	161
6.2	ModelSim .....	162
6.2.1	ModelSim 的安装 .....	162
6.2.2	ModelSim 的使用方法 .....	163
6.2.3	ModelSim 与 MAX+plus II 的接口 .....	167
6.2.4	ModelSim 交互命令方式仿真 .....	168
6.2.5	ModelSim 批处理工作方式 .....	169
6.3	NCLaunch .....	170
6.3.1	NCLaunch 的安装 .....	170
6.3.2	第一次使用 NCLaunch .....	170
6.3.3	NCLaunch 的 VHDL 设计流程 .....	170
6.3.4	NCLaunch 的 Verilog HDL 设计流程 .....	175
	本章小结 .....	177

思考题和习题	178
<b>第 7 章 可编程逻辑器件</b>	179
7.1 可编程逻辑器件的基本原理	180
7.1.1 可编程逻辑器件的分类	180
7.1.2 阵列型可编程逻辑器件	181
7.1.3 现场可编程门阵列 FPGA	185
7.2 可编程逻辑器件的设计技术	192
7.2.1 概述	192
7.2.2 可编程逻辑器件的设计流程	194
7.2.3 在系统可编程技术	194
7.2.4 边界扫描技术	197
7.3 可编程逻辑器件的编程与配置	197
7.3.1 CPLD 的 ISP 方式编程	198
7.3.2 使用 PC 的并口配置 FPGA	198
本章小结	200
思考题和习题	201
<b>第 8 章 EDA 技术的应用</b>	203
8.1 组合逻辑电路设计应用	204
8.1.1 运算电路设计	204
8.1.2 编码器设计	205
8.1.3 译码器设计	207
8.1.4 数据选择器设计	209
8.1.5 数据比较器设计	211
8.1.6 ROM 的设计	213
8.2 时序逻辑电路设计应用	216
8.2.1 触发器设计	216
8.2.2 锁存器设计	218
8.2.3 移位寄存器设计	219
8.2.4 计数器设计	222
8.2.5 随机读写存储器 RAM 的设计	224
8.3 EDA 技术的综合应用	225
8.3.1 4 位十进制频率计设计	225
8.3.2 数字相关器的设计	231
8.3.3 HDB3 码编码器与解码器的设计	233
8.3.4 步进电机控制电路的设计	239
本章小结	243
思考题和习题	243
<b>附录 A MAX+plusII 的老式宏函数和强函数</b>	245
A.1 MAX+plus II 的老式宏函数	246
A.2 MAX+plus II 的强函数	253

<b>附录 B GW48 EDA 系统使用说明</b> .....	255
<b>B.1 GW48 教学实验系统原理与使用介绍</b> .....	256
B.1.1 GW48 系统使用注意事项 .....	256
B.1.2 GW48 系统主板结构与使用方法 .....	256
<b>B.2 实验电路结构图</b> .....	262
B.2.1 实验电路信号资源符号图说明 .....	262
B.2.2 各实验电路结构图特点与适用范围 .....	263
B.2.3 GW48 EDA 系统结构图信号名与芯片引脚对照表 .....	269
<b>参考文献</b> .....	276

# 第 1 章

# EDA 技术概述

## 内容提要

本章介绍 EDA 技术的发展、EDA 设计流程及 EDA 技术涉及的领域。

## 知识要点

- EDA 设计流程。
- “综合”包含的过程。
- “自顶向下”的设计过程。
- EDA 工具各模块的主要功能。

## 教学建议

本章教学安排 2 学时,重点让读者熟悉 EDA 设计“自顶向下”的流程,了解 EDA 工具各模块的主要功能。

## 1.1 EDA 技术及发展

20 世纪末, 数字电子技术得到了飞速发展, 有力地推动和促进了社会生产力的发展和 社会信息化的提高, 数字电子技术的应用已经渗透到人类生活的各个方面。从计算机到手机, 从数字电话到数字电视, 从家用电器到军用设备, 从工业自动化到航天技术, 都尽可能采用了数字电子技术。

微电子技术, 即大规模集成电路加工技术的进步是现代数字电子技术发展的基础。目前, 在硅片单位面积上集成的晶体管数量越来越多, 1978 年推出的 8086 微处理器芯片集成的晶体管数是 4 万只, 到 2000 年推出的 Pentium 4 微处理器芯片的集成度达 4200 万只晶体管。原来需要成千上万只电子元器件组成的一台计算机主板或彩色电视机电路, 而现在仅用几片超大规模集成电路就可以代替, 现代集成电路已经能够实现单片电子系统 SOC (System On a Chip) 的功能。

现代电子设计技术的核心是 EDA (Electronic Design Automation) 技术。EDA 技术就是依靠功能强大的电子计算机, 在 EDA 工具软件平台上, 对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件, 自动地完成逻辑编译、化简、分割、综合、优化和仿真, 直至下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 ASIC (Application Specific Integrated Circuit) 芯片中, 实现既定的电子电路设计功能。EDA 技术使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现, 极大地提高了设计效率, 缩短了设计周期, 节省了设计成本。

EDA 是在 20 世纪 90 年代初从计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 的概念发展而来的。一般把 EDA 技术的发展分为 CAD、CAE 和 EDA 三个阶段。

CAD (Computer Aided Design) 是 EDA 技术发展的早期阶段。在这个阶段, 人们开始利用计算机取代手工劳动, 但当时的计算机硬件功能有限, 软件功能较弱, 人们主要借助计算机对所设计的电路进行一些模拟和预测, 辅助进行集成电路版图编辑和印刷电路板 PCB (Printed Circuit Board) 布局、布线等简单的版图绘制等工作。

CAE (Computer Aided Engineering) 是在 CAD 的工具逐步完善的基础上发展起来的, 尤其是人们在设计方法学和设计工具集成化方面取得了长足的进步, 可以利用计算机作为单点设计工具, 并建立各种设计单元库, 开始用计算机将许多单点工具集成在一起使用, 大大提高了工作效率。

20 世纪 90 年代以来, 微电子工艺有了惊人的发展, 工艺水平已经达到了深亚微米级, 甚至达到超深亚微米级。在一个芯片上已经可以集成上百万乃至上亿只晶体管, 芯片速度达到了 Gb/s 量级, 百万门以上的可编程逻辑器件陆续面世。这样就对电子设计的工具提出了更高的要求, 提供了广阔的发展空间, 促进了 EDA 技术的形成。特别重要的是世界各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件, 这都有效地将 EDA 技术推向成熟。

今天, EDA 技术已经成为电子设计的重要工具, 无论是设计芯片还是设计系统, 如果没有 EDA 工具的支持, 都将是难以完成的。EDA 工具已经成为现代电路设计工程师的重要武器, 正在发挥越来越重要的作用。

## 1.2 EDA 设计流程

利用 EDA 技术进行电路设计的大部分工作是在 EDA 软件工作平台上进行的，EDA 设计流程如图 1.1 所示。EDA 设计流程包括设计准备、设计输入、设计处理和器件编程四个步骤，以及相应的功能仿真、时序仿真和器件测试三个设计验证过程。

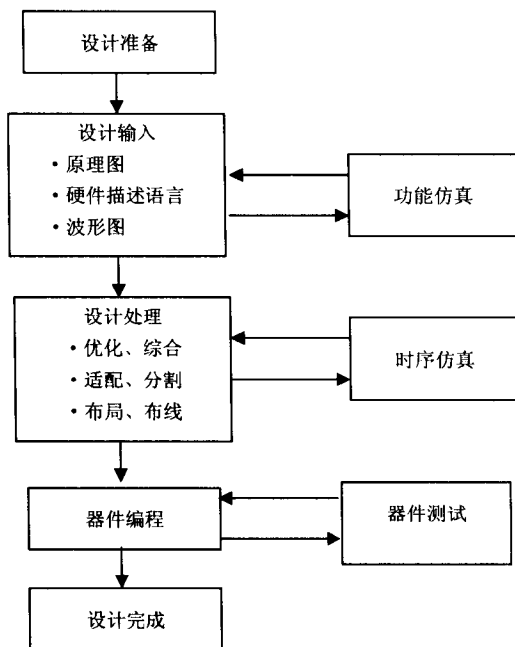


图 1.1 EDA 设计流程

### 1.2.1 设计准备

设计准备是指设计者在进行设计之前，依据任务要求，确定系统所要完成的功能及复杂程度，器件资源的利用、成本等所要做的准备工作，如进行方案论证、系统设计和器件选择等。

### 1.2.2 设计输入

设计输入是指将设计的系统或电路按照 EDA 开发软件要求的某种形式表示出来，并送入计算机的过程。设计输入有多种方式，包括采用硬件描述语言（如 AHDL、VHDL 和 Verilog HDL 等）进行设计的文本输入方式、图形输入方式和波形输入方式，或者采用文本、图形两者混合的设计输入方式。也可以采用自上而下（Top-Down）的层次结构设计方法，将多个输入文件合并成一个设计文件等。

#### 1. 图形输入方式

图形输入也称为原理图输入，这是一种最直接的设计输入方式，它使用软件系统提供的元



器件库及各种符号和连线画出设计电路的原理图,形成图形输入文件。这种方式大多用在设计者对系统及各部分电路很熟悉或系统对时间特性要求较高的场合。优点是容易实现仿真,便于信号的观察和电路的调整。

## 2. 文本输入方式

文本输入是指采用硬件描述语言进行电路设计的方式。硬件描述语言有普通硬件描述语言和行为描述语言,它们用文本方式描述设计和输入。普通硬件描述语言有 AHDL 和 CUPL 等,它们支持逻辑方程、真值表和状态机等逻辑表达方式。

行为描述语言是目前常用的高层硬件描述语言,有 VHDL 和 Verilog HDL 等,它们具有很强的逻辑描述和仿真功能,可实现与工艺无关的编程与设计,可以使设计者在系统设计、逻辑验证阶段便确立方案的可行性,而且输入效率高,在不同的设计输入库之间转换也非常方便。运用 VHDL、Verilog HDL 硬件描述语言进行设计已是当前的趋势。

## 3. 波形输入方式

波形输入主要用于建立和编辑波形设计文件,以及输入仿真向量和功能测试向量。波形设计输入适合用于时序逻辑和有重复性的逻辑函数,系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

波形编辑功能还允许设计者对波形进行复制、剪切、粘贴、重复与伸展。从而可以用内部节点、触发器和状态机建立设计文件,并将波形进行组合,显示各种进制(如二进制、八进制等)的状态值。还可以通过将一组波形重叠到另一组波形上,对两组仿真结果进行比较。

### 1.2.3 设计处理

设计处理是 EDA 设计中的核心环节。在设计处理阶段,编译软件将对设计输入文件进行逻辑化简、综合和优化,并适当地用一片或多片器件自动地进行适配,最后产生编程用的编程文件。设计处理主要包括设计编译和检查、逻辑优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

#### 1. 设计编译和检查

设计输入完成之后,立即进行编译。在编译过程中首先进行语法检验,如检查原理图的信号线有无漏接,信号有无双重来源,文本输入文件中关键字有无错误等各种语法错误,并及时标出错误的位置,供设计者修改。然后进行设计规则检验,检查总的设计有无超出器件资源或规定的限制并将编译报告列出,指明违反规则和潜在不可靠电路的情况以供设计者纠正。

#### 2. 逻辑优化和综合

逻辑优化是化简所有的逻辑方程或用户自建的宏,使设计所占用的资源最少。综合的目的是将多个模块化设计文件合并为一个网表文件,并使层次设计平面化(即展平)。

#### 3. 适配和分割

在适配和分割过程中,确定优化以后的逻辑能否与下载目标器件 CPLD 或 FPGA 中的宏单元和 I/O 单元适配,然后将设计分割为多个便于适配的逻辑小块形式映射到器件相应的宏单元中。如果整个设计不能装入一片器件时,可以将整个设计自动分割成多块并装入同一系列的