

DSP应用丛书

TigerSHARC DSP应用系统设计

刘书明 苏 涛 罗军辉 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

DSP 应用丛书

TigerSHARC DSP 应用系统设计

刘书明 苏 涛 罗军辉 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

数字信号处理技术的迅猛发展,使之广泛应用于通信、雷达、图像处理、生物医学、自动控制等领域,本书选定 ADI 公司最新高性能的 DSP 器件 TigerSHARC,重点介绍了 TigerSHARC 处理器的基本工作原理,包括处理器内核结构、存储器组织、I/O 接口设计、指令系统等。此外,本书也详细介绍了 TigerSHARC 处理器的接口设计、程序设计和应用系统设计,对设计中应该注意的问题也进行了详细的说明。本书为读者提供了大量的设计实例,可供有关技术人员参考。

本书面向广大电子工程设计人员,适用于熟悉或者即将从事 DSP 技术研究的开发人员,本书也可以作为高等院校通信工程、电子工程、计算机应用、工业自动化、自动控制等专业高年级学生和研究生教材。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

TigerSHARC DSP 应用系统设计/刘书明,苏涛,罗军辉编著. —北京:电子工业出版社,2004.5

(DSP 应用丛书)

ISBN 7-5053-9942-X

I. T… II. ①刘…②苏…③罗… III. 数字信号—信号处理—数字通信系统, TigerSHARC IV. TN911.72

中国版本图书馆 CIP 数据核字(2004)第 041620 号

责任编辑:刘志红 特约编辑:李 冰

印 刷:北京民族印刷厂

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:28.25 字数:724 千字

印 次:2004 年 5 月第 1 次印刷

印 数:5000 册 定价:42.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。
联系电话:(010) 68279077。质量投诉请发邮件至 zltz@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

2001 年,美国 ADI 公司发布了其高性能 TigerSHARC 系列 DSP 的新成员 ADSP-TS101 的有关技术文件。从 2002 年下半年起,在国内市场上就可以订购到 ADSP-TS101 的正版芯片,此后,我们开始在信号处理机研制中采用高性能的 ADSP-TS101 处理器。迄今为止,仅一年内就已研制出四套不同型号的信号处理机,它们分别采用了十片、五片、四片和一片 ADSP-TS101 芯片,四套信号处理机都较为成功。

通过四套信号处理机的研制,大致可以估算出一片 ADSP-TS101 处理器,其处理性能大约相当于十片 SHARC 系列的 ADSP-21060。在综合应用中,至少相当于六片 SHARC 系列芯片。例如,原来一块脉冲压缩处理板,需要使用六片 ADSP-21060 处理器,完成同样的功能,现在只需要一片 ADSP-TS101 处理器即可。

采用 TigerSHARC 芯片,可研制出处理能力更强,运算速度更快,体积更小,开发成本更低,性能价格比更高的信号处理机,同时,信号处理机的研制周期也可以大为缩短,一个较大型的信号处理机在半年左右的时间内即可研制出来。作为高性能的新一代 DSP 芯片,TigerSHARC 是值得推荐的。

在 ADI 公司和电子工业出版社的支持下,我们编写了本书,目的是帮助读者更深刻地了解 TigerSHARC,更熟练地应用 TigerSHARC。在取材上,注意了 DSP 的原理与应用并重,对 TigerSHARC 的内核结构、存储器结构、I/O 处理器与接口、指令系统都做了较全面的介绍,同时,对接口程序设计、程序优化、系统设计和 TigerSHARC 开发工具等重要课题,都进行了较为详细的叙述与讨论。在内容安排上,按照芯片的硬件原理、指令系统、接口设计、系统设计和开发工具的顺序进行讲述,因此本书也可作为教材,供高等学校的高年级学生和研究生使用。

通过学习这些内容,读者可以较全面地掌握 TigerSHARC 的应用基础知识,也能了解到许多设计中的细节、经验和教训,我们真诚地希望每位读者都能从中获益。

本书由三位作者编写,其中刘书明编写了第 1~3 章,苏涛编写了第 5,7,8 章,罗军辉编写了第 4,6,9,10 章。最后由刘书明对全书进行统编校订。书中难免会出现错误,希望读者能将存在的问题及时转告我们,我们将表示衷心的感谢。有什么问题需要反馈,可电邮至以下地址:shmliu@xidian.edu.cn。

编著者在此对关心支持本书出版的所有人士表示衷心的感谢,特别要感谢 ADI 公司北京办事处的李川工程师和肖科工程师。作者还要感谢 ADI 公司,是他们提供了 TigerSHARC 的大量文献、资料,并同意在本书中使用它们。西安电子科技大学工程学院的许多老师和研究生,对本书的出版工作都提出了有益的建议,并为本书提供了不少素材,在此,一并对他们致以最诚挚的谢意。

编著者

2003 年 11 月

于西安电子科技大学

目 录

第 1 章 从 SHARC 到 TigerSHARC	(1)
1.1 SHARC 到 TigerSHARC 的发展历程	(1)
1.1.1 ADSP 2106x 系列性能及结构特点	(3)
1.1.2 ADSP 21160/21161N 系列性能及结构特点	(6)
1.1.3 ADSP-TS101 的性能指标	(10)
1.2 TigerSHARC 与其他类型 DSP 性能指标比较	(12)
1.2.1 ADSP-TS101 与 TMS320C6416 比较	(12)
1.2.2 ADSP-TS101S 与 PowrPC 比较	(13)
1.3 TigerSHARC 的结构特点	(15)
1.3.1 内核结构	(15)
1.3.2 ADSP-TS101 总线结构及片内 SRAM 存储器	(17)
1.3.3 I/O 结构	(18)
1.3.4 指令系统特点	(21)
1.4 TigerSHARC 的引脚说明	(21)
1.4.1 引脚功能描述	(21)
1.4.2 复位时引脚状态	(21)
1.4.3 引脚定义	(21)
1.4.4 STRAP 引脚功能	(27)
第 2 章 TigerSHARC 内核结构与控制	(29)
2.1 概述	(29)
2.2 计算块	(30)
2.2.1 计算块寄存器	(30)
2.2.2 寄存器组寄存器	(31)
2.2.3 寄存器组语法摘要	(33)
2.2.4 算术逻辑单元 ALU	(37)
2.2.5 乘法器	(43)
2.2.6 移位器	(50)
2.3 IALU	(56)
2.3.1 IALU 结构	(56)
2.3.2 IALU 寄存器	(57)
2.3.3 IALU 算术、逻辑和函数操作	(58)
2.3.4 IALU 执行状态与执行条件	(59)
2.3.5 IALU 数据寻址和传送操作	(60)
2.4 程序控制器	(68)
2.4.1 程序控制器操作	(71)

2.4.2	指令排队缓冲池 (IAB) 和分支目标缓冲 (BTB)	(77)
2.4.3	流水开销和相关性引起的延迟	(83)
2.4.4	中断对流水性能的影响	(90)
2.4.5	程序控制器的例子	(92)
2.5	TigerSHARC 总线	(93)
2.5.1	TigerSHARC 的内外部总线及微结构	(94)
2.5.2	TigerSHARC 的总线控制与状态寄存器	(96)
2.5.3	多处理器连接与总线仲裁	(103)
2.5.4	TigerSHARC 的主机接口	(106)
第 3 章	TigerSHARC 的存储器组织和寄存器组	(109)
3.1	TigerSHARC 的存储器组织	(109)
3.1.1	全局寻址空间	(109)
3.1.2	外部存储器寻址空间	(110)
3.1.3	内部存储器寻址空间	(110)
3.1.4	多处理器空间和主机寻址空间	(111)
3.2	TigerSHARC 的 SDRAM 接口	(112)
3.2.1	SDRAM 接口信号	(113)
3.2.2	SDRAM 的物理连接	(113)
3.2.3	SDRAM 编程	(115)
3.2.4	SDRAM 命令	(118)
3.2.5	飞越操作——I/O 设备到 SDRAM	(123)
3.3	寄存器组	(125)
3.3.1	计算块寄存器组与合并访问	(125)
3.3.2	整型 ALU 寄存器	(128)
3.3.3	中断控制和程序控制器寄存器组	(129)
3.3.4	外部端口寄存器	(132)
第 4 章	TigerSHARC I/O 资源	(138)
4.1	中断	(138)
4.1.1	TigerSHARC 的中断源	(138)
4.1.2	TigerSHARC 的中断向量	(140)
4.1.3	可编程的中断控制寄存器	(141)
4.1.4	TigerSHARC 的中断处理过程	(142)
4.1.5	中断返回与异常	(145)
4.1.6	中断服务程序实例	(146)
4.2	DMA 传输	(147)
4.2.1	TigerSHARC DMA 控制器与传输控制块	(147)
4.2.2	DMA 控制与状态寄存器	(151)
4.2.3	链式 DMA 与二维 DMA	(153)
4.2.4	外部口 DMA	(155)
4.2.5	AutoDMA 与链路口 DMA	(159)

4.3	TigerSHARC 处理器链路口	(161)
4.3.1	TigerSHARC 链路口资源	(161)
4.3.2	链路口通信协议	(163)
4.3.3	链路口控制及状态寄存器	(166)
4.3.4	链路口与 FPGA 的连接	(168)
第 5 章	TigerSHARC 指令系统	(171)
5.1	TigerSHARC 指令系统特点	(171)
5.1.1	TigerSHARC 结构与指令特点	(171)
5.1.2	指令行结构	(174)
5.1.3	指令速查	(178)
5.2	指令集	(183)
5.2.1	ALU 指令	(183)
5.2.2	CLU 指令	(206)
5.2.3	乘法指令	(216)
5.2.4	移位器指令	(229)
5.2.5	IALU 指令	(237)
5.2.6	程序流控制指令	(244)
第 6 章	TigerSHARC 应用接口设计	(248)
6.1	外部总线接口	(248)
6.1.1	EPROM 接口	(249)
6.1.2	FLASH 接口	(251)
6.1.3	与双口 RAM 接口	(261)
6.2	主机接口	(264)
6.3	SDRAM 接口	(266)
6.3.1	硬件电路配置	(266)
6.3.2	SDRAM 测试程序	(267)
6.3.3	SDRAM 接口性能分析	(270)
6.3.4	SDRAM 接口性能优化	(275)
6.4	I/O 设备接口	(275)
6.4.1	与 A/D 芯片的接口	(276)
6.4.2	与 D/A 芯片的接口	(281)
6.5	复位电路	(284)
第 7 章	TigerSHARC 引导及接口程序设计	(287)
7.1	TigerSHARC 的引导程序	(287)
7.1.1	TigerSHARC 的引导模式	(287)
7.1.2	引导程序举例	(289)
7.2	初始化程序	(294)
7.2.1	初始化参数	(294)
7.2.2	初始化程序举例	(295)
7.3	DMA 程序设计	(296)

7.3.1	普通 DMA	(296)
7.3.2	链式 DMA 与二维 DMA	(300)
7.3.3	链路口 DMA	(304)
第 8 章	程序优化及应用系统程序	(307)
8.1	TigerSHARC 的处理速度与程序优化	(307)
8.1.1	TigerSHARC 的处理速度	(307)
8.1.2	TigerSHARC 的程序优化	(308)
8.2	资源约束	(310)
8.2.1	资源约束	(310)
8.2.2	通用约束	(313)
8.2.3	计算块指令约束	(314)
8.2.4	IALU 指令约束	(314)
8.2.5	控制器指令约束	(317)
8.3	延迟与相关性	(317)
8.3.1	计算块相关性引起的延迟	(318)
8.3.2	总线冲突引起的延迟	(319)
8.3.3	由计算块载入的相关性引起的延迟	(320)
8.3.4	由 IALU 载入的相关性引起的延迟	(320)
8.3.5	由(从外部存储器)载入的相关性引起的延迟	(320)
8.3.6	由条件 IALU 载入的相关性引起的延迟	(320)
8.3.7	中断对流水的影响	(321)
8.3.8	异常对流水的影响	(322)
8.3.9	与程序流有关指令的使用	(323)
8.4	应用系统程序设计举例	(325)
8.4.1	算法描述	(325)
8.4.2	主程序	(326)
8.4.3	FFT 汇编子程序	(327)
8.4.4	链接描述文件	(331)
8.4.5	FFT 反变换	(334)
第 9 章	TigerSHARC 开发工具	(335)
9.1	DSP 应用系统开发过程	(335)
9.2	Visual DSP++3.0 简介	(337)
9.3	JTAG 仿真器	(340)
9.3.1	JTAG 连接	(340)
9.3.2	ICE 配置与测试	(341)
9.4	汇编器	(343)
9.4.1	汇编器命令	(345)
9.4.2	汇编程序结构	(348)
9.4.3	汇编语法	(349)
9.5	编译器	(352)

9.5.1	数据类型	(354)
9.5.2	实时运行模式与实时运行库	(355)
9.5.3	C/C++与汇编程序接口	(358)
9.5.4	C 程序优化	(361)
9.6	链接器	(367)
9.6.1	链接器命令	(368)
9.6.2	LDF 文件	(370)
9.7	调试器	(376)
9.7.1	多处理器调试器	(377)
9.7.2	程序性能分析	(378)
9.7.3	程序执行操作	(380)
9.7.4	FLASH 编程器	(384)
9.8	TigerSHARC TS101S EZ-KIT 评估板简介	(386)
第 10 章	TigerSHARC 应用系统设计实例	(391)
10.1	单 DSP 组成的系统	(391)
10.2	链路口耦合构成多处理器系统	(393)
10.2.1	链路口耦合多处理器系统结构	(393)
10.2.2	链路口耦合的多处理器系统设计实例	(394)
10.3	链路口多片系统加载	(405)
10.4	共享总线的多 DSP 系统	(414)
10.5	系统电源设计	(425)
10.6	系统时钟设计	(431)
10.7	结构与散热	(434)
附录	TigerSHARC TS101S 引脚配置与封装	(435)
参考文献		(441)

第1章 从 SHARC 到 TigerSHARC

ADI 公司进入 DSP 市场以来,就着眼于高性能 DSP 产品的研发,他们相继推出了 ADSP21XX 定点系列处理器、SHARC 浮点系列处理器、Blackfin 系列及高性能数字信号处理器 TigerSHARC 系列。TigerSHARC 系列是继 AD2106x 之后的更高性能的处理器,其内部集成了静态超标量体系结构和更大容量的 SRAM。处理器工作在 300 MHz,单周期能执行 4 条指令,每秒能进行 2.4 亿次乘累加操作和每秒进行 1.8 亿次浮点操作,并且支持两种方式的集成多处理器连接,很容易实现多片并行处理系统,使得该处理器能达到无缝超标量能力和不匹配的 I/O 高性能。这一产品的推出,就得到了市场的青睐,广泛应用于视频和通信市场,包括 3G 蜂窝和宽带无线基站,以及国防军事装备,如战场雷达、航空器、声呐等,医疗图像和工业仪器等领域,使得 ADI 公司在高性能数字信号处理器方面取得了重大突破,成为提供高性能的浮点和定点处理器的重要厂商。

本章简单回顾了从 SHARC 到 TigerSHARC 的发展历程,以 ADSP21060, ADSP21161 和 ADSP TS101 为例,说明了 ADI 公司在浮点高性能 DSP 方面创造的重大成就,对高速数字信号处理技术的发展作出了重大贡献。同时,也比较了 TS101 和 TI 公司同档次产品的性能差异,重点介绍了 ADSP TS101 的结构特点和引脚说明。

1.1 SHARC 到 TigerSHARC 的发展历程

随着数字信号处理技术的不断发展,对 DSP 产品的处理速度和数据动态范围的要求越来越高,半导体技术的快速发展,使得不断开发更高性能的 DSP 产品成为可能。而对于开发商而言,快速开发新一代产品的一个很关键因素就是如何实现与原有代码的兼容,这一点比硬件设计对整个工程的开发周期有更大的影响。

ADI 自推出 SHARC 系列浮点 DSP 以来,在浮点 DSP 市场取得了重大成功,已成为浮点 DSP 产品标准的领航人。Motorola 和 Lucent 已经退出浮点 DSP 市场,而 TI 更集中在高容量的定点产品。目前已推出的 SHARC 系列产品主要有 ADSP21061、ADSP21062、ADSP21060、ADSP21065。当 TI 宣布了新一代基于 VLIW 的浮点结构高性能处理器 TMS320C67xx 以后,ADI 随即推出了第二代浮点处理器 ADSP2116x,包括 ADSP21160 和 ADSP21161,一下将 SHARC 产品的处理时钟率提高到了 100MHz,并且在内部结构上采用双处理器核,支持 SIMD 处理方式,这大大提高了数据吞吐率和实时处理性能。ADSP2116x 系列产品与第一代 SHARC 产品在代码上兼容,开发环境仍然是 VisualDSP++集成开发调试环境,汇编语言编程也保持相似的风格,这使得其应用开发的周期大大缩短。SHARC 系列处理器的发展历程如图 1.1 所示。

2001 年底,ADI 公司推出了高性能数字信号处理器 TigerSHARC TS101S,成为新一代浮点 DSP 产品的标志。TigerSHARC 汇编语言的代数风格与原来 SHARC DSP 的汇编编程风格十分相似,汇编代码也易于阅读和编写,并且和 C 语言一样用分号来表示指令的结束。SHARC DSP 的循环是用专门的循环指令来处理的,能实现零开销循环。TigerSHARC DSP 中,循环没有 DO UNTIL 结构,相反,除了第一次循环和最后一次循环外,循环的分支目标缓冲 (BTB)

为循环体中的所有指令提供了零开销的循环。对于简单的循环，使用两个自动的循环计数器就能实现。两个计算块比早期的 SHARC DSP 能提供两倍的浮点数乘法效率。处理时钟由 40 MHz 变到 300 MHz，总的处理速度能提高到 12 倍。

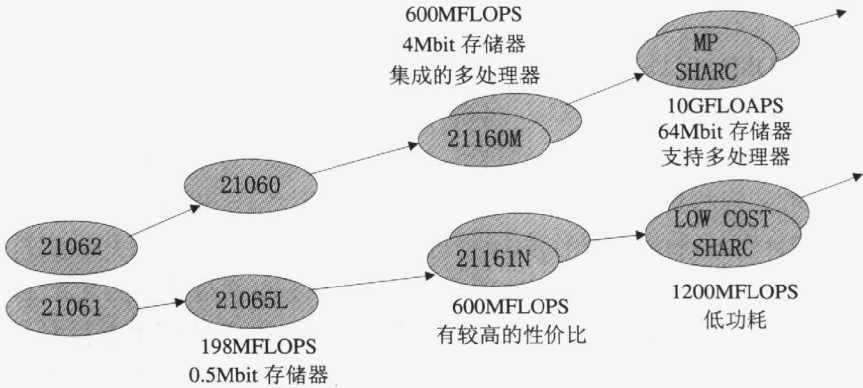


图 1.1 SHARC 系列发展历程

随着半导体技术的进一步的发展，TigerSHARC 处理器还将进一步发展，新一代 TigerSHARC 处理器将继续致力于开发更高的性能密度，更强大的运算性能，集成大容量的片内存储器，并在更高 I/O 处理带宽方面得到更好的平衡。2003 年，ADI 公司发布了 TigerSHARC 的新成员，它们是 ADSP TS201，ADSP TS202，ADSP TS203，其内核工作频率已高达 600 MHz，片内存储器已增加到 24 Mbit，如图 1.2 所示。不断提高处理器时钟频率，采用更合理的结构性和新的存储器技术，以及高带宽的 I/O 接口，将使新一代基于 TigerSHARC 的产品增加系统级性能，同时大大降低开发成本、功耗和芯片尺寸，同时，其在无线通信、军事、工业、图像和医疗市场的应用也将更加广泛。

新一代 TigerSHARC 系列的推出，以及更高性能处理的研究，将使 ADI 公司的高性能数字信号处理器得到更多用户的青睐。

TigerSHARC 系列 DSP 的发展历程如图 1.2 所示。

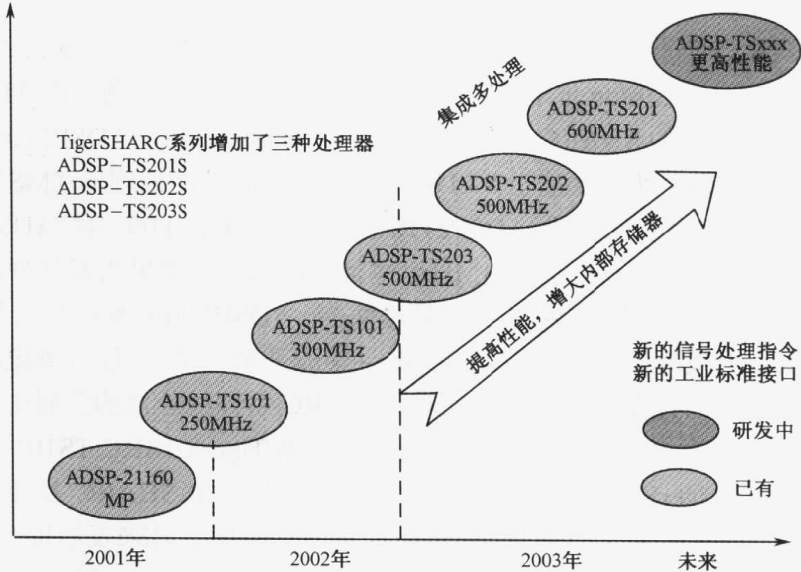


图 1.2 TigerSHARC 系列发展历程

1.1.1 ADSP 2106x 系列性能及结构特点

ADSP-2106x SHARC 系列（包括 ADSP21060, ADSP21061, ADSP21062, ADSP21065 等），是经过优化的，特别适用于高速 DSP 应用的 32 位处理器。ADSP-2106x 以 ADSP-21000 核为基础，形成了一个完整的片内系统，在结构上增加了一个双端口的片内 SRAM 存储器和专门的支持集成 I/O 外围设备的 I/O 总线控制。

ADSP-2106x 每条指令周期为 25ns，运行速度为 40MIPS。带有片内指令缓存，该处理器能够以单周期执行每条指令。表 1-1 列出了 ADSP-2106x 的性能参数。

表 1-1 ADSP21060/ADSP21060L 性能参数(@40MHz)

操 作	所 需 时 间	所需指令周期
1024 点复数 FFT（基 4，带位反转）	0.46 ms	18 221 周期
FIR 滤波器(每个抽头)	25 ns	
IIR 滤波器（两节级联）	100 ns	1 周期
除法 Y/X	150 ns	4 周期
平方根的倒数 ($1/\sqrt{x}$)	225 ns	6 周期
DMA 传输	264 MB/s	9 周期

ADSP-2106x SHARC 代表了一个新的集成标准，把高性能浮点 DSP 核和集成的片内系统结合在一起。该系统包括一个 4Mbit SRAM 存储器、主处理器接口、DMA 控制器、串口和链路口，以及用于无缝连接的 DSP 多处理器的并行总线连口。

表 1-1 是 ADSP21060/ADSP21060L 的性能参数，图 1.3 是 ADSP-2106x 的内部结构框图，包括以下功能模块。

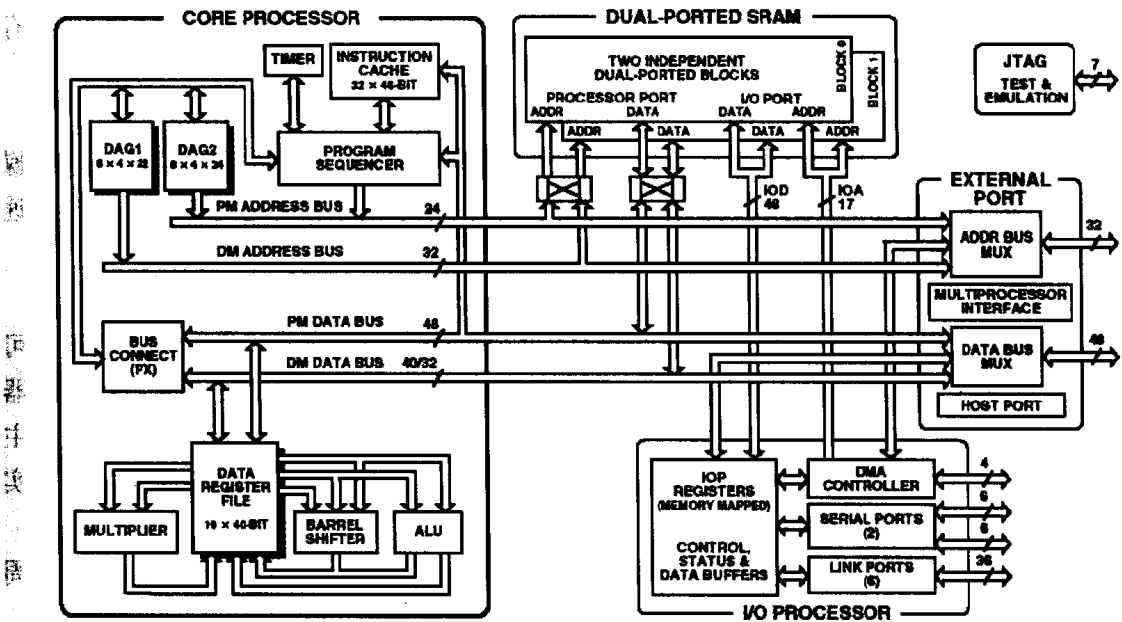


图 1.3 ADSP-2106x 的内部结构框图

- 运算单元（ALU，乘法器和移位器），带有共享数据寄存器文件；
- 数据地址产生器（DAG1, DAG2）；
- 程序控制器及指令缓存；

- 内部定时器;
- 片内 SRAM;
- 连接片外存储器和外围设备的外部端口;
- 主机和多处理器接口;
- DMA 控制器;
- 串口和链路口;
- JTAG 测试仿真口。

1. ADSP-2106x 系列的内核结构

ADSP-2106x 系列处理器以 ADSP21000 内核为基础,其主要功能模块说明如下。ADSP-21060 处理器与 ADSP-21061 和 ADSP-21062 的代码和功能兼容,主要差别在片内存储器和链路口。

(1) 独立并行的运算单元

ADSP-2106x 算术/逻辑单元 (ALU)、乘法器、移位器,都以单周期指令运行。这三个单元并行排列,以增大计算吞吐量。单周期的多功能指令操作与 ALU 和乘法器的操作并行。计算单元支持 IEEE 32 位单精度浮点数,40 位扩展精度和 32 位定点数数据格式。

(2) 数据寄存器组

数据寄存器组一般用于计算单元和数据总线间的数据传输,以及存储中间结果。包括 32 个寄存器 (16 个主寄存器,16 个辅助寄存器)的寄存器组与 ADSP-21000 哈佛结构组合,允许在计算单元和内部存储器间的无限制的数据传输。

(3) 单周期取指令和两个操作数

ADSP-2106x 的特点是超级哈佛结构,其中的数据存储器 (DM) 总线用于传输数据,程序存储器 (PM) 总线用于传输数据和指令,如图 1.3 所示。由于具有分开的数据和程序存储器总线及片内指令缓存,该处理器可以在单周期内,同时取出两个操作数和一条指令。

(4) 指令缓存

ADSP-2106x 包括一个片内指令缓存器,这使得取出一条指令和两个数据值的三总线操作成为可能。只有在取址和 PM 总线数据存取相冲突时,指令才被缓存。这允许处理器核全速执行循环操作,比如数字滤波器的乘-累加和 FFT 的蝶形运算等。

(5) 地址产生器

ADSP-2106x 的两个数据地址产生器 (DAG) 在硬件中完成循环数据缓冲。循环缓冲可保证数字信号处理中延时线和采用其他数据结构的有效编程,循环缓冲通常用于数字滤波器和傅里叶变换。ADSP-2106x 的两个 DAG 包括足够的寄存器来创建 32 级循环缓冲 (16 个主寄存器,16 个辅助寄存器)。DAG 能自动处理循环寻址指针,减少开销,提高性能,简化实现方法。循环缓冲可以在存储器的任意位置开始和结束。

48 位的指令字可容纳一系列并行指令,从而精简程序。例如,ADSP-2106x 在一个单周期内有条件地执行一次乘法、一次加法、一次减法和一个分支操作。

2. ADSP-21060/ ADSP-21060L 特征

在 ADSP-21000 系列内核的基础上,ADSP-21060 增加了下列结构。

(1) 片内双端口存储器

ADSP-21060 包括 4Mb 的片内 SRAM,分为两个 2Mb 的块,可以分别配置成程序和数据

存储的不同组合。每个存储器块是双端口的，在单周期内可以由处理器核、I/O 处理器或 DMA 控制器独立访问。

在 ADSP-21060 内，最大数据存储容量可以定义为 128KB×32bit 数据，256KB×16bit，80KB×48bit（或 40bit），或不同字长的组合，共 4 兆位。所有的存储器都可以以 16 位，32 位，48 位字访问。

支持 16 位的浮点数存储格式，这使得存储在片内的数据量达到两倍。在单周期内可完成 32 位浮点数和 16 位浮点数格式间的转换。

每个存储器块能存储代码和数据的混合，当一个存储器块存储数据，用 DM 总线传输，另一个存储器块存储指令，用 PM 传输。使用 DM 总线和 PM 总线，每个总线分配给一个存储器块，就能实现在单周期内能完成双数据的传输。

（2）片外存储器和外设接口

ADSP-2106x 外部端口给片外存储器和外设提供了处理器接口。32 位的地址总线提供了 4GB 的片外寻址空间，属于 ADSP-2106x 的统一寻址空间。分离的片内总线（PM 地址、PM 数据、DM 地址、DM 数据、I/O 地址、I/O 数据）在外部端口经过多路复用，形成带有 32 位地址总线和 48 位数据总线的外部系统总线。

高位地址线通过译码产生片外存储器堆的选通信号，这使得片外存储器设备的寻址变得更加容易。分离的控制线也用于简化页模式的寻址。ADSP-2106x 提供了可编程存储器等待状态和外部存储器应答控制，以允许连接到 DRAM 和其他采用不同的访问方式、不同保持和禁止时间要求的外围设备。

（3）主机接口

ADSP-2106x 的主机接口只需要很少的硬件，就可容易地连接到标准微处理器总线上，如 16 位和 32 位总线，支持最大时钟速率的异步传输。主机接口通过 ADSP-2106x 的外部端口来访问，并将存储器映射到统一的寻址空间。4 个 DMA 通道可用于主机接口，在低软件开销下完成代码和数据传输。

主机通过 ADSP-2106x 主机总线请求 $\overline{\text{HBR}}$ 、主机总线允许 $\overline{\text{HBG}}$ 和准备好 REDY 信号请求外部总线。主机能直接读写 ADSP-2106x 的内部存储器，还能访问 DMA 通道设备和缓存寄存器。也可以矢量中断支持主机命令的有效执行。

（4）DMA 控制器

ADSP-2106x 的片内 DMA 控制器允许在没有处理器干预的情况下，进行无开销数据传输。DMA 控制器可以独立于处理器核在后台运行。

DMA 操作可以在 ADSP-2106x 的内部存储器和任意一个外部存储器、外围设备或主机之间进行。DMA 传输也可以在 ADSP-2106x 的内部存储器和串口或链路口间进行。在 DMA 传输过程中，外部总线数据被打包成 16 位、32 位或 48 位。

DMA 通道包括 2 个链路口，4 个串口，4 个主机的外部口（对主处理器，其他 ADSP-21060，存储器或 I/O 口传输），4 个附加的链路口对应的 DMA 通道与串口 1 和外部口共享。异步片外设控制通过 DMA 请求/应答信号线 $\overline{\text{DMAR1-2}}$ 、 $\overline{\text{DMAG1-2}}$ 使用 2 个 DMA 通道。其他 DMA 特征包括在 DMA 传输完成时产生中断，以及自动连接 DMA 传输的链式 DMA。

（5）串行口

ADSP-2106x 的两个同步串行口为各种数字和混合信号外部器件提供了一个低成本的接口。串行口能够以处理器的全速时钟频率工作，从而提供了最高达 40Mb/s 的数据速率。独立

的发送和接受功能为串行通信提供了更大的灵活性。通过 DMA, 可以自动地向片内存储器发送或接受串口数据。每一个串行口还提供了 TDM 多通道模式。

串行口可以用从 3 位到 32 位可选的字长在长、短模式下进行操作。它提供了可选的同步和发送模式以及 μ 律或 A 律压扩功能。串口的时钟信号和帧同步信号可以由内部或外部产生。

(6) 多处理器接口

ADSP-21060 具有很强的适合多处理器 DSP 系统工作的特性。统一的寻址空间允许对每一个 ADSP-2106x 的内部存储器间的直接访问。简化的片内分布式总线仲裁逻辑, 可以形成多达 6 个 ADSP-2106xs 和一个主处理器的无缝连接系统。主处理器的改变只在每个周期的开始时发生。总线仲裁在固定优先级和循环优先级之间是可选的。总线锁存为信号机处理器提供不可分的读—更新—写顺序。处理器间的数据传输的最大吞吐量可达 240 Mb/s, 可在外部端口或链路口间进行。广播式写方式允许同时向所有的 ADSP-2106xs 传送数据并能用来建立镜像信号机。

(7) 链路口

ADSP-2106x 提供了 6 个 4 位的链路口, 每个链路口还提供了附加的 I/O 功能。链路口可按 2 倍时钟频率通信, 在每个周期内传送 8 比特的数据。链路口的 I/O 对多处理器系统内处理器间点对点的通信尤其有用。

所有链路口能够以最大 240 MB/s 的速率传输, 同时又相互独立运行。链路口数据可以打包成 32 位或 48 位。可以通过处理器核方式访问链路口, 链路口也可以与片内存储器间进行 DMA 数据传送。每个链路口有自己的双缓冲读/写寄存器。时钟/确认信号在链路口通信时握手。链路口的收发操作可编程来控制。

(8) 程序引导

ADSP-2106x 的内部存储器能在系统的上电复位后通过一个 8 位的 EPROM、一个主处理器或一个链路口引导。引导源选择由 $\overline{\text{BMS}}$ 、EBOOT 和 LBOOT 引脚控制。32 位和 16 位主处理器也可用来引导。

1.1.2 ADSP 21160/21161N 系列性能及结构特点

ADSP21161N 是 SHARC 系列 DSP 中介于 ADSP2106x 和 ADSP-TS101 之间的产品, 在性能和结构上有承前启后的作用。它仍采用超级哈佛结构, 是 ADSP-21160 的第一个低成本派生产品。其软件也易于移植, 在 SISD(单指令单数据)模式下源代码与 ADSP-21160 和 ADSP-2106x SHARC 兼容。和其他 SHARC 一样, ADSP-21161N 也是最优化的 32 位处理器。ADSP-21161N 具有一个 100 MHz 的内核, 双端口片内 SRAM, 一个具有多处理器支持的集成 I/O 处理器和用于消除 I/O 瓶颈效应的多套内部总线。

ADSP-21161N 提供了单指令多数据 (SIMD) 结构, 这种结构首次在 ADSP-21160 中提出。它采用两个计算单元 (ADSP-2106x 只有一个), 这样在 DSP 算法中 ADSP-21161N 能以 ADSP-2106x SHARC 两倍的速度运行。

由于使用最新的、高速度、低功耗的 CMOS 工艺, ADSP-21161N 达到 10 ns 指令执行周期。再加上具有 100MHz 执行速率的 SIMD 计算硬件设备, ADSP-21161N 可以每秒执行 6 亿次的数学运算, 其运算速度约为 ADSP-2106x 的 1.5 倍。表 1-2 列出了 ADSP-21161N 的执行速率指标。

表 1-2 ADSP 21161 执行速率指标

标准算法	速率/100MHz
1024 点复数 FFT (基 4, 带位反转)	92 μ s
FIR 滤波器 (每个抽头)	5 ns
IIR 滤波器 (每个二阶节)	20 ns
矩阵相乘 (流水型)	
$[3 \times 3] \times [3 \times 1]$	45 ns
$[4 \times 4] \times [4 \times 1]$	80 ns
除法 Y/X	30 ns
平方根的倒数	45 ns
DMA 传输	800 MB/s

1. ADSP-21160/21161N 的内核结构

ADSP-21161N 继承 SHARC 标准, 集成了片内系统功能和高性能 32 位 DSP 内核, 包括 1Mb 双口 SRAM 存储器、主机接口和 IOP 处理器、14 个 DMA 通道、4 个串行口、2 个链路口、SDRAM 控制器、SPI 接口、外部并行总线、多处理器无缝连接。ADSP21160 成本比 ADSP21161N 高, 有 6 个链路口。ADSP-21161N 功能框图如图 1.4 所示。

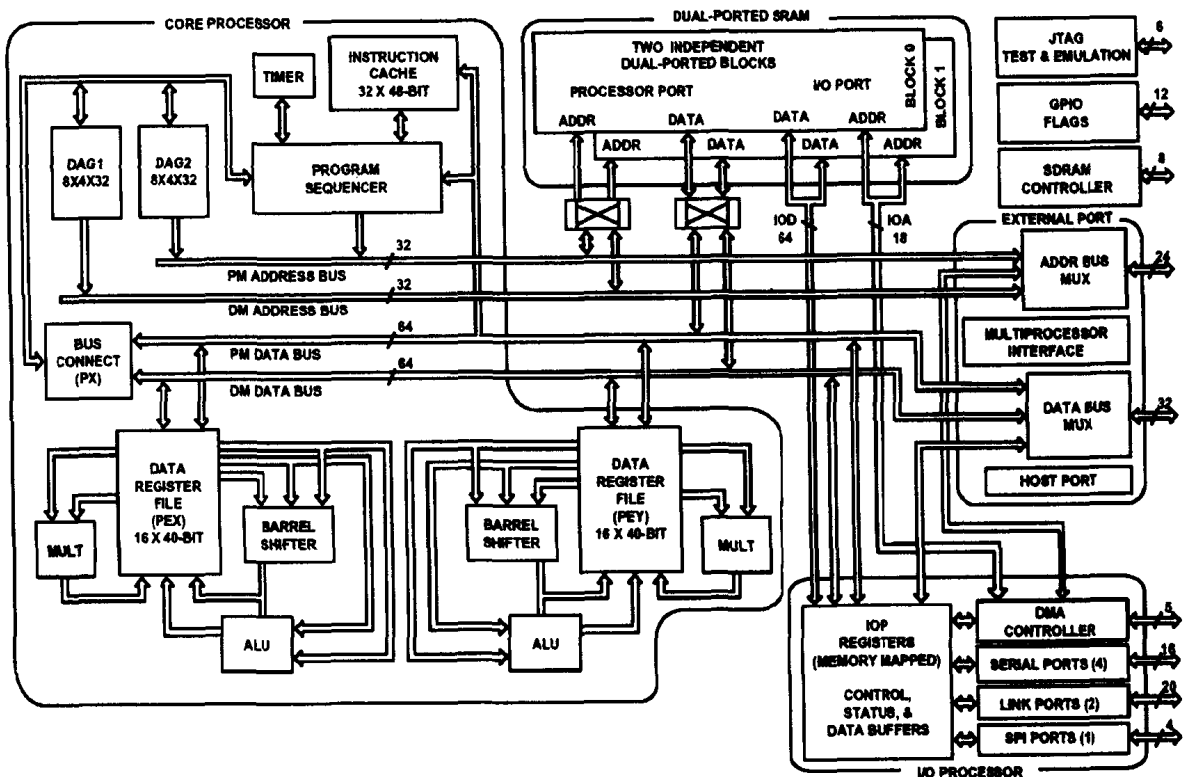


图 1.4 ADSP-21161N 功能框图

ADSP-21160/21161N 的内核结构主要特点如下:

- (1) 片内两个处理单元, 每个单元由一个 ALU、乘法器和数据寄存器构成;
- (2) 两个数据地址产生器 (DAG1, DAG2);
- (3) 带有指令缓存的程序流控制器;

(4) PM 和 DM 总线: 在每个内核时钟周期内, 可实现存储器和内核处理器之间的 4 个 32 位数据传输;

- (5) 片内有定时器;
- (6) 片内 1Mbit SRAM 存储器 (21160 4Mb);
- (7) 有用于与 SDRAM 无缝连接的 SDRAM 控制器。

其外部口支持与片外存储器设备的接口, 包括:

- (1) 支持 6 片 ADSP-21161N 处理器无缝连接的多处理器接口;
- (2) 主机接口;
- (3) DMA 控制器;
- (5) 4 个串行口;
- (6) 2 个链路口;
- (7) SPI-兼容接口;
- (8) JTAG 测试接口;
- (9) 12 个通用 I/O 引脚。

2. ADSP-21160/21161N 的主要特征

ADSP-21160/21161N 处理器的主要特征如下。

- (1) 最高 100MHz (10ns) 内核指令速率。
- (2) 单周期执行指令, 包括两个运算单元内的 SIMD 操作。
- (3) 600MFLOPS 的峰值和 400MFLOPS 的可保持运算能力。
- (4) 225 引脚 17mm×17mm MBGA 封装。
- (5) 1Mbit 的片内双端口 SRAM, 都可被处理器内核和 DMA 独立访问。
- (6) 可支持每秒 2 亿定点 MAC (乘加) 的运算能力。
- (7) 两个数据地址产生器 (DAG) 能进行循环和位反序寻址。
- (8) 零开销单周期指令循环机制, 产生有效的程序流。
- (9) 单指令多数据流体系结构包括两个计算处理单元, 能同步执行。
- (10) 总线和计算单元的并行性允许:
 - 单周期指令能执行 (包括或不包括 SIMD): 一个乘法操作, ALU 操作, 双存储器读或写和取指令;
 - 存储器和处理器内核之间, 每个周期可以按高达四个 32 位的浮点或定点字传输, 达到 1.6GB/s 的带宽传输;
 - 带加减的乘法运算加速了 FFT 蝶形运算。
- (11) DMA 控制器支持:
 - 14 个零开销 DMA 通道, 它可实现 ADSP-21161N 内部存储器和外部存储器、外围设备、主机处理器、串行口、链路口或串行外设接口 (SPI) 之间的传输;
 - 64 位的后台 DMA 以内核时钟速度传输, 并且可以与处理器指令全速并行运行;
 - IOP 总线以 800MB/s 速率传输;
 - 可与 8 位、16 位、32 位的主机相接, 主机可以直接读/写 IOP 寄存器。
- (12) 32 位 (或 48 位) 宽的同步外部端口支持:
 - 与异步 SBSRAM 和 SDRAM 等外部存储器无缝连接;
 - 存储器接口为片外存储器提供可编程的等待状态生成器和等待模式;