21世纪高等院校教材

电子设计自动化实践指南系列

ALTERA 可编程逻辑器件应用技术

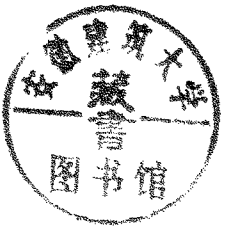
于 枫　张丽英　廖宗建　编著

科学出版社
www.sciencep.com

21世纪高等院校教材

ALTERA 可编程逻辑器件应用技术

于 枫 张丽英 廖宗建 编著



科学出版社

北京

内 容 简 介

本书是电子设计自动化实践指南系列教材之一。本书从初学者培训的角度出发，兼顾较高技术水平工程技术人员的需求，介绍了 Altera 公司的可编程逻辑器件的应用技术，重点介绍了开发软件包 MAX+plus Ⅱ 的应用，内容全面、实用，由浅入深，并融入笔者的经验体会；同时书中扼要介绍了 Altera 公司第四代先进的开发软件 Quartus Ⅱ；最后以丰富的实例引导读者进一步理解、消化软件的应用方法。全部实例都在实际系统上通过，具有很好的参考价值。

本书是电子信息类各专业的本、专科学生学习可编程片上系统开发技术的适用教材和实践参考书，也可供有关专业的研究生和工程技术人员参考。

图书在版编目(CIP)数据

ALTERA 可编程逻辑器件应用技术/于枫等编著. —北京：科学出版社，2004

(21 世纪高等院校教材)

ISBN 7-03-013952-6

Ⅰ. A… Ⅱ. 于… Ⅲ. 可编程逻辑器件-高等学校-教材 Ⅳ. TP332.1

中国版本图书馆 CIP 数据核字(2004)第 073259 号

责任编辑：马长芳 / 文案编辑：董 斌 / 责任校对：李奕萱

责任印制：钱玉芬 / 封面设计：陈 敬

科学出版社 出版

北京东黄城根北街16号

邮政编码：100717

http://www.sciencep.com

新蕾印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2004 年 9 月第 一 版 开本：B5 (720×1000)

2004 年 9 月第一次印刷 印张：20

印数：1- 3 000 字数：389 000

定价：28.00 元

(如有印装质量问题，我社负责调换〈环伟〉)

前　言

电子系统的集成化，不仅可使系统的体积小、重量轻且功耗低，更重要的是使系统的可靠性大大提高。因此，自集成电路问世以来，集成规模便以 10 倍/6 年的速度增长，其成就尤以数字系统的发展最为显著。人类对巨大量信息数据的交互、存储和传输的无限需求，使电子厂商们积极地追求电子产品的多功能、高品质、低成本、微功耗和微小封装尺寸。而数字系统的基本原理和器件制造工艺的发展又为此提供了采用高集成度制造复杂系统的可能。这样，从 20 世纪 90 年代初以来，电子系统日趋数字化、复杂化和大规模集成化。1999 年，以 0.18μm 工艺为基础的百万门器件已经出现，专家们预计，到 2005 年集成电路工艺将达到 0.1μm。片上系统(SOC，system on chip)的设计理念已经可行。

在电子信息市场的激烈竞争中，缩短电子产品设计和上市周期也是电子厂商们的不懈追求。商界精英们深知，再好的商品如果上市晚了，都可能丧失预计的效益，甚至会导致灭顶之灾。采用电子设计自动化(EDA，electronics design automation)技术，合理地选择全定制、半定制或者可编程数字集成电路的技术路线，是综合解决上述技术和商务问题的唯一途径。因此，可编程片上系统(SOPC，system on a programmable chip)应运而生。

限于专业技术的分工，电子信息工程类专业应该立足承担可编程数字集成电路的开发和应用的技术工作，适当了解半定制专用集成电路(ASIC，applications specific integrated circuit)的技术。为此，很多院校都在四年制(本科)相关专业设计了可编程数字系统 EDA 技术的教学内容。我们感谢国内的著名专家对 EDA 技术的无私传授，也感谢 Altera 公司办事处和骏龙公司无偿提供了开发软件和相关资料。这些软件和硬件技术资料以及专家们编撰的教材给我们同行和莘莘学子提供了极大的帮助。吉林大学在电子信息技术高等教育的改革进程中，根据自己的教学经验确立了 EDA 教学体系。该体系着眼于电子信息类四年制(本科)相关专业学生的设计能力的培养和再学习能力的培养。在教学内容上，精讲、多练，注重实效。为此，我们精选出必要的 EDA 教学内容，编撰成适合学生学习的教材，并期望与众多愿意参考我校教学的同行们共享。本书的宗旨不在于“博”，而在于“实”。我们相信，在熟练掌握了 ALTERA CPLD 或 FPGA 可编程逻辑器件的应用技术后，可以根据需要自学任何公司的可编程逻辑器件应用技术。我们确认，EDA 技术的培养应该有层次、分阶段，没有必要在大学本科阶段学习和掌握 VHDL 语言或 Verilog 语言的应用技术。进一步的学习完全可以在高级岗位培训或者硕士学位的

攻读中实现。为此，我们围绕 Altera 公司的 EDA 软件和可编程硬件技术这一主题编撰了相关内容。为了满足初学者的需要，我们在书中收录了大量实例，并且进行了实际的机上操作。全部内容都可作为教学和设计实践的应用。

为加强校际合作，推进高等教育的深化改革，我们邀请了长春大学张丽英副教授、空军长春航空大学杨建波教授参加了本书编写工作。在共同商定了撰写内容的基础上，第一章由张丽英副教授执笔，第三章由杨建波教授执笔，其余内容由于枫教授带领廖宗建、刘祎等完成。吉林大学电工电子中心高工张淑琴提供了多方帮助，并独立承担了部分内容的撰写工作。长春大学赵莉老师作了大量的文字和绘图工作。吉林大学教材科对本书的撰写和出版做了大量服务工作。

尤其值得我们感谢的是科学出版社马长芳等编辑，她们一丝不苟的工作态度和积极进取的敬业精神，给笔者以巨大激励。

在本书出版面世的时候，我们向上述给我们启发、帮助和关心的各位老师、同行、领导和朋友们表示衷心的感谢！

由于我们水平有限、时间仓促，书中难免有不足之处，恳请读者批评指正，以便进一步完善本教材建设，为培养合格的电子工程师做好铺路石。批评指正的函件请寄吉林大学电子学院。十分感谢！

编　者

2004 年 1 月

目　录

第一章　CPLD 概述

PLD 是可编程逻辑器件(programmable logic device)的英语缩写。在可编程逻辑器件芯片内部,按一定的排列方式集成了大量的门和触发器等基本逻辑元件。使用者可利用特定的计算机开发工具(软件包和硬件电路、编程电缆)对其进行加工,即按设计要求将这些芯片内部的元件连接起来(此过程称为编程或设置),使之实现完成某个数字逻辑电路或系统的功能,成为一个可在实际电子系统中使用的专用集成电路(ASIC,application specific integrated circuit)。随着集成电路工艺的日臻完善,集成度急剧攀升,功能日益强大。PLD 广阔的应用前景备受业内人士的瞩目。由于其内部结构的不同,目前应用较广泛的 PLD 有 CPLD(complex programmable logic device,复杂的可编程逻辑器件)和 FPGA(field programmable gate array,现场可编程门阵列)两大类。

1.1　PLD 的基本结构与发展概况

CPLD 一般指那些集成规模大于 1000 门以上的、复杂的可编程逻辑器件。在这里,所谓"门"是指等效门(equivalent gate),每个门相当于 4 只晶体管。美国 Altera 公司用"可使用门"(useable gate)来衡量可编程逻辑器件的集成规模。ALTERA 器件每个可使用门约等于两只等效门。学习 CPLD 有必要回顾一下它的历史渊源。这不仅是因为"继承",而且它们的上一代产品还有相当长的生命期。

1.1.1　SPLD 的基本结构

CPLD 是在简单的可编程逻辑器件(SPLD)的基础上发展起来的。所谓可编程,是指可以借助以计算机系统为核心的开发平台(或称开发工具)人为地改变某逻辑电路内部的连接关系,从而使其实现某种特定功能的电子设计技术。最简单的 SPLD 器件开发工具是"写入器"(俗称"烧写器")。"编程"PLD 需要在专业软件的平台使用特殊的"语言"向系统(输入)说明工程师的设计。开发系统把正确的设计方案转化成特定格式的文件存储。最后在开发人员的命令下,具有"写入"能力的装置按照上述文件的内容实现特定的电脉冲时序,改造相应器件的内部连接关系,实现了"编程","制造"出了一个专用集成电路(ASIC)。不难理解,可编程技术的应用有两个基本要素:一是具有特殊结构的集成电路器件;一是掌握开发技术的工程师。后者是我们的追求。

SPLD 的基本结构是由"与阵列"和"或阵列"组成的。典型器件有可编程只读

存储器(PROM 或 EPROM、E^2PROM)、可编程逻辑阵列(PLA)和可编程阵列逻辑(PAL)。为了说明原理,不妨先以 PROM 为例作简要分析。如图 1-1 所示,具有 2^n 条行线输出的 n 位译码器在逻辑上是由 2^n 个 n 输入与门组成的与阵列。不难理解,PROM 的与阵列是固定的或不可编程的。PROM 的读出放大器除了具有电流驱动能力外,它在逻辑上是由 8 个(一个字节,1Byte)具有 2^n 个输入的可编程(可任意组合逻辑的)或门组成的或阵列(不妨理解为 8 个具有 2^n 个二极管连接于同一列线的二极管或门)。显然,它的或阵列是可编程的。我们以正逻辑分析,对于任意的 n 位地址编码输入,与阵列必有唯一的一条行线输出为"1"。那么,如果与该行线相连接的某个二极管的熔丝没有被烧断,它就连接在相应的列线上与这一列相关的数据位就可以读出逻辑"1"(因为逻辑或的结果),即该位为 1。否则如果二极管的熔丝已经被烧断,那么,由于列线上唯一的这个为"1"的行线没有连接到列线上,因此列线逻辑必为"0",则该地址单元的该位为 0。由此,我们不仅很容易理解 PROM 的工作原理,而且知道了它的"编程"方法。也就是用特殊的时序施加较高的电压,使被写入单元为"0"的位相应的熔丝被烧断。

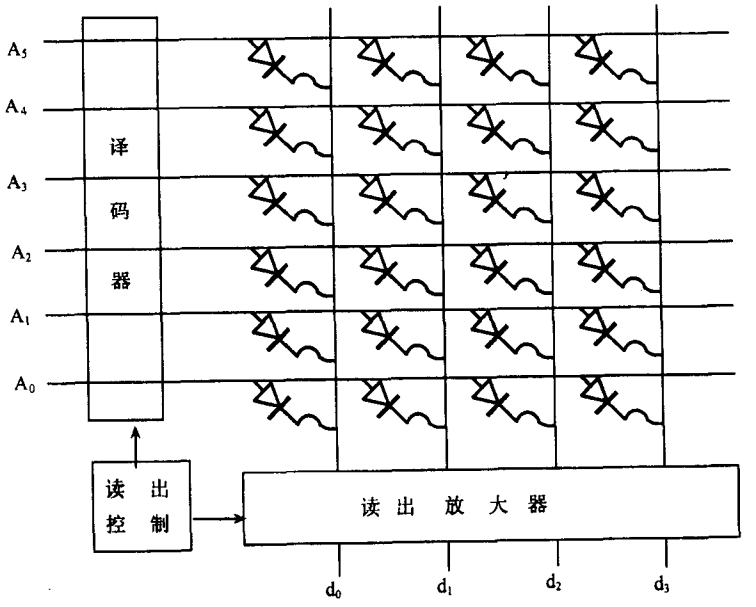


图 1-1 PROM 的逻辑结构

注意到组合逻辑的基本表达方式是标准与或式(若干最小项或的表达形式),因此,具有 n 位地址线、数据宽度为 k 的 PROM 可以实现 k 个 n 输入变量的任意组合逻辑函数。由此实现逻辑控制电路(或系统)的设计是可能的。

但是,上述 PLD 的缺陷除了一次性编程(one time programmable,OTP)外,

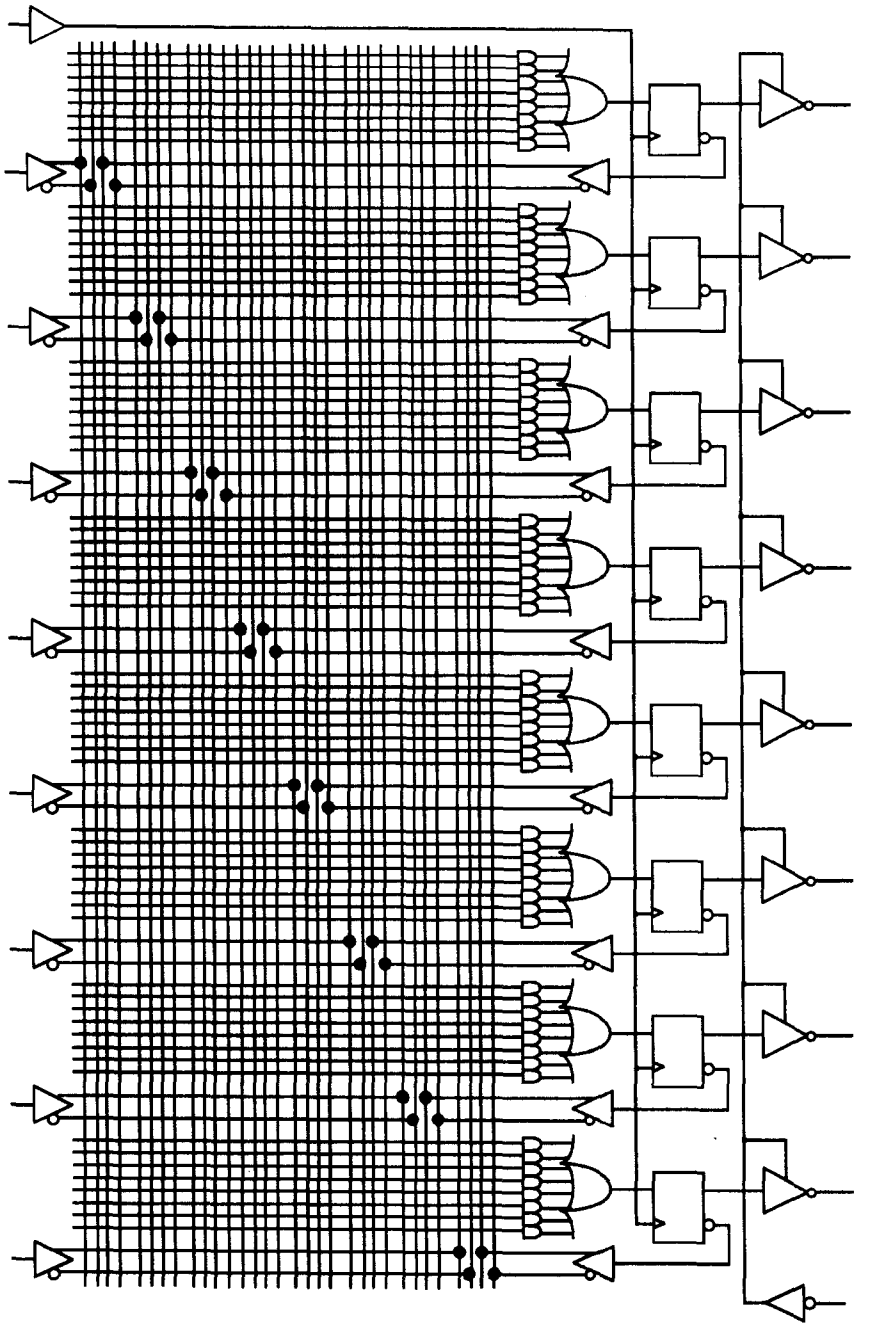


图 1-2　PAL16R8 逻辑图

尚有资源过分浪费和无法实现时序逻辑或“状态机”的设计。实际上，组合逻辑函数

不可能用到 2^n 个最小项(n 位地址的与项)。为此 PLA 器件把与逻辑也设计成可编程的。这样就解决了 PROM 中 2^n 个与项的固定逻辑的资源浪费问题。就是说 PLA 的与逻辑和或逻辑都是可编程的。然而它的编程软件很难设计,因此很快被与逻辑是可编程的而或逻辑是不可编程的 PAL 器件所淘汰。为了不失一般性地理解 PAL 的内部结构,进而理解实现器件可编程的经典原理,我们以图 1-2 所示的 PAL16R8 芯片为例,简单剖析其结构。

如图 1-2、图 1-3 所示,PAL 具有可编程的与阵列和固定的或阵列。阵列的列(纵)线是各个输入信号及其补信号。阵列的每一条行(横)线就是一个可编程的与逻辑函数。读者不难理解,具有图 1-2 所示结构的 PAL 可以实现任意 n 变量的、用标准与或式表达的组合逻辑关系。注意到与阵列中提供了引脚输入的同相和反相信号以及触发器状态 Q 的同相和反相反馈信号,因此它可以被编程为任何的时序逻辑电路(或状态机),只是它的集成度限制了所设计电路的规模。

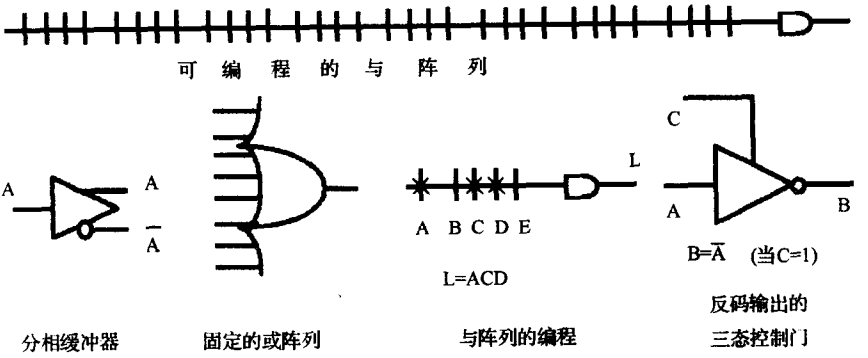


图 1-3 PLD 的结构要素

1.1.2 GAL 的基本结构、原理和应用基础

在 PAL 成功的基础上,聪明的集成电路设计厂商把 PAL 相对死板的或逻辑、触发器等输出电路的结构改造成设计完善的可编程的"输出逻辑宏单元"(OLMC, output logic macro cell),推出了"通用阵列逻辑"(GAL, generic array logic)产品,其结构如图 1-4 所示。由于它的输出方式可以灵活配置(configurable),因此它的编程应用变得更加方便、更加通用。这是一个常用的 GAL 芯片。理解它的工作原理不仅有利其应用,而且有助于理解其他 GAL 芯片。对于后续内容的学习也有帮助。

GAL16V8 有一个 32×64 位的可编程与逻辑阵列、8 个 OLMC、10 个输入缓冲器、8 个三态输出缓冲器和 8 个反馈/输入缓冲器。它的与逻辑阵列的每个交叉点上设有 E^2CMOS 编程单元。这种编程单元的结构及工作原理和"数字电子技术基础"课程中所讲的 E^2PROM 的存储单元相同。通过使 MOS 器件的浮置栅上带

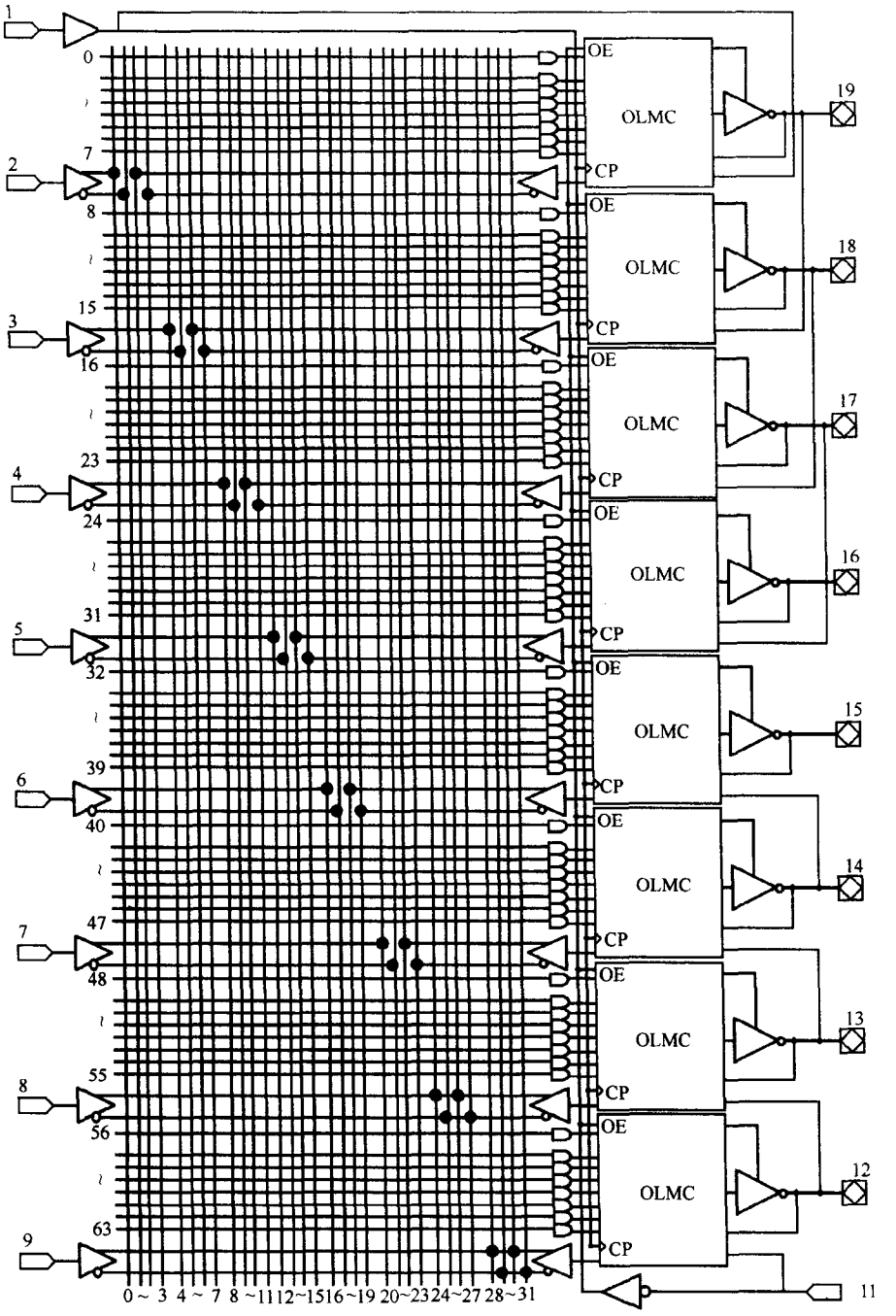


图 1-4 GAL16V8 的电路结构图

有负电荷的技术而断开列线与行线的低阻连接，从而使该与项中不含相应的输入因子。组成或逻辑阵列的 8 个或门分别包含于 8 个 OLMC 中，它们和与逻辑阵列的连接是固定的。

在 GAL16V8 中除了与逻辑阵列以外还有一些编程单元。编程单元的地址分配和功能划分情况如图 1-5 所示。因为这并不是编程单元实际的空间布局图，所以又把图 1-5 叫做行地址映射图。

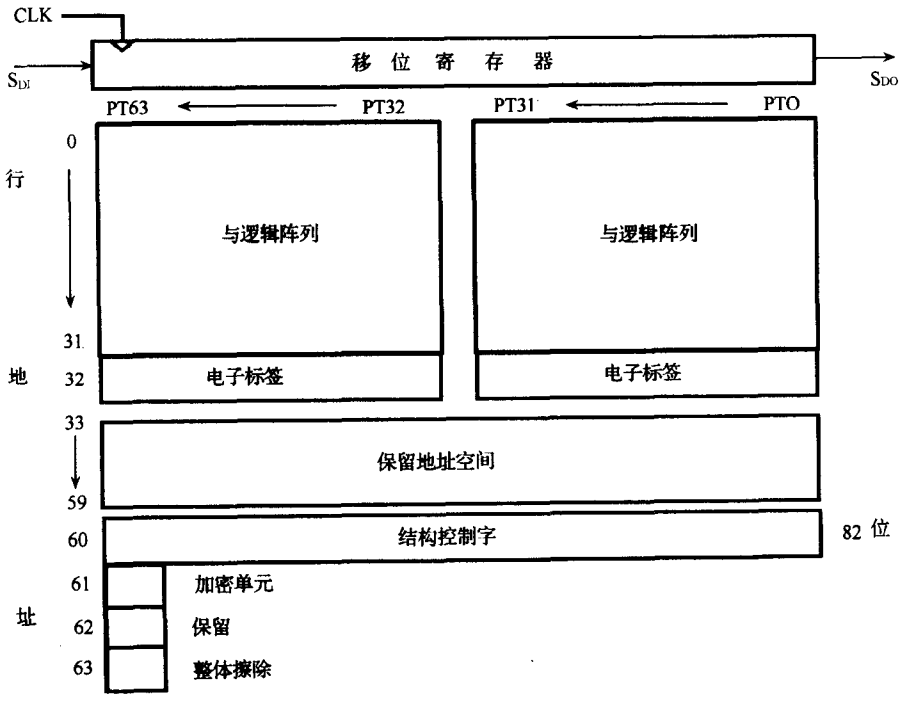


图 1-5 GAL16V8 编程单元的地址分配

从图中不难看出，第 0～31 行对应与逻辑阵列的编程单元，编程后可产生 0～63共 64 个乘积项。与图 1-4 相对应可以这样理解：64 个乘积项就是与阵列的 64 行编程结果。初始时可以理解为 64 行与 32 列的交叉节点都是低阻连接的(都以打×表示)。所谓编程某一与项，就是确认(设置)该行线与 32 条列线的连接关系(该保留×，还是该去除×)。不妨理解相应位为“1”则保留低阻连接关系，而若为“0”则将其编程为高阻连接状态。由此可以看出，这 32 个可编程单元的内容恰好是与阵列编程结果的映射。

第 32 行是电子标签，供用户存放各种备查的信息，如器件的编号、电路的名称、编程日期、批次编号等。

第 33～59 行是制造厂家保留的地址空间，用户不能利用。

第 60 行是结构控制字，共有 82 位，用于设定 8 个 OLMC 的工作模式和 64 个乘积项的禁止。它的具体说明在下面的 OLMC 专题讨论中给出。

第 61 行是一位加密单元。这一位被编程以后，将不能对与逻辑阵列作进一步的编程或读出验证，因此可以实现对电路设计结果的保密。只有在与逻辑阵列被整体擦除时，才能将加密单元同时擦除。但是电子标签的内容不受加密单元的影响，在加密单元被编程后，仍可以读出这些信息。第 63 行是一位整体擦除位。对这一位寻址并执行擦除命令则所有的编程单元全部被擦除。器件返回到初始状态。

GAL 器件的编程是在开发系统的控制下实现的。在编程操作状态下，编程数据信息从第 9 引脚串行 GAL 器件内部的移位寄存器。该移位寄存器共有 64 位。装满一次就顺序地向上述编程地址单元写入一行，这样逐行地完成器件的编程。

作为应用者来说，对 GAL 功能的理解，核心在于搞清 OLMC 的结构和设置原理。图 1-6 给出了输出逻辑宏单元的结构框图。

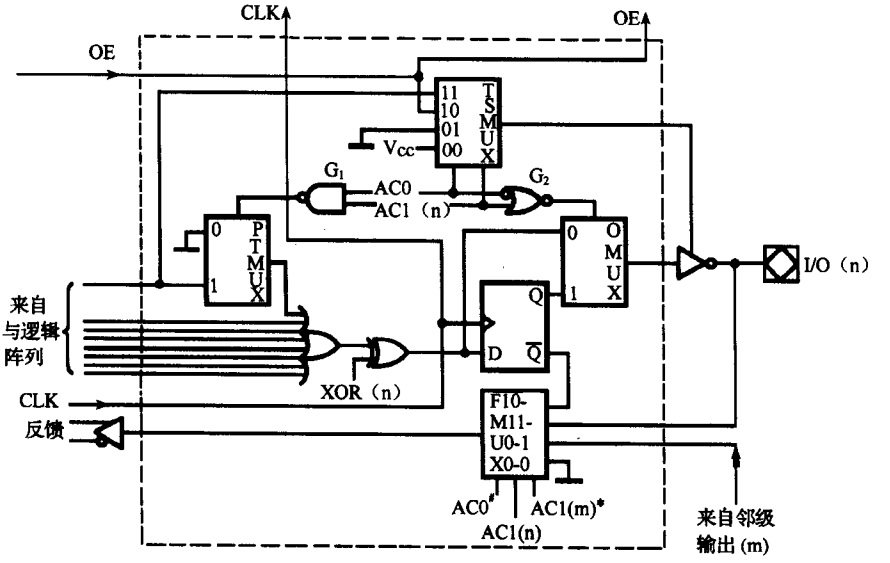


图 1-6　输出逻辑宏单元的结构框图

输出逻辑宏单元(OLMC)中包含一个 8 输入端或门、一个 D 触发器和由 4 个数据选择器及一些门电路组成的控制电路。图中的 AC0、AC1(n)、XOR(n)都是结构控制字 82 位中的一位数据。通过对结构控制字的编程，便可设定 OLMC 的工作模式。GAL16V8 结构控制字的组成如图 1-7 所示，其中的(n)表示 OLMC 的编号，这个编号与每个 OLMC 连接的引脚序号一致。图 1-6 中或门的 8 个输入端分别连接与阵列的输出(图 1-4)。于是，在或门的输出端将产生不超过 8 个与项的与-或逻

辑函数。

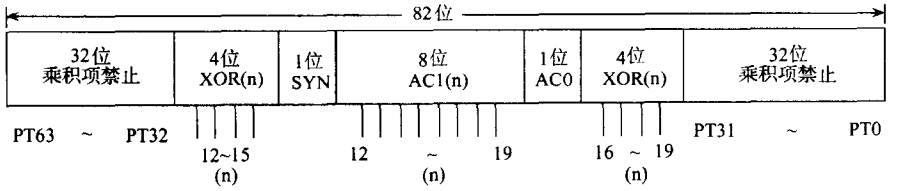


图 1-7 GAL16V8 结构控制字的组成

异或门用于控制输出函数的极性(原函数或原码输出还是反函数或反码输出)。当 XOR(n)=1 时,异或门的输出和或门的输出相位取反。

输出电路连接的形式由 4 个数据选择器控制。输出数据选择器 OMUX (output multiplexor)是 2 选 1 数据选择器。控制函数是:AC0 取反后和 AC1(n)的或非。显然,AC0 和 AC1(n)的状态决定了输出取自触发器的状态 Q 还是直接取自组合逻辑函数的输出(同相或反相)。也就是说决定了该 OLMC 工作在组合逻辑输出模式还是工作在寄存器输出模式。当 G_2 的输出为 0 时,异或门输出的与-或逻辑函数直接经 OMUX 送到输出三态缓冲器。因此,G_2 输出为 0 时是组合逻辑输出。同理,当 G_2 输出为 1 时是寄存器输出。

乘积项数据选择器 PTMUX(products multiplexor)也是 2 选 1 数据选择器,它的控制函数是 AC0 和 AC1(n)的与-非。于是 AC0 和 AC1(n)的状态将决定可编程与阵列的第一乘积项是否作为或门的一个输入。当 G_1 输出为 1 时,第一乘积项经过 PTMUX 加到或门的输入;而 G_1 输出为 0 时,第一乘积项不作为或门的一个输入。

三态数据选择器 TSMUX(tri-state multiplexor)是 4 选 1 数据选择器,用来控制输出端三态缓冲器的工作状态。它根据 AC0、AC1(n)的状态从 V_{CC}、地、OE 和来自与逻辑阵列的第一乘积项当中选择一个作为输出三态缓冲器的控制信号,如表 1-1 所示。

表 1-1 TSMUX 的控制功能表

AC0	AC(n)	TSMUX 的输出	输出三态缓冲器的工作状态
0	0	Vcc	工作态
0	1	地电平	高阻态
1	0	OE	OE=1,为工作态 OE=0,为高阻态
1	1	第一乘积项	取值为 1,工作态 取值为 0,高阻态