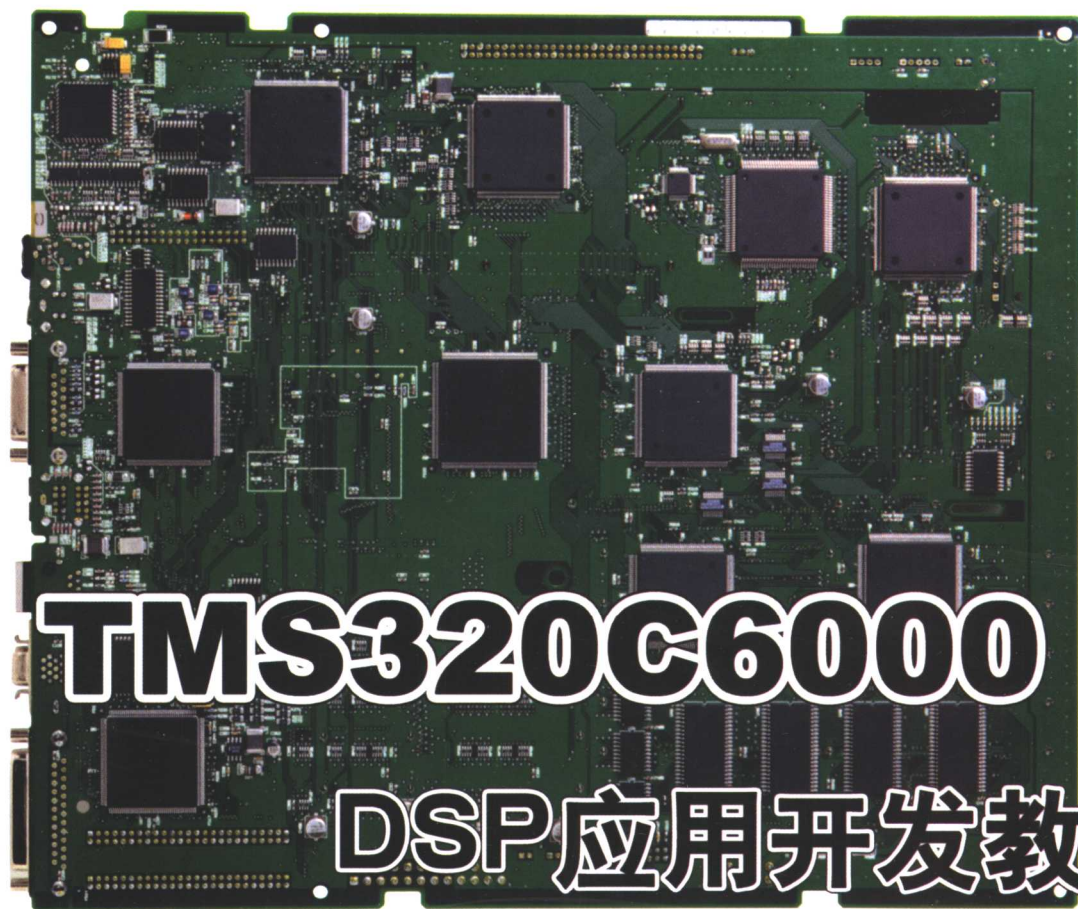


DSP应用开发教程系列



TMS320C6000

DSP应用开发教程

江思敏 刘畅 主编

DSP 应用开发教程系列

TMS320C6000 DSP 应用开发教程

江思敏 刘 畅 主编



机械工业出版社

本书全面介绍了 TMS320C6000 系列 DSP 的基本原理、硬件结构和资源,以及硬件电路设计。全书详尽地介绍了 TMS320C6000 系列 DSP 的 CPU 结构、存储器、寻址方法、片内外设和总线接口,并着重讲述了 DSP 的外设映射寄存器、DMA 控制器、定时器、通用 I/O、时钟发生器、HPI、多通道缓冲串口、PCI 接口、DSP 的总线接口和扩展方法以及评估板系统的设计,并提供了相应的评估板硬件电路原理图。在介绍硬件的同时,还讲述了在硬件基础上进行软件设计的方法。

本书主要面向从事自动控制、信息处理、语音处理、通信、多媒体、网络以及相关电子仪器仪表系统设计技术人员,也适合高校从事科研和学习的师生学习参考,是一本全面而实用的 TMS320C6000 系列 DSP 学习教程。

图书在版编目(CIP)数据

TMS320C6000 DSP 应用开发教程 / 江思敏, 刘畅主编.

—北京: 机械工业出版社, 2005.1

(DSP 应用开发教程系列)

ISBN 7-111-15820-2

I. T... II. ①江... ②刘... III. 数字信号—信号
处理—数字通信系统, TMS320C6000 DSP—教材
IV. TN914.3

中国版本图书馆 CIP 数据核字 (2004) 第 132240 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

责任编辑: 吉 玲 (E-mail: jiling@mail.machineinfo.gov.cn)

责任印制: 石 冉

北京中兴印刷有限公司印刷·新华书店北京发行所发行

2005 年 2 月第 1 版第 1 次印刷

787mm×1092mm 1/16·25.5 印张·627 千字

0001—4000 册

定价: 40.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

本社购书热线电话 (010) 68993821、88379646

68326294、68320718

[Http://www.machineinfo.gov.cn/book/](http://www.machineinfo.gov.cn/book/)

封面无防伪标均为盗版

前 言

目前, DSP (Digital Signal Processor) 已经广泛应用于高速自动控制、图像处理、通信技术、无线电、语音处理、网络设备、医疗设备、仪器仪表和家电等领域, 为数字信号处理提供了高效而可靠的硬件基础。目前, 应用最广泛的 DSP 是 TI (德州仪器) 公司的产品, 占到全球市场的 60% 左右, 并广泛应用于各个领域。TI 公司 DSP 的主流产品包括 TMS320C2000 系列 (包括 TMS320C2x/C2xx)、TMS320C5000 系列 (包括 TMS320C5x/C54x/C55x)、TMS320C6000 系列 (包括 TMS320C62x/C64x/C67x), 本书主要介绍 TMS320C6000 系列 DSP。

TMS320C6000 系列 DSP 是适合于语音处理、图像处理、医疗仪器和通信技术等领域的—种 DSP。TMS320C6000 系列数字信号处理器 (DSP) 是 TMS320 DSP 家族的重要系列。该系列 DSP 芯片具有定点和浮点两种, 其中 TMS320C62x 和 TMS320C64x 为定点系列, 而 TMS320C67x 为浮点系列。TMS320C6000 DSP 最初主要是为了移动通信基站的信号处理而推出的超级处理芯片, 后来随着技术的进步和产品的发展, 目前在民用和军用领域都有广阔的应用前景, 特别是在军事通信、电子对抗、雷达系统、精确制导武器等需要高度智能化的应用领域具有重要的应用价值。

本书将详细地讲述 TMS320C6000 系列 DSP 的芯片结构、片内外设原理及结构、系统和外设的资源。在此基础上, 介绍如何使用 TMS320C6000 系列 DSP 的外设, 并如何进行硬件扩展接口, 最后简单介绍了 TMS320C6701 评估板 (EVM) 的设计, 并提供了电路原理图。另外, 本书还简单介绍了在硬件基础上的软件设计方法。全书共分 14 章, 第 1~2 章主要讲述 DSP 的结构原理, 包括 TMS320C6000 系列 DSP 的结构、CPU 的结构原理以及存储器和 I/O 空间; 第 3、4 章主要讲述寻址方法以及程序存储器的寻址方法和中断处理; 第 5~12 章主要讲述 TMS320C54x 系列 DSP 的片内外设, 包括外设映射寄存器、DMA 控制器、定时器、通用 I/O、时钟发生器、HPI、多通道缓冲串口和 PCI 接口, 并且讲述了 DSP 的总线结构和扩展方法; 第 13 章介绍了时钟、锁相环和电源系统设计方法; 第 14 章简单讲述了 TMS320C6000 系列 DSP 软件设计的方法。全书主要讲述 TMS320C6000 系列 DSP 的硬件结构和设计方法, 同时也兼顾应用软件的设计, 理论和应用紧密结合, 适于读者学习参考。

本书非常适合使用 TMS320C6000 系列 DSP 的技术人员参考, 也适合高等学校师生学习参考, 是一本全面而实用的 TMS320C6000 系列 DSP 的学习教程。

本书由清源科技策划, 江思敏和刘畅主编, 江思敏负责全书统稿, 江浩川、姚鹏翼、胡荣、陈明和郑巍等也参加了本书的编写工作。在编写本书的过程中, 我们在结合自己经验的同时, 也参考了 TI 公司的大量资料, 在此向 TI 公司表示感谢。由于水平有限, 时间仓促, 书中缺点和不足之处在所难免, 敬请广大读者批评指正。作者 Email: qingyuanbook@yahoo.com。

编 者

目 录

前言

第 1 章	TMS320C6000 DSP 概述	1
1.1	数字信号处理器概述	1
1.1.1	什么是 DSP	1
1.1.2	DSP 的系统构成	2
1.1.3	实时 DSP 子系统	2
1.1.4	DSP 的基本结构	3
1.1.5	DSP 的应用	4
1.2	TMS320C6000 DSP 的结构和特点	4
1.2.1	TMS320 系列 DSP 简介	4
1.2.2	TMS320C6000 DSP 芯片概述	5
1.2.3	TMS320C6000 DSP 的构成	5
1.2.4	TMS320C62x/C64x/C67x DSP 的特点	6
1.2.5	TMS320C6000 DSP 的并行处理特点	7
1.2.6	VLIW 体系结构特点的分析	8
1.2.7	TMS320C6000 DSP 的应用	8
1.3	TMS320C6x 系列 DSP 典型芯片的结构	9
1.3.1	封装结构	9
1.3.2	信号分组描述	10
第 2 章	CPU、存储器和片内外设	13
2.1	CPU 的数据通道和控制	13
2.1.1	通用寄存器文件	14
2.1.2	功能单元	17
2.1.3	寄存器文件交叉通道	18
2.1.4	存储器存取通道	19
2.1.5	数据地址通道	19
2.1.6	TMS320C6000 DSP 控制寄存器文件	19
2.1.7	TMS320C67x DSP 控制寄存器文件扩展	23
2.1.8	TMS320C64x DSP 控制寄存器文件扩展	27
2.1.9	TMS320C64x DSP 体系结构扩展功能概述	30
2.2	TMS320C6000 DSP 片内存储器	32
2.2.1	存储器映射	32
2.2.2	片内存储器	39
2.3	TMS320C6000 DSP 的片内外设概述	39

第3章 中断控制	47
3.1 TMS320C6000 DSP 的中断概述	47
3.1.1 中断类型和中断信号	47
3.1.2 中断服务表 (IST)	48
3.1.3 中断控制寄存器概述	51
3.2 控制状态寄存器 (CSR)	52
3.3 中断控制	53
3.3.1 使能和禁止中断 (中断使能寄存器 (IER))	53
3.3.2 设置和清除中断的状态 (IFR、ISR 和 ICR)	54
3.3.3 从中断服务返回	55
3.4 中断捕获和处理	56
3.4.1 设置非复位中断标志	57
3.4.2 处理非复位中断的条件	57
3.4.3 非复位中断处理期间的动作	58
3.4.4 为 TMS320C6000 DSP 设置 $\overline{\text{RESET}}$ 中断标志	59
3.4.5 $\overline{\text{RESET}}$ 中断处理时的动作	59
3.5 中断性能	60
3.5.1 一般性能	60
3.5.2 流水线的相互影响	60
3.6 编程注意事项	60
3.6.1 单任务编程	60
3.6.2 嵌套中断	61
3.6.3 手动中断处理	61
3.6.4 陷阱	62
第4章 流水线操作	63
4.1 TMS320C62x/64x/67x DSP 的流水线概述	63
4.1.1 取指	63
4.1.2 译码	64
4.1.3 执行	65
4.1.4 流水线操作	67
4.2 各类指令的流水线执行	74
4.2.1 定点 DSP 的各类指令的流水线执行	74
4.2.2 浮点 DSP 的各类指令的流水线执行	78
4.3 性能考虑	86
4.3.1 一个取指包中具有多个执行包的流水线操作	87
4.3.2 多周期 NOP 指令	88
4.3.3 存储器考虑	90
第5章 TMS320C6000 DSP 外部存储器接口	94
5.1 概 述	94

5.1.1	SDRAM 接口	95
5.1.2	SBSRAM 接口	101
5.1.3	ASRAM 接口	103
5.1.4	复位 EMIF	109
5.1.5	EMIF 和 CLKOUTn 的使用条件	110
5.1.6	保持接口	110
5.1.7	访问 EMIF 寄存器时的边界条件	111
5.1.8	时钟输出使能	112
5.1.9	低功耗	113
5.2	TMS320C6000 DSP 的 EMIF 寄存器	113
5.2.1	TMS320C6000 DSP 的 EMIF 寄存器概述	113
5.2.2	EMIF 全局控制 (GBLCTL) 寄存器	113
5.2.3	EMIF CE 空间控制寄存器 (CECTL0~3)	118
5.2.4	EMIF SDRAM 控制 (SDCTL) 寄存器	121
5.2.5	EMIF SDRAM 时序 (SDTIM) 寄存器	123
5.2.6	EMIF SDRAM 扩展 (SDEXT) 寄存器	124
5.2.7	EMIF CE 空间从控制寄存器 (CESEC0~3)	126
5.2.8	EMIF 外设器件传输控制 (PDTCTL) 寄存器	127
5.3	TMS320C620x/C670x DSP 的 EMIF	127
5.3.1	概述	128
5.3.2	EMIF 接口信号	128
5.3.3	存储器宽度和字节定位	130
5.3.4	SDRAM 接口	131
5.3.5	SBSRAM 接口	137
5.3.6	ROM 访问模式	138
5.3.7	存储器请求优先级	139
5.4	TMS320C621x/C671x DSP 的 EMIF	140
5.4.1	概述	140
5.4.2	EMIF 接口信号	140
5.4.3	存储器宽度和字节定位	142
5.4.4	SDRAM 接口	144
5.4.5	SBSRAM 接口	151
5.4.6	存储器请求优先级	153
5.5	TMS320C64x DSP 的 EMIF	153
5.5.1	概述	153
5.5.2	EMIF 接口信号	154
5.5.3	存储器宽度和字节定位	156
5.5.4	SDRAM 接口	158
5.5.5	SBSRAM 接口	159

5.5.6	可编程同步接口	161
5.5.7	外部器件传送 (PDT)	163
5.5.8	存储器请求优先级	170
第 6 章	直接存储器访问 (DMA) 控制器	171
6.1	概 述	171
6.2	DMA 控制寄存器	173
6.2.1	DMA 辅助控制 (AUXCTL) 寄存器	173
6.2.2	DMA 通道主控制寄存器 (PRICTL0~3)	174
6.2.3	DMA 通道从控制寄存器 (SECCTL0~3)	177
6.2.4	DMA 通道源地址寄存器 (SRC0~3)	180
6.2.5	DMA 通道目的地址寄存器 (DST0~3)	180
6.2.6	DMA 通道传输计数器寄存器 (XFRCNT0~3)	180
6.2.7	DMA 全局计数重载寄存器 (GBLCNTA、B)	181
6.2.8	DMA 全局索引寄存器 (GBLIDXA、B)	181
6.2.9	DMA 全局地址寄存器 (GBLADDRA~D)	182
6.3	DMA 的初始化和启动	182
6.3.1	控制寄存器初始化	182
6.3.2	初始化一个 DMA 块传输	183
6.3.3	自动初始化	184
6.4	同步控制	185
6.4.1	DMA 通道事件的锁定和清除	186
6.4.2	同步控制	186
6.4.3	地址产生	187
6.5	通道分割操作	190
6.5.1	DMA 分割操作	190
6.5.2	分割地址产生	190
6.6	资源仲裁和优先级设置	191
6.7	DMA 通道的状态	192
6.8	DMA 控制器结构	193
6.8.1	TMS320C6201/C6701/C6202 DSP 的 DMA 结构	193
6.8.2	TMS320C6202B/C6203 (B) /C6204/C6205 DSP 的 DMA 结构	194
6.8.3	DMA 操作	194
6.8.4	DMA 控制器性能	194
6.8.5	DMA 控制器的输出引脚	194
6.8.6	DMA 仿真	195
第 7 章	增强的直接存储器访问 (EDMA)	196
7.1	概 述	196
7.1.1	EDMA 术语	197
7.1.2	启动 EDMA 传输	198

7.1.3	EDMA 传输的同步	198
7.1.4	EDMA 传输的类型	200
7.1.5	单元大小和排列	204
7.1.6	单元和帧/阵列计数更新	205
7.1.7	源/目的地址更新	205
7.1.8	连接 EDMA 传输	208
7.1.9	终止一个 EDMA 传输	209
7.1.10	EDMA 中断	209
7.1.11	EDMA 性能	212
7.1.12	快速 DMA (QDMA)	212
7.1.13	传输请求递交	214
7.2	TMS320C621x/C671x DSP 的 EDMA 控制器	217
7.2.1	事件编码器	217
7.2.2	参数 RAM (PaRAM)	217
7.2.3	链接 EDMA 通道到一个事件	219
7.2.4	资源仲裁和优先级处理	219
7.2.5	传输请求队列长度	219
7.2.6	EDMA 控制寄存器	220
7.3	TMS320C64x DSP 的 EDMA 控制器	220
7.3.1	链接 EDMA 通道到一个事件	221
7.3.2	外设器件传输	221
7.3.3	资源仲裁和优先级处理	221
7.3.4	传输请求队列长度	222
7.3.5	EDMA 访问 L2 控制	222
7.3.6	EDMA 控制寄存器	223
第 8 章	主机并行接口 (HPI)	225
8.1	概 述	225
8.2	HPI	226
8.2.1	TMS320C620x/C670x DSP 的 HPI	227
8.2.2	TMS320C621x/C671x DSP 的 HPI	228
8.2.3	TMS320C64x DSP 的 HPI16 或 HPI32	228
8.3	信号描述	229
8.3.1	数据总线	230
8.3.2	访问控制选择信号	230
8.3.3	半字识别选择信号	230
8.3.4	地址选通输入信号	230
8.3.5	字节使能位 (仅仅 C620x/C670x DSP 具有)	231
8.3.6	读/写选择信号	231
8.3.7	选通信号	232

8.3.8	准备信号	233
8.3.9	向主机发送中断的信号	233
8.4	HPI 总线访问	233
8.4.1	C620x/C670x DSP 的 HPI 总线访问	233
8.4.2	C621x/C671x DSP 的 HPI 总线访问	236
8.4.3	C64x DSP 的 HPI 总线访问	238
8.5	主机访问顺序	239
8.5.1	HPIC 和 HPIA 寄存器的初始化	240
8.5.2	固定地址模式下的 HPID 寄存器读访问	241
8.5.3	自动增量模式下的 HPID 寄存器读访问	242
8.5.4	固定地址模式下的 HPID 寄存器写访问	243
8.5.5	自动增量模式下的 HPID 寄存器写访问	245
8.5.6	半字周期 (仅 C620x/C670x DSP 的 HPI)	247
8.5.7	HPI 传输优先级队列 (仅 C621x/C671x/C64x HPI)	248
8.5.8	复位期间使用 HPI 访问存储器	248
8.6	HPI 寄存器	248
8.6.1	HPI 数据 (HPID) 寄存器	249
8.6.2	HPI 地址 (HPIA) 寄存器	249
8.6.3	HPI 控制 (HPIC) 寄存器	249
8.6.4	C64x DSP 的 HPI 传输请求控制 (TRCTL) 寄存器	252
8.7	HPI 实例	254
8.7.1	MC68360 和 TMS320C6000 DSP 的 HPI	254
8.7.2	Intel 80960 和 TMS320C6000 DSP 的 HPI	255
8.7.3	使用 PLX PCI9050 实现 TMS320C6000 DSP 的 HPI 和 PCI 接口	256
第 9 章	TMS320C6000 DSP 的 GPIO 和定时器	257
9.1	TMS320C6000 的 GPIO 概述	257
9.2	GPIO 功能	257
9.3	中断和事件产生	259
9.3.1	直接传递模式	259
9.3.2	逻辑模式	260
9.3.3	GPINT 和 GP0 与/或 GPINT0 的复用	261
9.3.4	中断和事件	262
9.4	GPIO 寄存器	262
9.4.1	GPIO 使能(GPEN)寄存器	263
9.4.2	GPIO 方向 (GPDIR) 寄存器	263
9.4.3	GPIO 值 (GPVAL) 寄存器	264
9.4.4	GPIO Delta 高 (GPDH) 寄存器	265
9.4.5	GPIO Delta 低 (GPD L) 寄存器	265
9.4.6	GPIO 高屏蔽 (GPHM) 寄存器	266

9.4.7	GPIO 低屏蔽 (GPLM) 寄存器	267
9.4.8	GPIO 全局控制 (GPGC) 寄存器	267
9.4.9	GPIO 中断极性 (GPPOL) 寄存器	268
9.5	TMS320C6000 DSP 的 32 位定时器	269
9.5.1	概述	269
9.5.2	复位定时器和使能计数	270
9.5.3	定时器计数	270
9.5.4	定时器时钟源选择	271
9.5.5	定时器脉冲产生	271
9.5.6	控制寄存器的边界条件	272
9.5.7	定时器中断	272
9.5.8	定时器引脚用作通用目的输入/输出	272
9.5.9	仿真操作	273
9.5.10	定时器寄存器	273
第 10 章	TMS320C62x DSP 的扩展总线	277
10.1	TMS320C62x DSP 的扩展总线概述	277
10.2	扩展总线信号	278
10.3	扩展总线 I/O 口操作方式	279
10.3.1	异步模式	281
10.3.2	同步 FIFO 模式	281
10.4	扩展总线的主机接口操作	284
10.4.1	同步主机接口模式	285
10.4.2	异步主机接口模式	290
10.5	扩展总线仲裁	292
10.6	通过扩展总线的 DSP 芯片自举	293
10.6.1	自举和器件配置	294
10.6.2	自举过程	295
10.7	扩展总线的寄存器	296
10.7.1	扩展总线全局控制(XBGC)寄存器	296
10.7.2	扩展总线 XCE 空间控制寄存器 (XCECTL0~3)	297
10.7.3	扩展总线主机接口控制 (XBHC) 寄存器	298
10.7.4	扩展总线内部主设备地址 (XBIMA) 寄存器	299
10.7.5	扩展总线外部地址 (XBEA) 寄存器	300
10.7.6	扩展总线数据 (XBD) 寄存器	300
10.7.7	扩展总线内部从设备 (XBISA) 寄存器	300
第 11 章	多通道缓冲串口	302
11.1	McBSP 概述	302
11.1.1	McBSP 的特征	302
11.1.2	McBSP 的接口	302

11.2	McBSP 数据传输	304
11.2.1	串口的复位	304
11.2.2	确定准备状态	304
11.2.3	CPU 中断 (RINT 和 XINT)	305
11.2.4	帧和时钟配置	305
11.3	时钟、帧和数据	306
11.3.1	帧和时钟操作	306
11.3.2	采样率发生器时钟和帧	307
11.3.3	产生数据时钟	308
11.3.4	产生帧同步	308
11.3.5	数据和帧	310
11.4	McBSP 的标准操作	314
11.4.1	数据的接收	314
11.4.2	数据的发送	315
11.4.3	最高的帧频率	315
11.4.4	忽略帧同步的传输	316
11.4.5	串口异常条件	318
11.5	μ 律/A 律压扩硬件操作	320
11.5.1	压扩内部数据	321
11.5.2	位排序	322
11.6	McBSP 初始化过程	322
11.6.1	一般的初始化过程	322
11.6.2	外部器件为发送帧主设备的特殊情况	323
11.7	多通道的选择操作	324
11.7.1	多通道使能和屏蔽	325
11.7.2	增强的多通道选择模式 (C64x DSP)	328
11.8	SPI 协议下的 McBSP 操作	328
11.8.1	McBSP 作为 SPI 主设备	330
11.8.2	McBSP 作为 SPI 从设备	330
11.8.3	SPI 初始化	330
11.9	McBSP 引脚用作通用目标 I/O	331
11.10	McBSP 寄存器	331
第 12 章	外围设备互联 (PCI) 口	334
12.1	TMS320C6000 DSP 的 PCI 口概述	334
12.2	PCI 体系结构	336
12.3	存储器映射和寻址	338
12.3.1	存储器映射	338
12.3.2	字节寻址	339
12.3.3	PCI 地址解码	339

12.4	PCI 存储器服务的特别考虑	339
12.4.1	可预取指的读操作 (C62x DSP)	339
12.4.2	程序存储器之间的 PCI 传输 (C62x DSP)	340
12.4.3	PCI EDMA 使用控制 (C64x DSP)	340
12.5	从设备传输	341
12.5.1	DSP 从设备写	341
12.5.2	DSP 从设备读	341
12.5.3	PCI 目标终止	342
12.6	主设备传输	342
12.6.1	DSP 主设备写	342
12.6.2	DSP 主设备读	343
12.6.3	DSP 作为系统主机	344
12.7	复位	344
12.8	中断和状态报告	345
12.8.1	主机向 DSP 产生的中断	345
12.8.2	DSP 向主机产生的中断	345
12.9	PCI 端口的自举配置	346
12.10	EEPROM 接口	346
12.10.1	由 EEPROM 实现 PCI 自动初始化	347
12.10.2	EEPROM 映射	347
12.10.3	EEPROM 检查和 (Checksum)	348
12.10.4	DSP EEPROM 接口	348
12.11	错误处理	349
12.11.1	PCI 奇偶错误处理	349
12.11.2	PCI 系统错误处理	349
12.11.3	PCI 主设备中止协议	350
12.11.4	PCI 目标设备中止协议	350
第 13 章	时钟、锁相环和电源系统设计	351
13.1	TMS320C6000 DSP 的时钟设计	351
13.1.1	通过 CLKIN 提供系统时钟	351
13.1.2	通过 ECLKIN 为 EMIF 提供时钟	357
13.2	TMS320C6000 DSP 的锁相环控制器	358
13.2.1	PLL 控制器概述	358
13.2.2	PLL 控制器功能描述	359
13.2.3	PLL 控制器配置	360
13.2.4	PLL 控制器寄存器	361
13.3	TMS320C6000 DSP 的电源系统设计	362
13.3.1	电源系统设计	362
13.3.2	C6000 DSP 的复位电路	363

13.4	Power-Down 逻辑	365
13.4.1	Power-Down 模式描述	366
13.4.2	触发和唤醒操作	367
13.4.3	TMS320C6202 (B) /C6203 (B) 外设的 Power-Down 模式	368
第 14 章	TMS320C6000 DSP 软件开发概述	370
14.1	概 述	370
14.2	DSK 支持工具	371
14.3	代码编译工具箱 (CCS)	372
14.3.1	TMS320C6000 DSP 的代码编译工具箱	372
14.3.2	DSP/BIOS 实时内核插件	372
14.3.3	实时数据交换 (RTDX) 技术	372
14.4	支持程序	373
14.4.1	初始化程序	373
14.4.2	向量表	374
14.4.3	链接命令文件	375
14.5	编译器/链接器	376
14.6	TMS320 C6000 DSP 的软件编程	377
14.6.1	DSP 代码开发流程概述	377
14.6.2	C 代码的优化方法	379
14.6.3	剖析代码	383
14.6.4	精炼 C 代码	384
14.7	TMS320C6701 DSP 的 EVM 板的特点和硬件结构	389
14.7.1	TMS320C6701 DSP 的 EVM 板的特点	389
14.7.2	TMS320C6701 DSP 的 EVM 板的硬件结构	390
14.7.3	JTAG 接口	390

第 1 章 TMS320C6000 DSP 概述

TI 公司的 TMS320C6000 系列 DSP 是适合于特定应用的高性能处理器,其 32 位定点 DSP 和浮点 DSP 具有软件兼容性。这一系列的 DSP 综合了世界上各种 DSP 的优势并在处理能力和电源管理方面作了很大的改进。本章对当前 TMS320 家族做一个概述,并介绍 TMS320C6000 系列 DSP 的结构和特点。

1.1 数字信号处理器概述

20 世纪 60 年代以来,随着计算机和信息技术的飞速发展,数字信号处理技术得到迅速的发展。20 世纪 70 年代末到 80 年代初,世界上第一个数字信号处理器(Digital Signal Processor,简称 DSP)问世,开始将理论研究结果广泛应用到低成本的实际系统中。而后,DSP 凭着的其特有的灵活性、精确性、稳定性、可重复性、体积小、功耗小、易于大规模集成,特别是可编程性和易于实现自适应处理等特点,给数字信号处理带来了巨大的发展机遇,并使得信号处理手段更灵活、功能更复杂,其应用领域也拓展到国民经济生活的诸多方面。近来新兴的一些学科,如人工智能、模式识别、神经网络等,都与数字信号处理密不可分。可以说,数字信号处理是把许多经典的理论体系作为自己的理论基础,同时又使自己成为一系列新兴学科的理论基础。特别是近年来,由于半导体制造工艺的发展和计算机体系结构等方面的改进,DSP 芯片的功能也越来越强大。这使得信号处理研究的重点在很大程度上可以放在软件的算法实现上,而不用像以前那样需要过多地考虑硬件的实现。随着 DSP 运算速度的提高,能够实时处理的信号带宽也大大增加,数字信号处理的研究重点也由最初的非实时应用转向了实时应用。

1.1.1 什么是 DSP

DSP 是一种具有特殊结构的微处理器。DSP 的内部采用程序总线 and 数据总线分开的哈佛结构,具有专门的硬件乘法器,广泛采用流水线操作,提供特殊的数字信号处理指令,可以用来快速实现各种数字信号处理算法。根据数字信号处理的要求,DSP 一般具有如下的主要特点:

- (1) 在一个指令周期内,可完成一次乘法和一次加法。
- (2) 程序和数据空间分开,可以同时访问指令和数据。
- (3) 片内具有快速 RAM,通常可通过独立的数据总线,在两块芯片中同时访问。
- (4) 具有低开销或无开销的循环及跳转的硬件支持。
- (5) 快速的中断处理和硬件 I/O 接口支持。
- (6) 具有在单周期内操作的多个硬件地址产生器。
- (7) 可以并行执行多个操作。
- (8) 支持流水线操作,使取指、译码、取操作数和执行等操作可以重叠执行。

1.1.2 DSP 的系统构成

图 1-1 所示为一个典型的 DSP 系统框图。图中的输入信号可以有各种各样的形式。例如，它可以是传声器输出的语音信号或是电话线来的调制数字信号，也可以是编码后在数字链路上传输或存储在计算机中的图像信号等。

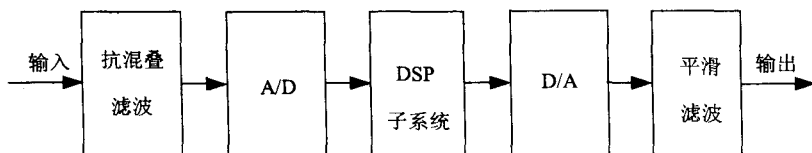


图 1-1 典型的 DSP 系统框图

输入信号首先进行滤波和采样，然后进行 A/D（Analog to Digital）转换，将模拟信号转换为数字信号。DSP 的输入是 A/D 转换后得到的数字信号，DSP 对输入的数字信号进行处理，经过处理后的数字样值再经 D/A（Digital to Analog）转换变为模拟信号，最后输出平滑的模拟信号，驱动功率器件或其他元件。

在图 1-1 所示的整个 DSP 系统中，DSP 子系统是核心。下面主要介绍 DSP 子系统的实现和构成。

1.1.3 实时 DSP 子系统

基于 DSP 的 DSP 子系统一般由控制处理器、DSP、数据传输网、存储器、输入/输出接口构成，其结构框图如图 1-2 所示。

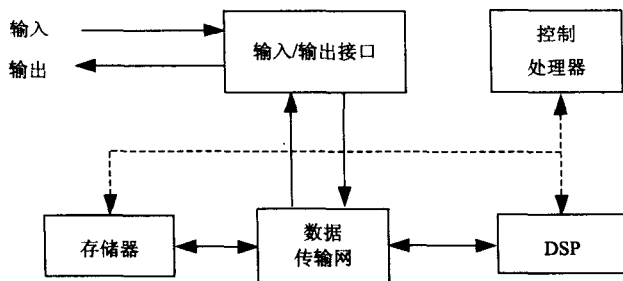


图 1-2 DSP 子系统结构

(1) 控制处理器 执行 DSP 子系统的控制功能，包括主机命令解释、数据传输控制、数据输入/输出等控制功能。控制处理器使得 DSP 可以专注于高速实时 DSP 算法。根据具体的系统不同，控制处理器可以在通用微处理器或 DSP 中独立实现，也可以在框图中的 DSP 内实现。

(2) DSP 用于完成实时信号处理算法。

(3) 数据传输网 完成各个模块（DSP 子系统外的数据输入/输出，以及子系统内的数据传输）之间的高速数据传输。对于模块之间有大量数据传输的高速 DSP 系统设计，数据传输网的设计是一个关键环节，它很可能成为系统的瓶颈。

(4) 存储器 支持数据存储，它的主要参数指标有存储器容量、存储器字长、访问速度、

对特殊寻址方式的支持、存储器管理控制能力。

(5) 输入/输出接口 DSP 子系统的数据输入/输出接口,用于输入待处理的数据,并输出处理后的数据,输入/输出接口的主要参数有接口带宽、缓冲存储能力、数据字长、接口规程、接口所支持的输入/输出个数。

上述 DSP 子系统,对具体应用来说,其复杂程度会有很大的差异,其硬件平台可能是以单个 DSP 为核心的一个板卡,也可能是围绕多个 DSP 组成的一个分布式 DSP 系统。同时由于所选用的 DSP 速度不同,以及软件 DSP 算法等的差异,设计和实现难度相差很多。

1.1.4 DSP 的基本结构

DSP 的基本结构包括:

(1) 哈佛结构 哈佛结构的主要特点是将程序和数据存储在不同的存储空间中,即程序存储器和数据存储器是两个相互独立的存储器,每个存储器独立编址,独立访问。与两个存储器相对应的是系统中设置了程序总线 and 数据总线,从而使数据的吞吐率提高了一倍。由于程序和数据存储在两个分开的空间中,因此取指和执行能完全重叠。

(2) 流水线操作 流水线与哈佛结构相关。DSP 广泛采用流水线,以减少指令执行的时间,从而增强了处理器的处理能力。处理器可以并行处理 2~4 条指令,每条指令处于流水线的不同阶段。图 1-3 所示为一个四级流水线操作的例子。

(3) 多总线结构 许多 DSP 内部都采用了多总线结构,这样保证在一个机器周期内,可以同时访问数据和程序存储空间,因此可以解决传统芯片的总线冲突问题,使系统的速度和效率大大提高。

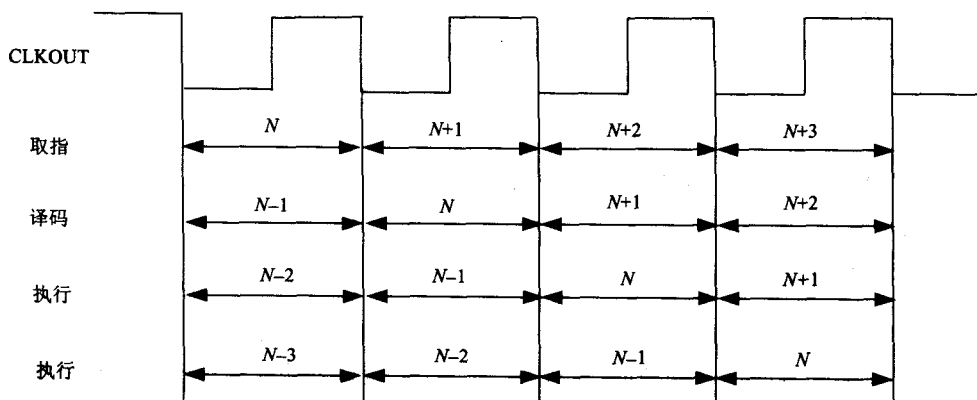


图 1-3 四级流水线操作

(4) 专用的硬件乘法器 乘法速度越快, DSP 的性能越高。由于具有专用的应用乘法器,乘法可在一个指令周期内完成。

(5) 特殊的 DSP 指令 为了更好地满足数字信号处理应用的需要,在 DSP 指令系统中,设计了一些特殊的 DSP 指令,以完成一些专门的运算。例如 C54x DSP 的 FIRS 指令,专门用于 FIR (有限脉冲响应) 滤波运算。

(6) 快速的指令周期 哈佛结构、流水线操作、专用的硬件乘法器、特殊的 DSP 指令,再加上集成电路的优化设计,可使 DSP 的指令周期在 50ns 以下,现在高性能的 DSP 指令周