

21 世纪高等学校电子信息类教材

集成电路设计基础

● 王志功 沈永朝 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

21 世纪高等学校电子信息类教材

集成电路设计基础

王志功 沈永朝 编著

电子工业出版社

Publishing House of Electronics Industry

北京 • BEIJING

前 言

人类已进入信息化社会，硅器时代！过去十多年来，我国信息产业迅猛发展，但作为支撑的集成电路产业却相对落后。我国目前生产的集成电路只能满足国内市场需求的 20%，更重要的是，关系我国信息安全和信息产业需求的关键集成电路如计算机的核心芯片 CPU，光纤通信系统中的高速电路，Internet 的网关网卡电路，多媒体中的信息处理电路等大多都是从外国进口的。这无疑极大地威胁着我国信息网络乃至整个国家的安全，制约着我国微电子行业乃至整个信息行业的发展，限制着我国微电子产品在国内外市场上的竞争力。

在这样的形势下，我国的集成电路的技术发展和产业面临着巨大的挑战和机遇。其挑战来自于以下几个方面：

- 世界范围内信息技术和集成电路技术的高速发展；
- 我国加入 WTO 后，信息产业市场开放带来的外国信息产品的强力推销；
- 国外信息技术和集成电路技术的继续垄断；
- 我国集成电路工艺和技术的相对落后；
- 我国集成电路设计人才的绝对缺少。

事实上，集成电路设计和制造水平的高低已成为衡量一个国家技术水平的一个重要标准，同时成为一个国家经济实力和国防实力的一个重要标志。可以预料，在 21 世纪的前半叶，集成电路技术将会更加迅猛地发展。在我国，发展集成电路技术以加速社会信息化进程、加强国防力量和保证国家安全已经刻不容缓。

面临挑战的同时，我国集成电路设计和制造技术的发展面临着一个关键的机遇。这种机遇表现在以下几方面：

- 国家的高度重视。集成电路设计与制造已被列为电子信息领域高技术创新的第一位，大规模集成电路设计已作为国家“十五 863 计划”重大专项全面实施，系统芯片基础研究已被列为“国家自然科学基金”、“十五”计划的优先资助领域，微电子电路设计已被信息产业部列为我国“十五”规划的重点发展方向。一场集成电路设计与制造的大战役已经在我国打响。
- 国防和国家信息安全对集成电路的迫切需求。
- 国家信息产业的高速发展对集成电路的巨大需求：2000 年预计我国 IC 市场为 500 亿元，2005 年将超过 2000 亿元。
- 国内外半导体制造现代化工艺线的不断建设和扩展，很大程度上已经形成的“等米下锅”（等待高技术含量的电路投入大批制造）或“找米下锅”的局面。
- 我国 909 工程的成功实施和数条先进（ $\leq 0.25\mu\text{m}$ ）工艺线在上海、北京和天津等地的兴建为我国先进集成电路的制造提供了条件。
- 我国有数量庞大、可再塑或尽快培育的、支付费用低的集成电路设计与制造技术队伍和智力资源。我国重点大学大多都设有电子、通信、计算机、自动化等学科，每个学科每年都招收上百名学生，这些学生有很大一部分（全国超过数十万名）可以通过课程调整和技术实践培养成为集成电路设计人才。
- 最近，教育部和科技部正在全国约 10 所大学内筹建集成电路设计人才培养基地。

在这种形势下，集成电路设计人才的培养任务艰巨，为培养集成电路设计人才所需要的、

适应当前技术发展的教材成为急需。

这本《集成电路设计基础》教材的基础内容来自本书第二作者沈永朝教授 1987~1997 年为东南大学无线电系硕士研究生授课用的手稿,称之为《VLSI 分析与设计》。自 1998 年始,本书第一作者接任该课程教学,修改和补充了一系列内容,特别是补充了概论、集成电路工艺、VHDL 语言、逻辑综合和 FPGA、模拟集成电路设计等内容,形成了《VLSI 设计》讲义。已按照该讲义为 1997~2000 四届研究生进行了讲授。讲课过程中发现:①研究生大多在本科阶段没有系统学习过集成电路设计;②当前更多需要模拟和模数混合集成电路设计人才;③在一个学期内难以兼顾集成电路后端设计和 VLSI 前端设计两方面的内容。所以,我们将原来的《VLSI 设计》讲义分成两门课程。一门称之为《集成电路设计基础》的本教材,但又由第一作者增加了第 2~5 章和第 7~9 章的内容。另一门沿用《VLSI 设计》,但内容集中在前端(或称顶层)设计。《集成电路设计基础》作为《VLSI 设计》的先修课程。

《集成电路设计基础》共分 15 章,大体可分为两大部分,第 1~9 章为第一部分,主要讨论集成电路设计的一系列基本知识。第 1 章追溯了集成电路发展的历史,讨论了当前集成电路设计和制造的技术发展趋势,讨论了无生产线集成电路设计的有关问题。第 2 章介绍了集成电路制造相关的材料,包括硅、锗硅、砷化镓、磷化铟和 SOI 等半导体材料与材料系统,以及绝缘体和金属导体等。第 3 章介绍了集成电路制造的基本工艺。第 4 章介绍了集成电路相关的无源器件,包括电阻、电容、电感、传输线等。第 5 章介绍了以双极性硅、HBT、MESFET、HEMT、PMOS、NMOS、CMOS 等各种有源元件为代表的集成电路工艺。第 6 章介绍了当前主流工艺器件 MOSFET 的阈值电压、体效应、温度、噪声等基本特性和尺寸按比例缩小后产生的一系列二阶效应。第 7 章介绍了采用 SPICE 进行集成电路模拟的基本技术,对各种输入语句格式进行了详细描述。第 8 章介绍了集成电路版图设计的基本过程和知识。第 9 章简要叙述了集成电路测试和封装方面的有关问题。通过这 9 章的学习,可以使读者能够基本了解集成电路设计和制造的全过程,掌握集成电路设计的基本技术。因此,这 9 章可以作为集成电路设计的基础知识单独形成一个教学单元。

本书第二部分包括第 10~15 章共 6 章内容,主要讨论的是 CMOS 电路设计的基本技术。其中,第 10 章介绍了 MOS 基本电路,主要是讨论 MOS 传输门和反相器电路。第 11 章讨论了 CMOS 静态传输逻辑电路,主要内容是常规 CMOS 传输门逻辑和差动开关晶体管逻辑两种电路。第 12 章讨论了以全互补标准 CMOS、伪 NMOS、级联电压开关和差动错层 CMOS 4 种 CMOS 静态恢复逻辑电路。第 13 章讨论了 C^2 MOS、预充电-放电和多米诺等 CMOS 动态恢复逻辑电路。第 14 章讨论了静态与动态移位寄存器和锁存器等多种时序电路。第 15 章讨论了放大器、振荡器、数模和模数转换器等几种典型的模拟电路和模拟数字混合信号集成电路。通过这 6 章基本电路技术的学习,使读者可在前 9 章了解集成电路设计工艺和掌握设计工具的基础上,基本掌握 CMOS 集成电路的基本单元设计,为更复杂、规模更大电路和系统的设计奠定基础。

本书可以作为电子科学和通信与信息等学科高年级本科生和硕士生的教材,也可作为集成电路设计工程师的参考书。

东南大学射频与光电集成电路研究所的许多老师和研究生也为两本教材做出了不同程度的贡献,在此表示衷心的感谢。

鉴于集成电路技术一方面发展迅速,另一方面涉及到众多技术领域,使得编写一本既能

覆盖基础技术，又能跟踪前沿技术的教材变得十分困难。我们虽然尽了力，但仍难以达到预定的目标。对于书中的遗漏和错误，恳望读者批评指正。

编著者

2004年1月20日于南京

目 录

第 1 章 集成电路设计概述	1
1.1 集成电路 (IC) 的发展	1
1.2 当前国际集成电路技术发展趋势	4
1.3 无生产线集成电路设计技术	6
1.4 代工工艺	7
1.5 芯片工程与多项目晶圆计划	8
1.6 集成电路设计需要的知识范围	11
1.7 集成电路设计相关的参考书、期刊和学术会议	13
第 2 章 IC 制造材料	15
2.1 概述	15
2.2 硅 (Si)	16
2.3 砷化镓 (GaAs)	16
2.4 磷化铟 (InP)	17
2.5 绝缘材料	17
2.6 金属材料	18
2.7 多晶硅	19
2.8 材料系统	20
2.8.1 半导体材料系统	20
2.8.2 半导体/绝缘体材料系统	20
参考文献	21
第 3 章 IC 制造工艺	22
3.1 外延生长 (Epitaxy)	22
3.2 掩膜 (Mask) 的制版工艺	23
3.3 光刻 (Lithography)	26
3.3.1 光刻步骤	26
3.3.2 曝光方式	26
3.4 刻蚀 (Etching)	29
3.5 掺杂	29
3.6 绝缘层的形成	31
3.7 金属层的形成	32
参考文献	33
第 4 章 无源元件	35
4.1 互连线	35
4.2 电阻	35
4.3 电容	36
4.4 电感	37
4.4.1 集总电感	38

4.4.2 传输线电感	38
4.5 分布参数元件	39
4.5.1 集总元件和分布元件	39
4.5.2 微带线	39
4.5.3 共面波导 (CPW)	40
4.5.4 传输线元件	42
参考文献	43
第 5 章 IC 有源元件与工艺流程	44
5.1 概述	44
5.2 双极性硅工艺	45
5.3 HBT 工艺	46
5.4 MESFET 和 HEMT 工艺	47
5.4.1 MESFETs	48
5.4.2 HEMT	49
5.5 MOS 和相关的 VLSI 工艺	51
5.6 PMOS 工艺	52
5.6.1 早期的铝栅工艺	52
5.6.2 铝栅重叠设计	53
5.6.3 自对准技术与标准硅工艺	53
5.7 NMOS 工艺	54
5.7.1 了解 NMOS 工艺的意义	54
5.7.2 增强型和耗尽型 MOSFET	54
5.7.3 E-NMOS 工作原理图	55
5.7.4 NMOS 工艺流程	55
5.8 CMOS 工艺	57
5.8.1 一层多晶硅 P 阱 CMOS 工艺流程	57
5.8.2 一层多晶硅两层金属 N 阱 CMOS 工艺主要步骤	58
5.9 BiCMOS 工艺	59
参考文献	60
第 6 章 MOS 场效应管特性	61
6.1 MOS 场效应管	61
6.1.1 MOS 的基本结构	61
6.1.2 MOS 电容的组成	62
6.1.3 MOS 电容的计算	64
6.2 MOS 管的阈值电压 V_T	66
6.3 影响 V_T 值的四大因素	67
6.3.1 材料的功函数之差	68
6.3.2 SiO_2 层中可移动的正离子的影响	68
6.3.3 氧化层中固定电荷的影响	70
6.3.4 界面势阱的影响	71

6.3.5 综合以上四大因素后的 MOS 器件阈值电压 V_T	72
6.4 体效应	73
6.5 MOSFET 的温度特性	73
6.6 MOSFET 的噪声	74
6.7 MOSFET 尺寸按比例缩小 (Scaling-down)	74
6.8 MOS 器件的二阶效应	77
6.8.1 L 和 W 的变化	77
6.8.2 迁移率的退化	79
6.8.3 沟道长度的调制	80
6.8.4 短沟道效应引起的门限电压的变化	80
6.8.5 狭沟道引起的门限电压的变化	81
6.8.6 第二栅现象	81
6.8.7 电离化	83
参考文献	83
第 7 章 采用 SPICE 的集成电路模拟	84
7.1 集成电路计算机辅助电路模拟程序 SPICE	84
7.2 采用 SPICE 的电路设计流程	84
7.3 电路元件的 SPICE 输入语句格式	85
7.3.1 标题、结束和注释语句	86
7.3.2 基本元件语句	86
7.3.3 半导体器件	91
7.3.4 模型语句	93
7.3.5 子电路描述语句	100
7.4 电路特性分析指令与控制语句	100
7.4.1 分析语句	101
7.4.2 分析控制语句	103
7.5 SPICE 电路输入文件举例	104
7.6 SPICE 格式的电路图 (Schematic) 编辑	106
7.7 SPICE 应用经验	107
参考文献	108
第 8 章 IC 版图设计	109
8.1 工艺流程的定义	109
8.2 版图设计规则	110
8.3 图元 (Instances)	113
8.4 版图设计	117
8.5 版图检查	123
8.6 版图数据的提交	124
参考文献	125
第 9 章 集成电路的测试和封装	126
9.1 芯片在晶圆上的测试	126

9.2	芯片载体	128
9.3	芯片绑定	130
9.4	高速芯片封装	132
9.5	混合集成与微组装技术	133
	参考文献	134
第 10 章	MOS 基本电路	135
10.1	传输门	135
10.1.1	NMOS 传输门	135
10.1.2	PMOS 传输门	137
10.1.3	CMOS 传输门	138
10.2	传输门的连接	139
10.2.1	串联	139
10.2.2	并联	140
10.2.3	串并联	142
10.3	NMOS 反相器	142
10.4	NMOS 反相器负载电阻的选择	144
10.4.1	纯电阻负载 R_L	145
10.4.2	饱和增强型负载	147
10.4.3	耗尽型负载	151
10.5	CMOS 反相器	152
10.5.1	电路图	152
10.5.2	转移特性	152
10.5.3	CMOS 反相器的瞬态特性	155
10.6	反相器的时延-功耗乘积	158
	参考文献	160
第 11 章	CMOS 静态传输逻辑电路	161
11.1	常规 CMOS 传输门逻辑电路	161
11.2	CMOS 差动开关晶体管逻辑 (DPTL) 电路	163
第 12 章	CMOS 静态恢复逻辑电路	165
12.1	引言	165
12.2	全互补标准 CMOS 逻辑电路	165
12.3	伪 NMOS 逻辑电路	167
12.4	级联电压开关逻辑 (CVSL) 电路	169
12.5	差动错层 CMOS 逻辑 (DSL) 电路	175
12.5.1	DSL 电路的工作原理	175
12.5.2	DSL 电路的实用化	176
第 13 章	CMOS 动态恢复逻辑电路	179
13.1	C^2 MOS 电路	179
13.2	预充电-放电逻辑	180
13.2.1	贝尔实验室对动态电路的研究	180

13.2.2 预充电-放电逻辑	182
13.3 预充电技术的改进, 多米诺逻辑 (Domino Logic) 电路	190
13.4 多米诺逻辑 (Domino Logic) 电路的发展	193
13.5 逻辑树中的寄生现象	195
13.6 多输出多米诺逻辑电路	202
第 14 章 时序电路	204
14.1 记忆元件	204
14.1.1 静态记忆元件	204
14.1.2 动态记忆元件	206
14.2 移位寄存器和锁存器	206
14.2.1 静态主从式移位寄存器	206
14.2.2 动态移位寄存器	207
14.2.3 DFF ₁	210
14.2.4 C ² MOS 移位寄存器	210
14.2.5 精简的 DFF	213
14.2.6 小结	213
14.3 半静态锁存器 (Latch) 和 DFF	214
14.3.1 锁存机理	214
14.3.2 各种形式的半静态锁存器	216
14.4 动态锁存器	217
14.4.1 反馈与锁存	217
14.4.2 刷新与锁存	217
14.4.3 动态锁存器	218
14.4.4 各种变形	219
14.4.5 与半静态锁存器比较	220
14.5 静态触发器	221
14.6 半静态触发器	224
14.6.1 具有置位、复位功能的半静态触发器	224
14.6.2 链式半动态锁存器	224
14.7 RS 网络	225
14.8 单相动态边沿触发寄存器	227
14.8.1 UCLA 开发的单相动态触发器	227
14.9 流水线逻辑结构	229
14.10 真单相时钟电路——TSPC	232
14.10.1 $\overline{\Phi}$ 主要出现在 C ² MOS 电路中	232
14.10.2 TPSC-1 电路	234
14.11 通用处理系统	235
第 15 章 模拟集成电路与模数混合集成电路	237
15.1 放大器	237
15.1.1 小信号放大器	237

15.1.2 限幅放大器 238

15.1.3 运算放大器 241

15.2 振荡器 (Oscillator) 241

15.2.1 多谐振荡器 (Multivibrator) 242

15.2.2 环形振荡器 (Ring Oscillator) 242

15.3 数模转换器 (DAC) 244

15.4 模数转换器 (ADC) 246

参考文献 247

附录 A 248

附录 B 249

附录 C 250

附录 D 251

第 1 章 集成电路设计概述

1.1 集成电路 (IC) 的发展

微电子技术是当代信息技术的一大基石。1947 年美国贝尔实验室的 William B. Shockley(肖克莱), Walter H. Brattain (波拉坦) 和 John Bardeen (巴丁) 发明了晶体管, 他们为此获得了 1956 年的诺贝尔物理学奖。图 1.1 是代表这一具有划时代意义的点接触式晶体管的照片。

1958 年 12 月 12 日, 在德州仪器公司 (TI) 从事研究工作的 Jack Kilby (克尔比) 发明了世界上第一块集成电路 IC (Integrated Circuit), 为此他在 42 年之后获得了 2000 年的诺贝尔物理学奖。图 1.2 给出 Jack Kilby 发明的世界上第一块集成电路 (IC) 的照片。

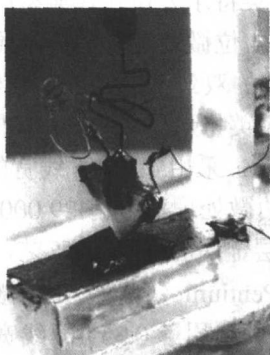


图 1.1 最原始的点接触式晶体管

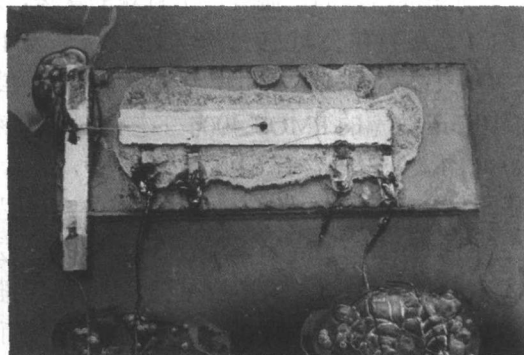


图 1.2 Jack Kilby 发明的世界上第一块集成电路

以上两项革命性的发明推进人类社会进入微电子时代和信息时代。表 1.1 列出 1947 年以来集成电路相关工艺技术、电路规模和产品的发展概况。

表 1.1 集成电路工艺、电路规模和产品的发展概况

年份	1947	1950	1961	1966	1971	1980	1990	2000	2003
工艺	晶体管	分立元件	SSI	MSI	LSI	VLSI	ULSI	GSI	SOC
产品芯片上晶体管大约数目	1	1	10	100~1000	$1 \times 10^3 \sim 2 \times 10^4$	$2 \times 10^4 \sim 1 \times 10^6$	$1 \times 10^6 \sim 1 \times 10^7$	$>1 \times 10^7$	$>5 \times 10^7$
典型产品	结型晶体管	结型晶体管和二极管	平面器件, 逻辑门, 触发器	计数器, 复接器, 加法器	8 位微处理器, ROM RAM	16 位 32 位微处理器, 复杂外围电路	专用处理器, 虚拟现实现机, 灵巧传感器	PIII	P4, 手机, 芯片等

尽管英语中有 VLSI, ULSI 和 GSI 之分, 但 VLSI 使用最频繁, 其含义往往包括了 ULSI 和 GSI。中文中把 VLSI 译为超大规模集成, 更是包含了 ULSI 和 GSI 的意义。

1965 年英特尔 (Intel) 公司创始人 Gordon E. Moore 提出了著名的摩尔 (Moore) 定律: 集成电路的集成度, 即芯片上晶体管数目每隔 18 个月增加一倍或每 3 年翻两番。由图 1.3 可

以看出，30 多年来，以动态随机存储器和美国英特尔（Intel）公司的微处理器为代表的两大类集成电路的规模几乎是准确地按照 Moore 定律发展。

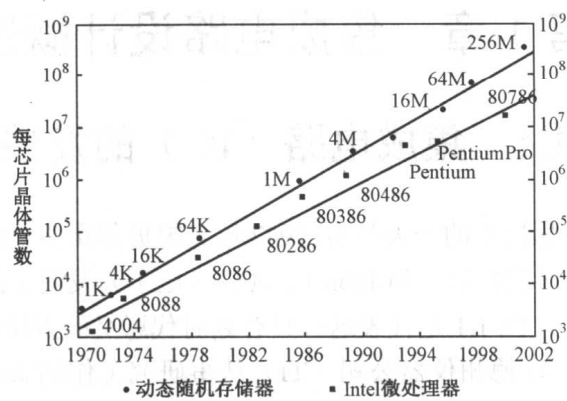


图 1.3 集成电路规模按摩尔定律发展的趋势

为了对集成电路的发展有一个直观的认识，这里举出美国英特尔公司几代典型产品的实例。图 1.4 为英特尔公司 1971 年推出的型号为 4004 的第一代 4 位微处理器的芯片照片。它含有 2 300 只晶体管，芯片面积为 13.5 mm^2 ，封装在一个 16 针的双列直插 DIP 塑料管壳内。采用了 $10\text{ }\mu\text{m}$ 线宽的 PMOS 4004 工艺，时钟频率为 108 kHz。英特尔公司 1974 年推出的型号为 8080 的微处理器含有 6 000 只晶体管，芯片面积为 20 mm^2 ，采用了 $6\text{ }\mu\text{m}$ 线宽的工艺，时钟频率为 2 MHz。英特尔公司 1978 年推出的型号为 8088 的微处理器含有 29 000 只晶体管，芯片面积为 28.6 mm^2 ，采用了 $3\text{ }\mu\text{m}$ 线宽一层多晶硅加一层金属的 NMOS 工艺，时钟频率为 5~10 MHz。图 1.5 为英特尔公司 1997 年推出的型号为 Pentium（奔腾）II 的微处理器的芯片照片，它含有 7 500 000 只晶体管，芯片面积为 209 mm^2 ，采用了 $0.35\text{ }\mu\text{m}$ 线宽一层多晶硅加四层金属的 CMOS 工艺，时钟频率为 233~300 MHz。图 1.6 为英特尔公司 2000 年推出的型号为 Pentium（奔腾）4 的微处理器的芯片照片，它含有 42 000 000 只晶体管，采用了 $0.18\text{ }\mu\text{m}$ CMOS 工艺，时钟频率为 1.5 GHz。

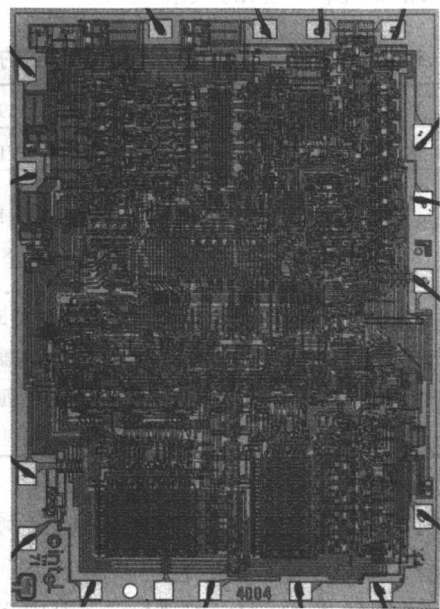


图 1.4 英特尔公司 1971 年推出的第一代微处理器 4 位的 4004 芯片

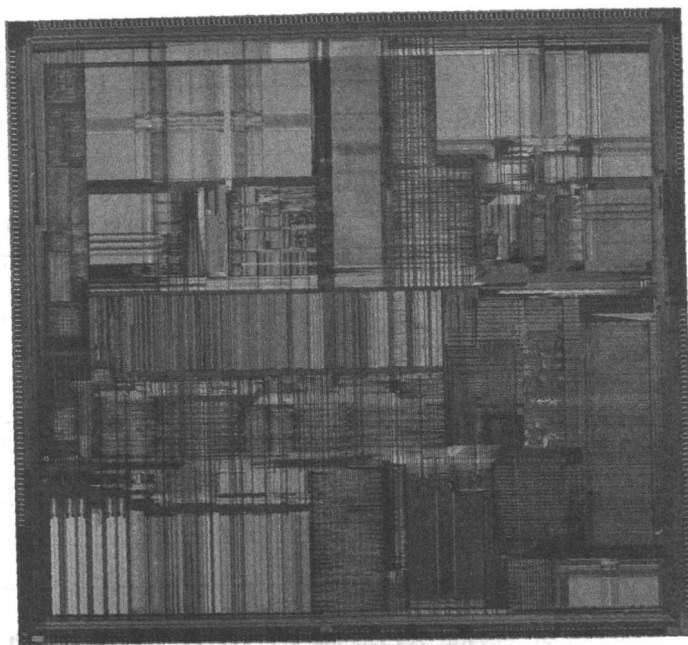


图 1.5 英特尔公司 1997 年推出的 Pentium (奔腾) II 微处理器芯片

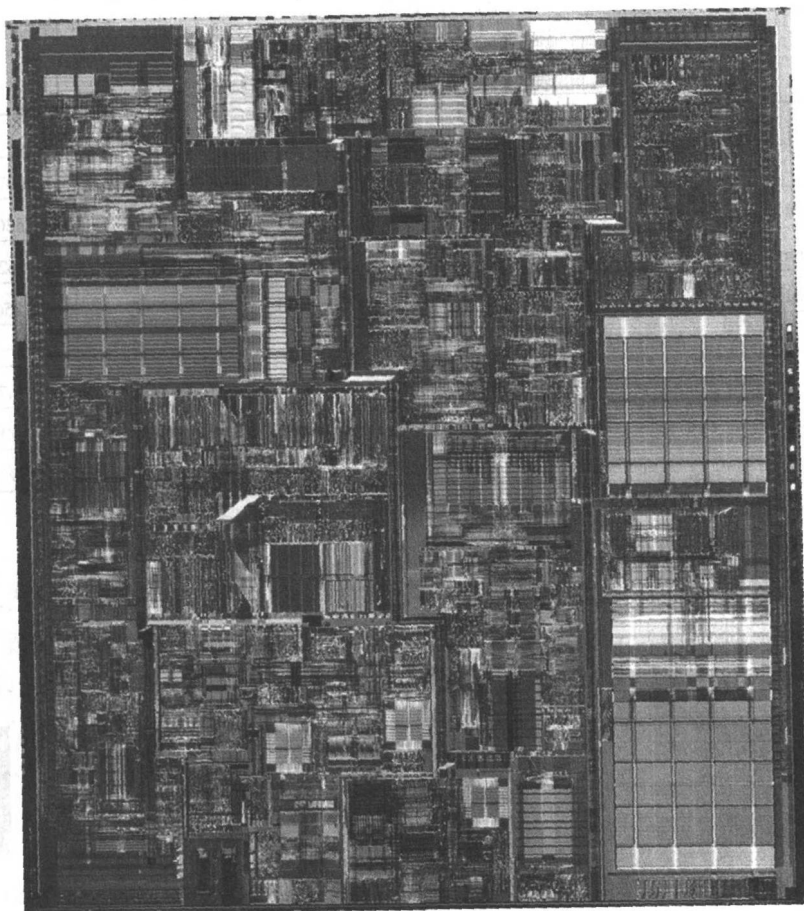


图 1.6 英特尔公司 2000 年推出的 Pentium (奔腾) 4 微处理器芯片

反映集成电路发展速度的另一大类芯片是存储器，包括静态随机存储器 SRAM，动态随机存储器 DRAM，只读存储器 ROM，电可擦除可编程只读存储器 E²PROM，快闪存储器 Flash Memory 等。它们的特点是电路规整，容量大，更依赖于工艺。表 1.2 列出了 DRAM 的发展情况。

表 1.2 动态存储器容量、芯片面积、工艺和价格发展情况

时 间	容量/bit	面积/mm ²	工 艺	价格/\$
1982	256k	45	2P 2.0μm NMOS	51
1986	1M	75	3P 1.2μm CMOS	100
1988	4M	95	3P2M 0.8μm CMOS	124
1991	16M	130	4P2M 0.5μm CMOS	275
1994	64M	170	5P3M 0.35μm CMOS	575
1998	256M	204	5P3M 0.25μm CMOS	575
2003	1G			

1.2 当前国际集成电路技术发展趋势

表 1.3 列出了世纪之交时美国半导体协会给出的集成电路制造技术进程路标(Roadmap)。

表 1.3 集成电路制造技术进程路标

年 份	1999	2001	2003	2006	2009
工艺	0.18μm	0.15μm	0.13μm	0.1μm	0.07μm
晶体管数	21M	40M	76M	200M	520M
面积/mm ²	340	385	430	520	620
时钟/MHz	1200	1400	1600	2000	2500
金属层数	6~7	7	7	7~8	8~9
V _{dd} /V	1.65	1.35	1.35	1.05	0.75
布线长度/m	1480		2840	5140	10000
缓存器/芯片	25K		54K	230K	797K

下面结合表 1.3 对集成电路技术发展趋势给出几点概括。

① 集成电路的特征尺寸向深亚微米发展，目前的规模化生产是 0.18 μm 工艺，0.15/0.13 μm 工艺开始向规模化生产迈进，90 nm 工艺正在推出。图 1.7 自左到右给出的是宽度从 4 μm~70 nm 按比例画出的线条。由此，我们对特征尺寸的按比例缩小有一个直观的印象。

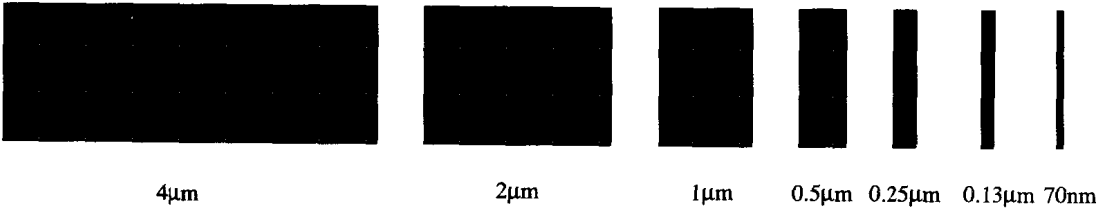


图 1.7 特征尺寸从 4μm~70nm 的成比例减小的线条

② 晶圆的尺寸增加，当前的主流晶圆的尺寸为 8 英寸，正在向 12 英寸晶圆迈进。图 1.8 自左到右给出的是从 2 英寸~12 英寸按比例画出的圆。由此，我们对晶圆尺寸的增加有一个直观的印象。通过图 1.9 中以人的脸面相对照，我们可以对一个 12 英寸晶圆的大小建立一个直观的印象。

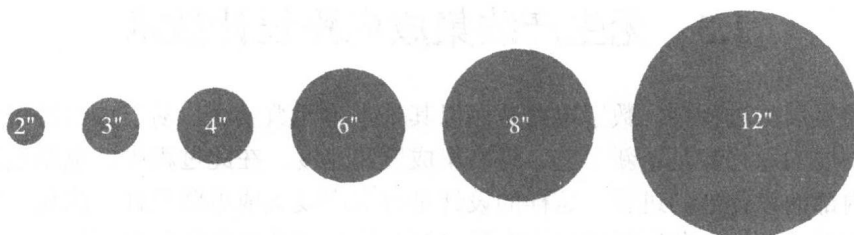


图 1.8 尺寸从 2 英寸~12 英寸成比例增加的晶圆



图 1.9 一个 12 英寸晶圆与人脸大小的对比

- ③ 集成电路的规模不断提高，CPU（P4）已超过 4 000 万晶体管，DRAM 已达 Gb 规模。
- ④ 集成电路的速度不断提高，采用 0.13 μm CMOS 工艺实现的 CPU 主时钟已超过 2 GHz，实现的超高速数字电路速率已超过 10 Gb/s，射频电路的最高工作频率已超过 6 GHz。
- ⑤ 集成电路复杂度不断增加，系统芯片或称芯片系统 SoC（System-on-Chip）成为开发目标。
- ⑥ 模拟数字混合集成向电路设计工程师提出挑战。
- ⑦ 由于集成电路器件制造能力按每 3 年翻两番，即每年 58% 的速度提升，而电路设计能力每年只以 21% 的速度提升，电路设计能力明显落后于器件制造能力，且其鸿沟（gap）呈现越来越变宽的趋势。
- ⑧ 集成电路产业连续几十年的高速增长和巨额利润导致世界范围内集成电路生产线的大量建设，目前已经出现过剩局面。
- ⑨ 工艺线建设投资费用越来越高。目前一条 8 英寸 0.35 μm 工艺线的投资约 20 亿美元，但在几年内一条 12 英寸 0.09 μm 工艺线的投资将超过 100 亿美元。如此巨额投资已非单独一个公司，甚至一个发展中国家所能单独负担的。
- ⑩ 制造集成电路的掩膜很贵。根据 SemaTech 报告，“一套 130 nm 逻辑器件工艺的掩膜大约需 75 万美元，一套 90 nm 的掩膜将需 160 万美元，一套 65 nm 的掩膜将高达 300 万美元”。然而，每套掩膜的寿命有限，一般只能生产 1 000 个晶圆。

⑪ 工艺线投资的高成本和设计能力的普遍落后，导致多数工艺线走向代工（代客户加工，Foundry）的经营道路；

⑫ 电路设计、工艺制造、封装的分立运行为发展无生产线（Fabless）和无芯片（Chipless）集成电路设计提供了条件，为微电子领域发展提供了条件。

1.3 无生产线集成电路设计技术

集成电路发展的过程中，数字电路曾经以其基本单元数量少，易于大规模集成而占据主导地位，其发展的总趋势是革新工艺、提高集成度和速度。在此过程中，电路设计大多在工艺制造单位内部的设计部门进行。这样的设计是有生产线集成电路设计。在这一阶段，无生产线单位一方面难以加入花巨额投资才有可能参与的工艺革新竞争行列，另一方面难以参与芯片设计和实现。

随着集成电路规模的爆炸式扩展，模拟数字混合集成系统的广泛需要，知识密集型的芯片设计变得比技术密集型的芯片制造重要起来。另一方面，集成电路生产的高利润前景引发了众多生产线在世界各地的建造。从而导致了集成电路产业生产能力的剩余，即生产线“无米下锅”局面的出现。人们需要更多的功能芯片设计，从而促进了集成电路设计的发展并使得不少设计公司应运而生。这些设计公司拥有设计人才和技术，但不拥有生产线，成为无生产线（Fabless）集成电路设计公司。在国外，现在已有众多这样的公司在运作，如美国硅谷就有 200 多家 Fabless 集成电路设计公司，其中有 50 多家上市公司。台湾有这样的大中型公司 100 多家。芯片设计单位和工艺制造单位的分离，即芯片设计单位可以不拥有生产线而存在和发展，而芯片制造单位致力于工艺实现（代客户加工，简称代工），已成为集成电路技术发展的一个重要特征。

图 1.10 形象地给出集成电路的无生产线设计与代工制造之间的关系。我们可以沿着图中从代工单位左上行到设计单位、再右直行到代工单位、最后左下行到设计单位的 S 曲线对整个集成电路设计和制造过程加以描述。

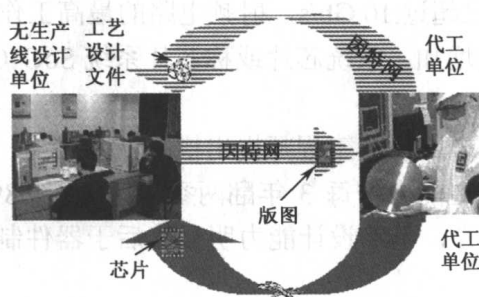


图 1.10 集成电路的无生产线设计与代工制造之间的关系

首先，代工单位将经过前期开发确定的一套工艺设计文件 PDK（Process Design Kits）通过因特网传送（或光盘等媒质邮寄）给设计单位，这是一次信息流过程。PDK 文件包括工艺电路模拟用的器件的 SPICE 参数，版图设计用的层次定义，设计规则，晶体管、电阻、电容等元件和通孔（via）、焊盘等基本结构的版图，与设计工具关联的设计规则检查 DRC（Design Rule Check）、参数提取（EXtraction）和版图电路图对照 LVS（Layout-vs-Schematic）用的文件。