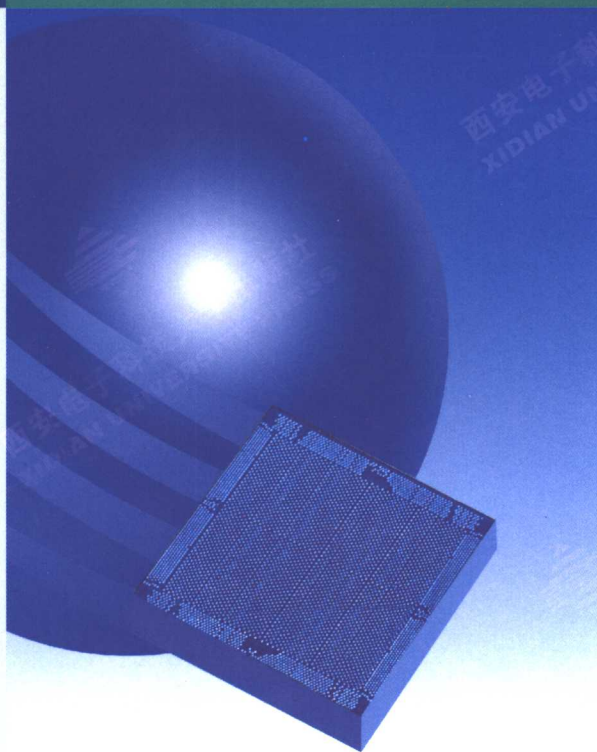


ALTERA®

Embedded System Design Based on FPGA

基于FPGA的 嵌入式系统设计



■ 任爱锋
初秀琴
常存
孙肖子
编著

■ 殷勤业
主审

西安电子科技大学出版社
<http://www.xduph.com>

基于 FPGA 的嵌入式系统设计

任爱锋 初秀琴

编著

常 存 孙肖子

殷勤业

主审

西安电子科技大学出版社

2004

内 容 简 介

本书共分为四篇。第一篇介绍 Altera 新型系列器件、EDA 设计软件 Quartus II 以及 EDA 设计中常用的第三方工具软件,本篇是学习后面各篇的基础。第二篇主要介绍基于 FPGA 的嵌入式软件设计,包括 Quartus II 的 SOPC Builder 系统级设计和 Nios II 集成开发环境。第三篇介绍 IP 核设计应用,包括基于 Simulink 环境的系统级设计软件 DSP Builder、PCI 编译器和 FFT 兆核函数。第四篇介绍 Quartus II 软件 FPGA 设计中的特殊技术,包括逻辑锁定 LogicLock 技术和用于硬件调试的 SignalTap II 嵌入式逻辑分析仪。

本书内容丰富,取材新颖。本书是为相关专业工程技术人员设计和使用嵌入式系统而编写的,也可以作为高等院校电子类和通信类各专业本科生、研究生 EDA 课程的教材。

图书在版编目(CIP)数据

基于 FPGA 的嵌入式系统设计 / 任爱锋等编著.

—西安:西安电子科技大学出版社,2004.10

ISBN 7-5606-1453-1

I. 基… II. 任… III. ① 微型计算机—系统设计 ② 可编程序逻辑器件

IV. ① TP360.21 ② TP332.1

中国版本图书馆 CIP 数据核字(2004)第 098572 号

策 划 云立实 陈宇光

责任编辑 张晓燕 臧延新

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

http://www.xduph.com

E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印 刷 陕西画报社印刷厂

版 次 2004 年第 1 版 2004 年 10 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 23

字 数 541 千字

印 数 1~4 000 册

定 价 35.00 元

ISBN 7-5606-1453-1/TP·0770

XDUP 1724001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜,谨防盗版。

Preface

Altera invented programmable logic over twenty years ago. Since then, the semiconductor industry has seen considerable change. One of the most significant changes is the shift of the industry from being driven by personal computers to being driven by digital consumer applications.

This is the era of consumer electronics. Consequently, it is also a period of fierce competition. The market is more competitive in China than anywhere else in the world. Altera's MAX[®] and MAX[®] II CPLD devices are receiving broad usage in consumer and industrial electronics applications due to its low cost and ease of use. China has the largest and fastest growing consumer market. Domestic Chinese brands are prevailing over the international brands. The market segments are segregated into very fine sectors with targeted customer segments for each brand and model.

Altera has been working hard to gain deep and valuable insight into these end market segments. The company has made a concerted effort to get closer to customer engineers by involving them in the product definition process. Many of the programmable logic solutions described in this book are results of input from hundreds of design engineers around the world:

The new products described in this book have seen great success in the market. For example, as of this writing, over 3,000 customers are designing with Cyclone[™] devices and Altera has shipped over three million Cyclone devices worldwide—setting a new Altera record for the fastest ramping product in company history. Part of this success is due to an industry trend of shortened product lifecycles, increased importance of time to market and rising cost of ASICs. The resulting need to quickly innovate with minimal R&D investment is a natural fit for FPGAs. It was with this in mind that Altera developed the first-generation low-cost Cyclone devices in 2002—specifically to address the needs of high-volume manufacturers who wanted to stay ahead of the competitive race to be first to market with an innovative product.

To further meet the requirement of system design engineers, Altera developed the Nios[®] soft core processor. Many engineers were faced with EOL (end-of-life) and obsolescence issues with embedded processors. By the time their design was finalized, the standard embedded processor they used would become obsolete. Nios, being a soft core is obsolescence-proof. The popularity of the Nios processor has grown beyond Altera's expectation to over 12,000 licenses

and counting.

In 2004, Altera introduced the newest generation Nios and Cyclone solutions. They are Cyclone II FPGAs and the Nios II embedded processor family. Altera has taken these two highly successful products and made them even better. This next generation of the Cyclone series maintains its low-cost leadership and offers even higher densities with 90nm technology. The Nios II processor family delivers high-performance and low-cost options with a new integrated development environment.

By combining the Nios II processor with Cyclone II FPGAs, you can build your own powerful 32-bit microprocessor for as little as US\$0.35 cents of equivalent logic in high production volumes—possibly the lowest-cost microprocessor in the market. Moreover, the free web edition of the Quartus® II software version 4.1 has full support for the entire Cyclone II family!

Quartus II version 4.1 also supports the high performance, high density Stratix II FPGA. Stratix II is anticipated to be even more successful than Stratix which has gained wide adoption in China and around the world.

Altera will continue to work closely with teaching professionals and universities to help students learn SOPC design. This book written by Professor Sun and her colleague is a great example of the collaboration. On behalf of Altera, I would like to thank Professor Sun for her tireless effort in publishing this book in order to help develop the next generation of great SOPC designers.

Ben Lee
Vice President & Managing Director
Altera International Limited
Sep. 8th, 2004

前 言

微电子技术的进步以及各应用领域多样化的需求,促使集成电路向高速、高集成度、低功耗的系统集成方向发展。在单芯片上集成了嵌入式 CPU、DSP、存储器和其他控制功能的片上系统(SOC)正处于高速发展中。Altera 公司提出的片上可编程系统(SOPC)解决方案,使得 FPGA 在嵌入式系统设计领域的地位越来越重要。利用 SOPC 解决方案可将 CPU、存储器、I/O 接口、低电压差分信号(LVDS)技术、时钟-数据自动恢复(CDR)以及锁相环(PLL)等系统设计所必需的模块集成到一片可编程器件(PLD)上,构成一个可编程的片上系统。目前,可编程器件供应商还在不断推出新的基于 FPGA 的嵌入式处理器及相应的软件开发工具。如 Altera 公司在第一代 Nios 嵌入式处理器获得成功的基础上,推出了具有完善功能的软件开发套件,包括 C/C++编译器、集成开发环境(IDE)、JTAG 调试器、实时操作系统(RTOS)和 TCP/IP 协议栈的 32 位 RSIC 嵌入式处理器 Nios II。这些开发套件,配合 Quartus II 开发软件中的 SOPC Builder 设计工具,设计者可以很快完成一个 SOPC 系统的设计工作。

西安电子科技大学国家电工电子教学基地 EDA 实验室在 1997 年创建时就得到 Altera 公司、Xilinx 公司、Lattice 公司和 AMD 公司的大力支持,并一直和这些公司保持着良好的联系。作为实验室的成员,本书作者较早地在教学和科研实践中使用了这些公司生产的可编程器件,具有一定的教学和实践经验。考虑到可编程器件结构及规模的飞速发展,与其相适应的 EDA 软件的不断更新以及 FPGA 应用领域的日益扩大,现有教材及参考书的内容没有及时跟踪最新 EDA 技术的发展现状,作者在教学、科研实践及进一步学习的基础上,结合当前可编程器件的发展趋势,跟踪最新的 EDA 设计流程完成了此书。本书以 Altera 公司的 EDA 开发工具 Quartus II 和嵌入式开发软件 Nios II 为主介绍 SOPC 系统设计方法,希望能够对 EDA 设计方面的教学和科研起到促进作用。

本书分为四篇。第一篇主要介绍 Altera 公司的新型可编程器件系列、EDA 设计软件 Quartus II 以及在 EDA 设计中常用的第三方综合、仿真、调试工具,其中新型器件系列包括 MAX II、Cyclone、Cyclone II、Stratix、Stratix II 和 Stratix GX 等,第三方 EDA 工具包括 ModelSim 仿真软件、Synplify 综合工具和 Debussy 调试软件。第二篇主要介绍 Altera 嵌入式处理器 Nios II 的开发过程,其中包括 SOPC Builder 开发工具和 Nios II 嵌入式处理器的设计过程。第三篇主要介绍使用 IP 核的设计过程,其中包括 Altera 提供的基于 Simulink 的系统级设计模块 DSP Builder,以及 PCI 编译器和 FFT 兆核函数的设计应用。第四篇是设计进阶,主要介绍了 Quartus II 软件提供的基于模块设计的 LogicLock 技术和 SignalTap II 嵌入式逻辑分析仪调试工具。

本书既可作为广大电子设计人员的设计参考和软件操作手册,也可作为电子与通信类各专业 EDA 设计方面的教材和参考书。

本书是在孙肖子教授倡导下编写的。任爱锋规划了全书的主要内容,任爱锋、初秀琴、常存和孙肖子参加了编写。其中概述部分由孙肖子编写,第 1 章由初秀琴编写,第 2、3、6、

7、8、9、10 章由任爱锋编写(其中 3.2 节的内容来源于骏龙武汉办事处潘斌先生,第 3 章其他部分的内容由骏龙科技西安办事处的宋士权先生提供),第 4、5 章由常存编写。全书由任爱锋统稿。

西安交通大学电子与信息工程学院殷勤业教授在百忙中审阅了全书,并提出了许多宝贵的意见,使得书稿的内容和结构更为合理。感谢 Altera 亚太区副总裁李彬先生为本书写序。本书在编写过程中特别受到了 Altera 公司中国区项目经理徐平波先生的大力支持和帮助,在此深表谢意。同时,与骏龙科技西安办事处宋士权先生的多次讨论使得本书的内容丰富了许多。硕士研究生白磷验证了本书的部分习题和实验。本书在编写过程中参考了诸多专家和学者的著作和研究成果,在这里向他们表示衷心的感谢,同时也向所有给予我们帮助的老师 and 同学,以及热情支持作者的西安电子科技大学出版社的领导、编辑及相关工作人员表示深深的敬意和感谢。

EDA 技术发展迅速,应用领域不断扩大。由于掌握的资料和水平有限,加之时间仓促,书中难免有错误和不妥之处,恳请读者批评指正。

书中相关软件和技术资料以及技术支持可以通过下面的网站、电子信箱或电话获得:

英文网站: <http://www.altera.com>

中文网站: <http://www.altera.com.cn>

电子信箱: SQIAN@altera.com

电 话: 021-50372537

编 者

2004 年 8 月于西安电子科技大学

目 录

概述	1
----------	---

第一篇 Altera 新型系列器件及 Quartus II 软件

第 1 章 Altera 新型系列器件简介	9
1.1 MAX II 器件	9
1.2 Cyclone 器件	17
1.3 Cyclone II 器件	26
1.4 Stratix 器件	33
1.5 Stratix II 器件	41
1.6 Stratix GX 系列	53
思考题	59
第 2 章 Quartus II 开发软件	60
2.1 简介	60
2.1.1 图形用户界面设计流程	60
2.1.2 EDA 工具设计流程	61
2.1.3 命令行设计流程	62
2.1.4 Quartus II 软件的主要设计特性	63
2.2 Quartus II 软件安装	64
2.2.1 PC 机系统配置	64
2.2.2 Quartus II 软件的安装	65
2.2.3 Quartus II 软件的授权	67
2.3 Quartus II 软件的设计过程	72
2.4 设计输入	75
2.4.1 创建工程	75
2.4.2 建立图形设计文件	77
2.4.3 建立文本编辑文件	89
2.4.4 建立存储器编辑文件	91
2.5 设计项目的编译	95
2.5.1 设计综合	95

2.5.2	Quartus II 编译器窗口	96
2.5.3	编译器选项设置	98
2.5.4	引脚分配	103
2.5.5	启动编译器	106
2.5.6	查看适配结果	107
2.6	设计项目的仿真实验	111
2.6.1	创建一个仿真波形文件	112
2.6.2	设计仿真	114
2.6.3	仿真结果分析	116
2.7	时序分析	117
2.7.1	时序分析基本参数	117
2.7.2	指定时序要求	118
2.7.3	完成时序分析	121
2.7.4	查看时序分析结果	121
2.8	器件编程	122
2.8.1	完成器件编程	123
2.8.2	编程硬件驱动安装	125
	思考题与练习	126
第 3 章	Quartus II 软件与第三方工具	128
3.1	ModelSim 软件的使用	128
3.1.1	ModelSim 软件的主要结构	128
3.1.2	ModelSim 的简要使用方法	129
3.1.3	在 ModelSim SE 中指定 Altera 的仿真库	147
3.2	调用 Synplify Pro 综合工具设计流程	149
3.3	ModelSim、Synplify 和 Quartus II 结合使用的流程	153
3.4	HDL 调试工具 Debussy 入门	156
3.4.1	Debussy 简介	156
3.4.2	Debussy 功能介绍	157
3.4.3	波形分析	162
3.4.4	原理图分析	165
3.4.5	FSM 分析	169
3.4.6	设计调试实例	170
3.4.7	FSDB 文件的产生	175
	思考题	178

第二篇 Quartus II 的 Nios II 开发过程

第 4 章	SOPC Builder 开发工具	181
4.1	简介	181

4.1.1 SOPC 技术简介	181
4.1.2 SOPC Builder 简介	181
4.1.3 SOPC Builder 的功能特点	182
4.1.4 SOPC Builder 的优点	183
4.2 SOPC Builder 设计流程	183
4.3 SOPC Builder 用户界面	184
4.3.1 系统元件页	184
4.3.2 系统设置页	186
4.3.3 系统生成页	186
4.3.4 生成系统	189
4.3.5 SOPC Builder 菜单命令	190
思考题	191
第 5 章 Nios II 嵌入式处理器设计	192
5.1 Nios II 嵌入式处理器简介	192
5.1.1 第一代 Nios 嵌入式处理器	192
5.1.2 第二代 Nios 嵌入式处理器	193
5.1.3 可配置的软核嵌入式处理器的优势	194
5.2 Nios II 嵌入式处理器软、硬件开发流程简介	197
5.2.1 硬件开发流程	198
5.2.2 软件设计流程	198
5.3 Nios II 嵌入式处理器系统的开发	198
5.3.1 开发工具及开发板简介	198
5.3.2 Nios II 集成开发环境(IDE)简介	202
5.3.3 设计实例	207
5.4 Nios II 处理器外围接口	224
5.5 HAL 系统库	225
5.5.1 简介	225
5.5.2 使用 HAL 开发程序	228
5.6 应用示例——电子钟	232
5.6.1 系统软、硬件需求分析	232
5.6.2 系统软件	234
思考题	246

第三篇 基于 Quartus II 的 IP 核设计

第 6 章 DSP Builder 系统设计工具	249
6.1 DSP Builder 安装	249
6.1.1 软件要求	249
6.1.2 DSP Builder 软件的安装	249

6.1.3 授权文件的安装	251
6.2 嵌入式 DSP 设计流程	253
6.2.1 DSP 设计流程	253
6.2.2 DSP Builder 设计流程	253
6.3 DSP Builder 设计过程	255
6.3.1 创建 Simulink 设计模型	255
6.3.2 Simulink 设计模型仿真	261
6.3.3 完成 RTL 级仿真	262
6.3.4 Simulink 模型设计的综合与编译	264
思考题	268
第 7 章 PCI 编译器及 PCI 兆核函数	269
7.1 PCI 编译器简介	269
7.2 PCI 编译器的使用	272
7.2.1 系统要求	272
7.2.2 设计流程	273
7.2.3 获得并安装 PCI 编译器	273
7.2.4 PCI 兆核函数设计应用	276
7.2.5 设计仿真	283
7.2.6 设计编译	285
7.2.7 器件编程	287
7.2.8 安装授权文件	287
第 8 章 FFT 兆核函数	288
8.1 FFT 兆核函数简介	288
8.2 FFT 兆核函数的应用	292
8.2.1 系统要求	292
8.2.2 下载并安装 FFT	292
8.2.3 FFT 兆核函数设计应用	293
8.2.4 设计仿真	297
8.2.5 设计编译	298
8.2.6 器件编程	299
8.2.7 安装授权文件	299
8.3 FFT 兆核函数规范	300
8.3.1 功能描述	300
8.3.2 FFT 处理器引擎结构	301
8.3.3 I/O 数据流结构	302
8.4 Atlantic 接口	305
8.4.1 Atlantic 接口功能描述	306
8.4.2 信号说明	310

第四篇 设计进阶

第 9 章 LogicLock 技术.....	315
9.1 LogicLock 技术简介.....	315
9.2 LogicLock 设计应用.....	315
9.2.1 建立 LogicLock 区域.....	315
9.2.2 指定 LogicLock 区域的逻辑内容.....	321
9.2.3 编译优化设计.....	322
9.2.4 导出 LogicLock 约束.....	324
9.2.5 导入 LogicLock 约束.....	329
思考题.....	332
第 10 章 SignalTap II 嵌入式逻辑分析仪的使用.....	333
10.1 在设计中嵌入 SignalTap II 逻辑分析仪.....	333
10.1.1 使用 STP 文件建立嵌入式逻辑分析仪.....	333
10.1.2 使用 MegaWizard Plug-In Manager 建立嵌入式逻辑分析仪.....	338
10.1.3 SignalTap II 分析器件编程.....	341
10.1.4 查看 SignalTap II 采样数据.....	342
10.2 在 SOPC Builder 中使用 SignalTap II 逻辑分析仪.....	343
10.3 在 DSP Builder 中使用 SignalTap II 逻辑分析仪.....	351
思考题.....	355
参考文献.....	356

概 述

微电子和计算机领域的原理创新、技术创新、应用创新层出不穷,极大地推动了科学技术的发展,深刻地改变着人们对自然界的认识和人们的生活。

在该领域中,嵌入式系统、SOC、SOPC、IP 核等新概念、新技术异峰突起,其应用范围迅速深入到制造业、通信、控制、仪器仪表、生物、汽车、船舶、航空航天以及消费类电子等方方面面。本书将以美国 Altera 公司最新器件和软件为切入点,介绍基于 FPGA 的嵌入式系统设计,使我们的学生和工程技术人员在加强基础训练的同时,尽快接触和掌握前沿理论和技术,并灵活地应用到科研、生产和教学实践中去。

本概述首先简要介绍几个基本概念,然后简要介绍 Altera 公司 SOPC 硬件和系列器件的特点,最后介绍 SOPC 设计软件开发平台。其目的是向读者提供一个总的概况,以期更有目的地阅读和学习本书有关内容。

1. 基本概念

1) 嵌入式系统——Embedded System

通俗地说,嵌入式系统就是内嵌到对象体系中的微型专用计算机。它具有比通用计算机更简洁、更个性化的功能,可运行操作系统,又兼有单片机体积小、低功耗等特点,是当前最热门的概念和应用最广泛的技术之一。

嵌入式系统包括硬件和软件两部分。硬件包括处理器(CPU)、存储器、输入输出接口和外部设备等,软件包括联系紧密的系统软件和应用软件。

嵌入式处理器是嵌入式系统的核心,有硬核和软核之分。常用的嵌入式处理器硬核有 ARM、MIPS、POWERPC、INTELX86 和 MOTOROLA 68000 等,其中 INTEL XSCALE 和 EIA 嵌入式构架为嵌入式硬核的先进代表,有高性能、低功耗特点和强大的多媒体处理、网络通信能力。其嵌入式操作系统 Windows CE 和 Embedded Linux 高效稳定,具有多任务、多用户的图形操作环境,已经得到了广泛的应用。

嵌入式处理器软核以 Altera 公司开发的第一代 Nios 及第二代 Nios II 为先进代表。Nios II 嵌入式处理器是一种采用流水线技术、单指令流的 RISC(Reduced Instruction Set Computing)处理器,其大部分指令可以在一个时钟周期内完成。Nios 和 Nios II 处理器软核是一种可配置的通用 RISC 处理器,可与用户自定义逻辑(User-defined Logic)结合构成一个基于 FPGA 的片上系统。32 位 Nios II 软核结合外部闪存以及大容量存储器,可构成一个功能强大的 32 位嵌入式处理器系统。

与嵌入式硬核相比,嵌入式软核具有更大的使用灵活性。

2) 片上系统 SOC——System On Chip

片上系统(SOC)又称为集成系统(Integrated System),简称 IS。IS 与集成电路(IC)的设计思想是不同的,它是微电子设计领域的一场革命。有人认为,IS 与 IC 的关系和当时的集

成电路与分立元件的关系相类似，它对微电子技术的推动作用将不亚于自 20 世纪 50 年代末快速发展起来的集成电路技术。

IS 或 SOC 是一个复杂的系统。它一般将一个完整产品的各功能集成在一个芯片上或芯片组上，其中可能包括处理器 CPU、存储器、硬件加速单元(如图像语言处理单元、DSP、浮点协处理器等)、与外围设备的接口 I/F、模数混合电路(放大器、比较器、A/D、D/A、射频电路、锁相环等)，甚至延拓到传感器、微机电和微光电单元，如图 0.1 所示。

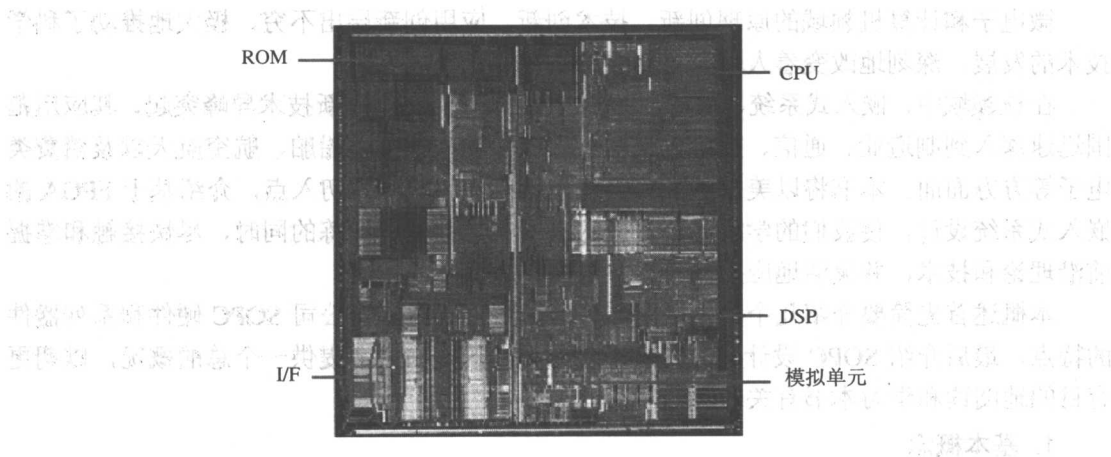


图 0.1 SOC 芯片举例

SOC 的设计方法必然是自顶而下(Top-Down)的从系统级到功能模块(特别是子系统)的软、硬件协同设计方法，实现了软、硬件的无缝结合，直接在处理器芯片内嵌入操作系统的代码模块，具有极高的综合性。

3) 可编程片上系统 SOPC——System On a Programmable Chip

观察和总结集成电路产品的发展特征，其遵循着“专用”和“通用”交替波动发展的“许氏”循环规律，如图 0.2 所示。

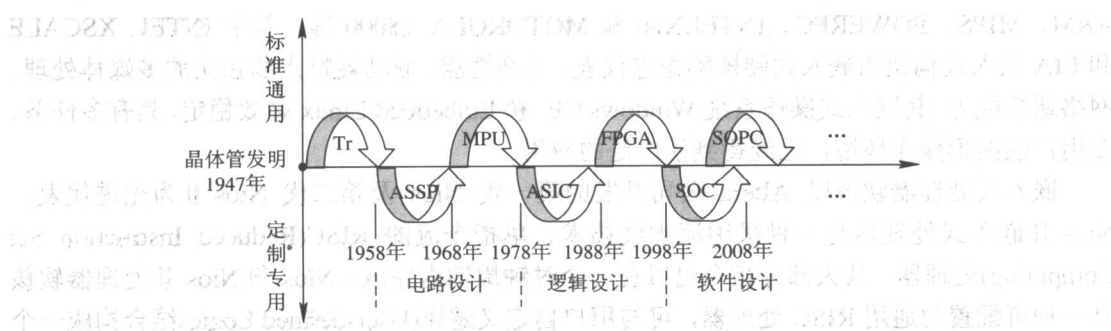


图 0.2 “许氏”循环规律

SOC 是专用集成系统，设计周期长，设计成本高；而 SOPC 是一种通用器件，是基于 FPGA 的可重构 SOC，其设计周期短，设计成本低。SOPC 集成了硬核或软核 CPU、DSP、存储器、外围 I/O 及可编程逻辑，是更加灵活、高效的 SOC 解决方案。

4) 集成电路 IP(知识产权)——Intellectual Property

IP(Intellectual Property)是知识产权的简称。集成电路 IP 的定义是：经过预先设计、预

先验证,符合产业界普遍认同的设计规范和设计标准,具有相对独立功能的电路模块或子系统,可以复用(Reuse)于 SOC、SOPC 或复杂 ASIC 设计中。实现集成系统的关键之一是建立功能模块和子系统 IP 库。这种 IP 库与传统的单元库是不同的,它的知识含量更高,规模更大,可重用性好,被公认为是芯片面积小、运行速度快、功耗低、工艺容差大的设计。CPU、运算器、存储器、放大器等都可以是 IP 模块。在工业界,IP 又称为 SIP(Silicon IP)或虚拟单元 VC(Virtual Component)。在 SOC 和 SOPC 设计中,正是大量运用可重用 IP 核,使得设计效率大大提高,如图 0.3 所示。

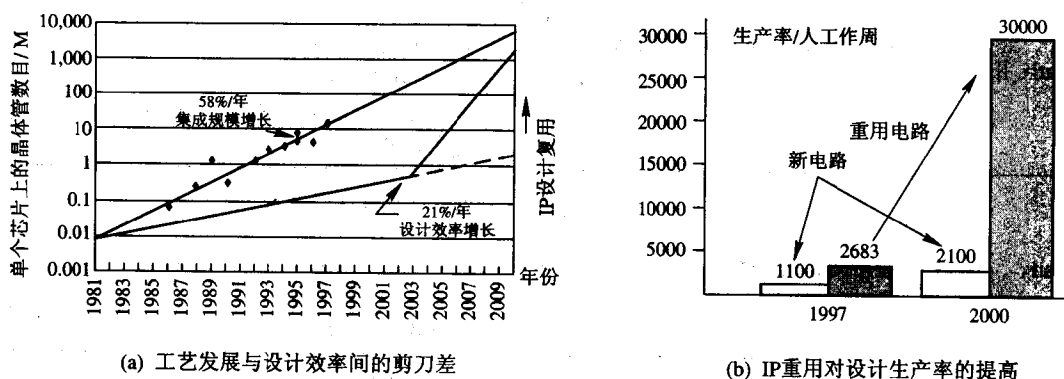


图 0.3 IP 提高了设计效率

2. Altera 器件性能

器件(即硬件)是 SOPC 设计的基础,本书所介绍的 Altera 新器件包括: CPLD(MAX、MAX II)、低成本 FPGA(Cyclone、Cyclone II、Startix II)、高密度 FPGA(Stratix II、Stratix、Stratix GX)以及结构化 ASIC(HardCopy Stratix)。表 0.1 给出了这些系列的总体说明及性能描述,详细情况请读者仔细阅读本书的第 1 章。在具体应用中要根据实际需要选择合适的器件。

表 0.1 器件系列简介

器件系列	总体说明	性能描述
MAX	低成本 CPLD, 用于较低复杂度的低密度设计	- 从低密度到中等密度 - 上电即用性, 非易失性 5 V I/O 支持 - 确定的时序 2.5 V、3.3 V 或 5.0 V 电源电压
MAX II	低成本, 单芯片, 易用的 CPLD 系列	- 最低的 CPLD 成本和功耗 - 最高的 CPLD 密度和性能 - 上电即用性, 非易失性 - 用户 Flash 存储器 1.8 V、2.5 V & 3.3 V 电源电压
Cyclone	第一代低成本 Cyclone FPGA 系列	- Nios 嵌入式处理器支持 - 中等容量的片内存储器 - 从低到中等速度的 I/O 和存储器接口 - 广泛的 IP 核支持

续表

器件系列	总体说明	性能描述
Cyclone II	第二代低成本 Cyclone FPGA 系列, 用于那些考虑成本多于性能或其他功能的设计	• Nios 嵌入式处理器支持 • 嵌入式 18×18 数字信号处理(DSP)乘法器 • 中等容量的片内存储器 • 中等速度的 I/O 和存储器接口 • 广泛的 IP 核支持
Stratix II	密度更高、速度更快的通用 FPGA 系列	• Nios 嵌入式处理器支持 • 更多的 DSP 块 • 大容量片内存储器 • 高速 I/O 和存储器接口 • 源同步信号 1 Gbps 动态相位对齐(DPA) • 广泛的 IP 核支持
Stratix	通用高性能 FPGA 系列	• Nios 嵌入式处理器支持 • DSP 块 • 大容量片内存储器 • 高速 I/O 及存储器接口 • 广泛的 IP 核支持
Stratix GX	Stratix 架构, 支持高速信号	• 支持所有 Stratix 的性能 • 3.125 Gbps 收发器 • 1 Gbps DPA • 接收器均衡及发送器预加重 • 广泛的 IP 核支持
HardCopy Stratix	低成本的结构化 ASIC 解决方案, 具有: • 低的无重复工程(NRE)成本 • 低成本的工具套件 • 保证一次流片成功	• 支持所有 Stratix 的特性 • 和 ASIC 的成本具有可比性 • 无缝移植 FPGA 验证过的设计 • 统一的设计工具(FPGA/ASIC) • 快速周转时间 • 和 FPGA 相比减少 40%左右的功耗 • 和 FPGA 相比提高 50%左右的性能 • 广泛的 IP 核支持

注: bps 即 bit per second, 亦即 b/s。

3. Altera 开发软件

EDA 软件是 SOPC 设计的关键。通过软件的综合、分析、裁剪, 才能重构我们所需要的集成系统。

Altera CPLD、FPGA 的先前开发软件是 MAX+Plus II。该软件在以往的实践中起了很大的作用, 但是其功能受到许多限制。Quartus II 是 Altera 新开发的 EDA 软件设计平台, 其功能十分强大, 包括设计输入、仿真、布局布线、Nios II 嵌入式软核、SOPC Bulider、DSP Bulider 等等。Quartus II 吸收了第三方工具, 从而形成了一个完整的可编程、可重构的 SOPC 设计环境。

1) Quartus II 优于 MAX+Plus II 的性能

表 0.2 给出了 Quartus II 软件优于 MAX+Plus II 软件的几个重要方面。

表 0.2 Quartus II 软件与 MAX+Plus II 软件比较

设计方法	支持特点
器件支持	- 除了 MAX 3000A、MAX 7000AE、MAX 7000B 以及 MAX 7000S 系列外，还支持最新的 MAX II 系列 - 除了 FLEX 10KE、FLEX 10K、FLEX 10KA、ACEX1K 以及 FLEX 6000 系列外，还支持最新的 FPGA 器件，如 Cyclone、Cyclone II、Stratix、Stratix II 以及 Stratix GX 等系列
性能	- 对 MAX 3000A、MAX 7000AE、MAX 7000B、MAX 7000S、FLEX 10K 以及 ACEX1K 系列器件来说，Quartus II 软件提供的平均性能优于 MAX+PLUS II 10.2 版本 - 对于 MAX 设计平均设计性能提高 15% - 对于给定 MAX 设计所用器件资源减少 5%
综合	- 除支持 AHDL 外，对最新的 VHDL 和 Verilog 语言标准还集成了 RTL 综合支持 - Quartus II 软件在综合和设计实现之前，RTL 查看器还提供了 VHDL 或 Verilog 设计的图形化描述 - 支持所有主要的第三方综合流程
高级特性	- 支持 MAX II CPLD 以及最新的 FPGA 器件系列：PowerGauge 功率分析支持 MAX 3000A、MAX 7000AE、MAX 7000B 设计以及 MAX II CPLD 和最新的 FPGA 器件 - LogicLock 基于模块设计流程 - SOPC Builder 系统级设计，便于 IP 集成 - 高级编译特性： - 物理综合优化 - 时序逼近底层图(Timing Closure Floorplan)编辑器 - 高级验证特性： - 多时钟、多周期时序分析 - SignalTap II 嵌入式逻辑分析仪 - 最后(Last-minute)设计改变支持(ECO 支持): - 芯片编辑器 - 增量适配

2) Quartus II 软件总体介绍

表 0.3 给出了基于 Quartus II 软件开发的总体框图及各部分之间的联系。