



附赠光盘

电子电路

CAD 与 OrCAD

教程

王辅春 主编



 机械工业出版社
CHINA MACHINE PRESS

电子电路 CAD 与 OrCAD 教程

王辅春 主编



机械工业出版社

本书介绍了电子电路 CAD 技术基本理论知识及国际上流行的电子设计自动化 (EDA) 软件 OrCAD/PSpiceA/D9.2.3 —— 模拟/数字混合电路分析的使用方法以及软件在电路、模拟电路分析中的应用, 书后附有 OrCAD 公司提供的 OrCAD Unison Suite 9.2.3 (简称 OrCAD9.2.3) (大学生版) 光盘。实践表明, 它的功能和规模可以满足电路、电子电路 CAD 的教学、课程设计和毕业设计的需要。电类、非电类工科大专院校学生和工程师, 只要具备电工学基本知识, 都可以理解和掌握这个具有多功能的软件模拟电子实验台的使用方法。

图书在版编目 (CIP) 数据

电子电路 CAD 与 OrCAD 教程/王辅春主编. —北京: 机械工业出版社, 2004.7

ISBN 7-111-14662-X

I. 电… II. 王… III. 电子电路-电路设计: 计算机辅助设计-教材 IV. TN702

中国版本图书馆 CIP 数据核字 (2004) 第 055030 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)
策划编辑: 吉玲 版式设计: 霍永明 责任校对: 张晓蓉
责任编辑: 张俊红 封面设计: 王伟光 责任印制: 李妍
北京蓝海印刷有限公司印刷·新华书店北京发行所发行

2005 年 1 月第 1 版第 1 次印刷

787mm×1092mm $1/16$ ·25.5 印张·627 千字

0001-4000 册

定价: 45.00 元 (含 1CD)

编辑信箱: jiling @ mail.machineinfo.gov.cn

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

本社购书热线电话 (010) 68993821、88379646

封面无防伪标均为盗版

授 权 书

深圳市光映计算机有限公司代理美国 OrCAD INC. 软件产品，并负责中国大陆地区相关软件之中文参考书授权事宜。

兹同意由吉林工业大学编著，机械工业出版社出版 OrCAD 公司 OrCAD 软件系列产品之中文参考书。书中可引用 OrCAD 软件系列产品各个功能模块中的荧屏画面、专有名词、指令功能、使用方法及程序叙述，并随书附本公司所提供之试用版光盘。

有关 OrCAD 公司所规定的注册商标及专有名词，必须叙述于所出版的中文书内，为保障消费者权益，OrCAD 公司产品若有重大版本更新，本公司须通知吉林工业大学或作者，以更新此书的中文版。

本授权书依规定须装于上述中文参考书内，授权才得以生效。

授权人 深圳市光映计算机有限公司
代表人 **徐文杰**

公元一九九九年九月九日

公司联系方式：

Tel: 0755 - 88324288、0755 - 83349498

Fax: 8327 - 4516

Mobile: 13902458050

Zip: 518031

Email: tonyzhou@szonline.net

web site: <http://www.stella.com.cn/>

注：1. OrCAD INC. 于 2000 年 1 月被美国 Cadence 收购，现 OrCAD 是 Cadence 家族系列产品。

2. 原吉林工业大学现合并为吉林大学。

3. 以上两点注明时间为 2001 年 8 月 28 日。

前 言

本教材系按电子工业部的《1996~2000年全国电子信息类专业教材编审出版规划》，由应用电子技术专业教学指导委员会编审、推荐，经电子工业部批准的部级重点规划教材，并被原吉林工业大学教材建设基金委员会列为重点资助项目。其后，随着教育改革的深入、专业的调整和电子电路 CAD 的发展，教材内容也不断地变动更新。本教材的主要内容有 3 篇，共 29 章：

第 1 篇：电子电路 CAD 技术基础 主要介绍网络图论、电路方程的建立和编程、瞬态分析、容差分析、程序结构与算法、优化设计和逻辑电路模拟等基本知识。

第 2 篇：OrCAD/PSpiceA/D9.2.3 简明教程 主要介绍 OrCAD/PSpiceA/D9.2.3 的使用方法：原理图输入及器件信息管理系统（Captur CIS9.2.3）和模拟/数字混合电路分析与设计（PSpiceA/D9.2.3）。

第 3 篇：电路、模拟电路的计算机分析 主要介绍电子电路设计自动化（EDA）软件 OrCAD9.2.3 在电路、模拟电路中的应用。

作者曾于 2000 年 5 月出版《电子设计自动化（EDA）软件 OrCAD9.0 简明教程》（机械工业出版社），出版后受到读者的关注，有的读者提出随书所附的 OrCAD9.0（试用版）光盘，绘制、分析电路规模过小，希望放宽些，因此 OrCAD 公司提供了最新版本的 OrCAD9.2.3（大学生版）软件，其功能和规模与 OrCAD9.0（试用版）相比都有很大改进和提高。如 OrCAD9.0（试用版）的 PSpice 只有 8 个库，而 OrCAD9.2.3（大学生版）则增加到 90 个库。我们用它画过有 3000 多个基本的门电路图并分析、设计过 4 层的电路。兄弟院校试用后亦认为能满足大学生电路、电子电路 CAD 的教学、课程设计和毕业设计的需要。

由于本课程的理论综合性和工程实践性较强，考虑到“合格+特长”素质教育模式和为发挥学生的潜能留出空间等因素，授课内容各校必将有所侧重。与此同时，考虑到电子工程师在职提高的需要，将有关的数学等知识尽可能予以简介以便于自学。

书中图形在出版过程中均依照原 OrCAD 软件所绘制的原图进行了重新制作，以有助于读者更清晰地阅读。但请读者注意：在 OrCAD 软件包中，外文字母不区分上下角、正斜体、大小写。

本书由王辅春主编并统稿，参加本教材编写的还有：赵铁凡、张秀屏、张鸣编写第 1 篇；吴庆妍、孙大元、雷治林编写第 2 篇；戴宏亮、刘明山、张延峰编写第 3 篇。本教材的网络版由吉林大学计算机教学与研究中心张鸣和戴宏亮负责编辑、制作和维护（网址：WWW.JLU.EDU.CN）。OrCAD 公司中国总代理光映（集团）计算机软件有限公司夏俊文先生为本书提供了资料和光盘；吉林大学—莱姆顿学院傅英凯先生和徐润侠先生为本书的编写提供了有关的教学资料。对于他们的鼎力支持，在此谨致以诚挚的谢意。

由于编者水平有限，书中难免还存在一些缺点和错误，殷切希望广大读者批评指正。

编 者

目 录

授权书	
前言	
绪论	
第 1 篇 电子电路 CAD 技术基础	
第 1 章 网络图论基础	1
1.1 网络图	1
1.2 关联矩阵、回路矩阵和割集矩阵	7
1.3 两种约束关系	9
第 2 章 电路方程的建立与编程	12
2.1 节点分析法	12
2.2 含受控源电路的节点方程	13
2.3 改进的节点法	18
2.4 直接列出节点电导矩阵的直流分析 程序	19
第 3 章 瞬态分析	37
3.1 常用的数值积分法	37
3.2 刚性 (Stiff) 问题	40
3.3 瞬态伴随网络模型	41
3.4 瞬态伴随网络模型分析法	45
第 4 章 容差分析	47
4.1 灵敏度	47
4.2 容差分析	48
第 5 章 程序结构与算法	51
5.1 SPICE 简介	51
5.2 程序设计准则	52
5.3 程序结构	54
5.4 器件模型化的途径	56
5.5 分析子程序	59
5.6 线性方程组解法的选择	63
5.7 非线性方程组解法的选择	68
5.8 数值积分法的选择	72
5.9 OrCAD 9.2 的结构	76
第 6 章 电路的优化设计	81
6.1 概述	81
6.2 基本概念	82
6.3 建立目标函数	84
6.4 单目标函数的优化	87
6.5 多目标函数的优化	88
第 7 章 逻辑仿真 (simulation)	90
7.1 概述	90
7.2 逻辑仿真的模型	91
7.3 逻辑仿真的算法	94
7.4 寄存器级和高层次仿真	100
第 8 章 集成电路的布局与布线简介 ..	101
8.1 版图设计的步骤	101
8.2 布图的方法	103
8.3 布线的方法	104
第 2 篇 OrCAD/PSpiceA/D9.2.3 简明教程	
第 9 章 安装 OrCAD 9.2.3	107
第 10 章 使用 Capture 9.2.3 绘制 电路图	113
10.1 启动 Capture	113
10.2 创建新电路图文件	115
10.3 绘制电路原理图	116
10.4 连接线路和放置节点	121
10.5 元器件属性编辑	122
第 11 章 直流分析 (·DC)	124
11.1 电路原理图输入方式	124
11.2 创建新仿真文件	126
11.3 执行 PSpice 程序	126
11.4 输出窗口的常用操作	127
11.5 直流分析及例题	128
第 12 章 交流分析 (·AC)	132
12.1 例题	132
12.2 交流的输出格式	133
12.3 游标	134
12.4 参数分析	135
12.5 元器件类型及关键字	139
第 13 章 瞬态分析 (·TRAN)	141
13.1 例题	141

13.2 瞬态源的类型	143	特性	234
第 14 章 直流 (静态) 工作点分析 (·OP)	147	22.3 结型场效应晶体管 (FET) 的伏安特性	236
14.1 直流 (静态) 工作点分析	147	习题	239
14.2 例题	150	第 23 章 BJT 基本放大电路	242
第 15 章 温度、噪声和傅里叶分析	153	23.1 基本共射极放大电路	242
15.1 温度分析 (·TEMP)	153	23.2 共集电极放大电路和共基极放大电路	250
15.2 噪声分析 (·NOISE)	156	习题	252
15.3 Probe 的用法	157	第 24 章 场效应晶体管 (FET) 基本放大电路	255
15.4 傅里叶分析 (·FOUR)	159	24.1 JFET 与 BJT 的比较	255
第 16 章 最坏情况分析 (·Wcase) 和蒙特卡洛分析 (·MC)	161	24.2 固定偏置电路	255
16.1 最坏情况分析 (·Wcase)	161	24.3 采用自给偏置的放大电路	256
16.2 蒙特卡洛分析 (·MC)	165	24.4 分压式偏置电路	259
16.3 Probe 的功能	168	24.5 MOSFET 的特性	261
16.4 直方图的使用方法	170	24.6 FET 直流偏置放大电路小结	267
第 17 章 仿真行为模型	175	习题	269
17.1 受控源	175	第 25 章 BJT 放大电路的小信号分析	272
17.2 仿真行为模型	176	25.1 放大的概念	272
第 18 章 数字电路分析	182	25.2 BJT 放大器的动态工作情况分析	272
18.1 例题	182	25.3 PSpice 的数据输出	276
18.2 数字信号源	184	25.4 BJT 的建模	279
18.3 数/模混合电路分析	190	25.5 基本放大电路的动态分析	284
18.4 PSpice A/D 9.2.3 分析小结	193	25.6 放大电路的频率响应	287
第 3 篇 电路、模拟电路的计算机分析		第 26 章 FET 放大电路的小信号分析	291
第 19 章 电路的计算机分析例题——直流、瞬态分析法	195	26.1 FET 的小信号模型	291
19.1 直流分析 (·DC)	195	26.2 JFET 放大电路分析	293
19.2 瞬态分析 (·TRAN)	197	26.3 由 MOSFET 组成的放大电路的分析	299
第 20 章 电路的计算机分析例题——交流 (稳态) 分析 (·AC)	206	26.4 小结	304
第 21 章 电路的计算机分析例题——拉普拉斯变换、傅里叶变换和非线性电路	219	习题	305
21.1 拉普拉斯变换	219	第 27 章 功率放大电路	308
21.2 傅里叶变换	220	27.1 功率放大器的定义和类型	308
21.3 非线性电路分析简介	225	27.2 共射极甲类功率放大器	309
第 22 章 常用半导体器件	230	27.3 乙类互补推挽式功率放大器	312
22.1 二极管 (D) 伏安特性	230	27.4 OP-AMP 推挽式功率放大器	316
22.2 双极型晶体管 (BJT) 的共射伏安特性	234	习题	318
		第 28 章 反馈和振荡器	319
		28.1 反馈的概念与类型	319

28.2 实用的反馈电路	323	30.2 分立元件稳压电源电路	356
28.3 相和频率对反馈的重要性	326	30.3 集成稳压器	358
28.4 正弦波振荡器	327	附录	361
28.5 非正弦信号产生电路	333	附录 A	361
28.6 555 定时器	336	A.1 线性代数方程组的解法	361
习题	337	A.2 非线性代数方程组的解法	366
第 29 章 运算放大器 (Op - Amp)	339	A.3 节点法 (增量网络法)	368
29.1 Op - Amp 的基本知识	339	A.4 特勒根 (Tellegen) 伴随网络法	374
29.2 实用的 Op - Amp	341	附录 B 元器件的模型参数和常用电路、	
29.3 Op - Amp 的宏模型	348	电子电路元器件	381
29.4 差分放大电路	350	B.1 元器件的模型参数	381
习题	354	B.2 常用电路、电子电路元器件	387
第 30 章 直流稳压电源	356	B.3 数字电路	391
30.1 概述	356	参考文献	397

绪 论

——电子电路 CAD 技术的发展概况

电子电路 CAD 技术是电子信息技术发展的杰出成果，它的发展与应用引发了一场工业设计和制造领域的革命，给企业带来了巨大经济效益。当今，电子电路 CAD 技术及其应用水平已成为衡量一个国家科技现代化和工业现代化水平的重要标志之一。

电子电路 CAD 技术是指以计算机硬件和系统软件为基本工作平台，继承和借鉴前人在电路和系统、图论、拓扑逻辑优化和人工智能理论等多学科的最新科技成果而研制成的电子电路 CAD 通用支撑软件和应用软件包，其目的在于帮助电子设计工程师开发新的电子系统与电路、IC、PCB（印制电路板）、FPGA（现场可编程门阵列）、CPLD（复杂可编程逻辑器件）等产品，实现在计算机上调用元器件库、连线画图、编制激励信号文件、确定跟踪点、调用参数库以及模拟程序等手段去设计电路。

如把电子设计自动化（EDA）技术看作电子电路 CAD 技术的高级阶段，那么，电子电路 CAD 可看作 EDA 的初期和基础。于是，EDA 的发展大致可分为以下几个阶段：

第一阶段——20 世纪 70 年代到 80 年代初期：电子电路 CAD 理论研究发展迅速，成为电子电路领域的新兴学科。此时电子电路 CAD 技术还没有形成系统，仅是一些孤立的软件程序。但是它们已取代了靠手工进行的繁琐计算、绘图和检验的方式，显示出其强大的活力。

第二阶段——20 世纪 80 年代后期：随着计算机与集成电路高速发展，它是电子电路 CAD 技术真正地实现了自动化的时期，出现了 EDA（Electronic Design Automation，电子设计自动化）产业。这一阶段能够实现电路仿真、布局布线、IC 参数提取与检验等，并集成为一个有机的 EDA 系统，其设计规模已达 10 万门电路以上。在这里说明一下，通常不把 EDA 和电子电路 CAD 作严格区分，本书也沿用这种做法。

第三阶段——20 世纪 90 年代以后：微电子技术飞速发展，一个芯片可以集成百万甚至千万个晶体管，工作速度可达到几个 GB/s。此时电子系统的特点是：电路高度复杂化、微型化、保密化；设计周期短、成本低；设计要综合应用最新成果，具有先进性、竞争性和较长的生命周期；设计要独立于工艺等。这种需求促使电子系统朝着多功能、高速度、智能化的趋势发展。所以有人说，EDA 是 20 世纪 90 年代电子电路设计的革命。

1. 第三阶段电子电路设计的特征

(1) 全程自动化。EDA 的发展是从底向上发展的，即由物理层到电路层再到系统层。而 EDA 的应用主要是由顶向下（Top - Down）应用，只有有了系统层的软件才能实现全程自动化。Top - Down 是一种崭新的设计策略，它与传统的 Bottom - Up 不同，它是采用可完全独立于芯片厂商及其产品结构的描述语言，在功能级对设计产品进行定义，并结合功能仿真技术以确保设计的正确性。在功能定义完成之后，利用逻辑综合技术，把功能描述转换成某一具体结构芯片的网表文件输出给厂商的布局布线器进行布局布线。布局布线结果还可返回同一仿真器进行包括功能和时序的后验证，以保证布局布线所带来的门延时和线延时不会影响设

计的性能。

(2) 工具集成化。具有开放式的设计环境, 这种环境也称为框架结构 (Framework), 它在 EDA 系统中负责协调设计过程和管理设计数据, 实现数据与工具的双向流动。它的优点是可将不同公司的软件工具集成到一个统一的计算机平台上, 使之成为一个完整的 EDA 系统。

(3) 操作智能化。使设计人员不必学习许多深入的专业知识, 也可免除许多推导运算即可获得优化的设计成果。

(4) 执行并行化。由于多种工具采用了统一的数据库, 使得一个软件的执行结果马上可被另一个软件所使用, 使得原来要串行的设计步骤变成了同时并行过程, 也称为“同时工程 (Concurrent Engineering)”。

(5) 成果规范化。都采用 VHDL (VHSIC hardware description language, 超高速集成电路硬件描述语言), 它是 EDA 系统的一种输入模式, 支持从数字系统级到门级的多层次的硬件描述。

2. EDA 系统示意图

为了对 EDA 有个笼统地概括性看法, 特归纳 EDA 系统示意图如图 0-1 所示。图中, 按 Step UP to Top-Down Design 设计策略, 系统设计从顶向下大致可分为 3 个层次:

(1) 系统层: 用概念、数学和框图进行推理和论证, 形成总体方案。

(2) 电路层: 进行电路分析、设计、仿真和优化, 把框图与实际的约束条件与可测性条件结合, 实行测试和模拟 (仿真) 相结合的科学实验研究方法, 产生直到门级的电路图。

(3) 物理层: 进行 PCB、IC、PLD 或 FPGA 和混合电路集成以及微组装电路的设计等, 是真正实现电路的工具。同一电路可以有多种不同的实现方法, 它的软件也因此有多种。由于物理层的设计工具与工艺条件密切联系, 对于不同的公司和工艺库要求不一, 因此有很多很大的软件包。

此外, 技术经济管理系统与之相辅就更是顺理成章的事。

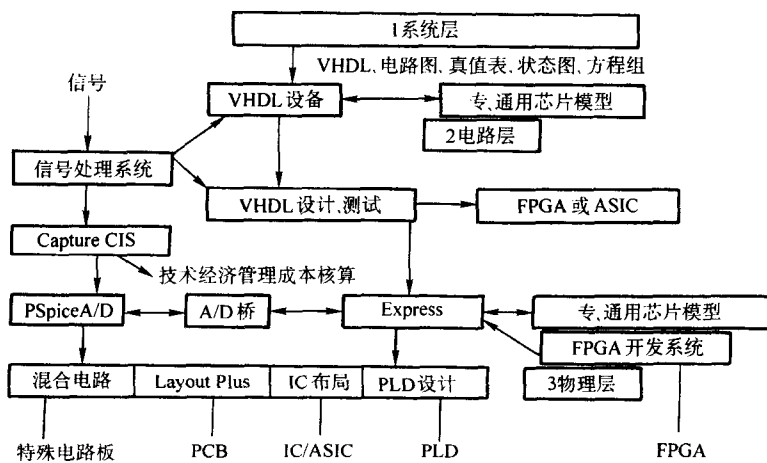


图 0-1 EDA 系统示意图

3. 今后 10 年 EDA 面临的挑战

(1) 增加系统在芯片上集成的复杂性的挑战。谈到设计挑战, 就是因为半导体工业不断

地以惊人的速度向前发展。测试表明，从它的复杂性及一个芯片上的晶体管数量、频率的增长、尺寸的下降都有显著的进步，如图 0-2 所示。在 300 万门的超级芯片上，设计的复杂性将增加 10 倍，到 2002 年，一个芯片上的晶体管将超过 1 亿个。谈到挑战，首先速度是一个巨大的挑战，3000MHz 和 4000MHz 在近几年里会变得很普通；再就是功率，不只是功率损耗，也是功率传递，因为需要考虑怎样输送 100 或更多瓦特的功率到一个芯片上；然后是噪声；最后是验证，人们通常只认为是逻辑验证或形式上的验证，但这里需要验证所有的电平。这样，总体设计就不得不优化多维领域，如图 0-3a 所示。

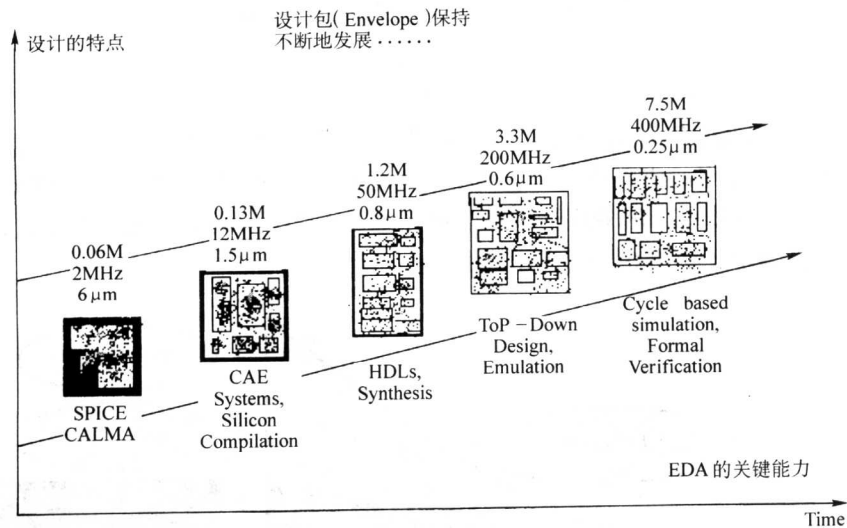


图 0-2 设计软件包发展示意图

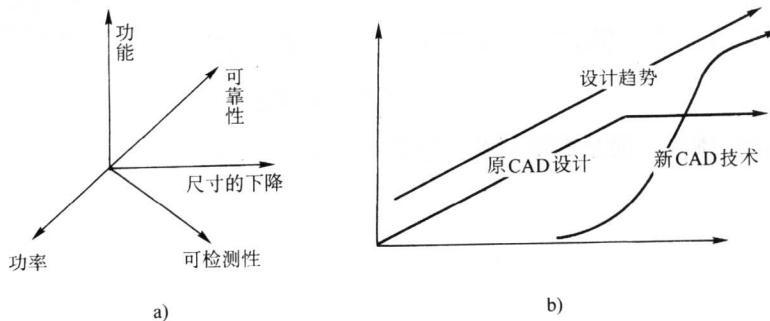


图 0-3 深广度示意图

(2) 对设计或者对设计者的挑战。芯片的复杂性和人们设计芯片实际效率之间不断增长的效率差距，这在图 0-3b 中就可以看出，需要用新的 CAD 技术代替旧的 CAD 技术，图 0-4 进一步说明了这个问题。当前，设计效率每年以 20% 增长，而生产力以每年 60% 增长，两者之间有相当大的差距。它真正是人类因素限制设计而不是技术，用更多的人重复利用新技术并不是灵丹妙药。

(3) 深纳米设计的挑战。纳米设计正飞速到来，马上到站了。EDA 工业已经准备好了吗？我们不得不考虑要预测、识别和克服偏移点，如图 0-3b 所示。Intel 公司提出一个“技

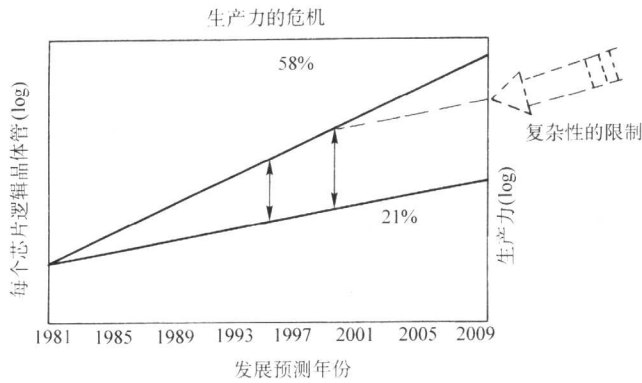


图 0-4 发展预测年份

术瀑布模型”，从系统层”以 EDA 销售商实际开发工作、高端微处理器等为目标，能级联到低复杂性的 ASIC（专用集成电路）和其他类型的芯片，形成“阶梯瀑布”来解决这个问题。

(4) 消除差距的设想。消除这个差距的途径有 3 个主要方面：软硬件方法、IP 重新利用和系统级设计自动化，如图 0-5 所示。

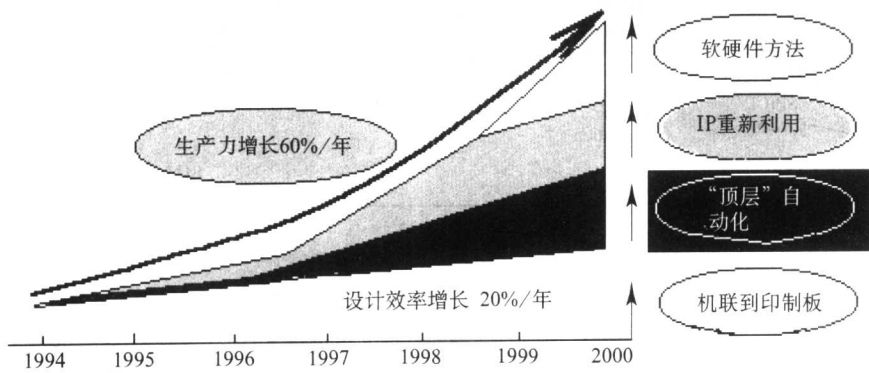


图 0-5 消除差距的设想

(5) 无须这些挑战，而是需要创新，这就是结论。

第 1 篇 电子电路 CAD 技术基础

第 1 章 网络图论基础

电子电路 CAD 技术基础通常包括网络图论、元器件的模型、电路方程组的建立、电路方程组的数值解法、容差分析和优化方法等几个方面。随着技术的进步，电子电路 CAD 涉及多种学科的最新成果，本书仅介绍其基础内容，其目的是使读者对之有个初步了解，减少使用的盲目性，换句话说，对 EDA 软件“既知其然，亦略知其所以然”；同时也为深入探讨电路 CAD 打下初步基础。学习 EDA 一般是从使用软件开始，可以先看第 2 篇 OrCAD/PSpiceA/D9.2.3 简明教程，再回过头看第 1 篇。本章介绍网络图论的基本知识。

1.1 网络图

为了便于利用计算机分析复杂网络，需借助于网络图论和矩阵代数知识，来实现分析过程的系列化。

1.1.1 网络的图 (Graph)

网络的图是一组支路和一组节点的集合，它反映电路图中各元件的互联关系，亦称拓扑图。图 1-1a 所示为普通的电路图，图 1-1b 所示为该电路消除元件属性后，抽象为线段与点的集合形成的网络拓扑图。

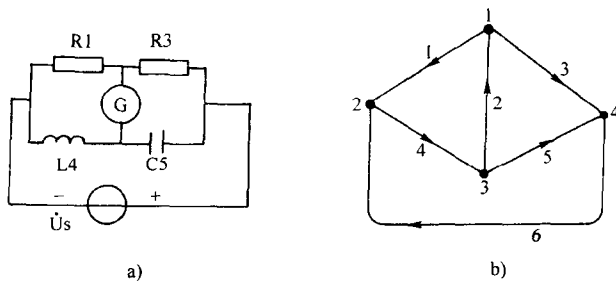


图 1-1 网络图

a) 实际电路图 b) 对应的拓扑图

带有电压和电流的关联参考方向的网络图，称为有向图。图 1-1b 所示即为有向图，有向图比较常用。若网络图 G 中任意两节点之间至少有一条支路相联，则称为连通图。图 1-1b 所示即为连通图，而图 1-2b 为非连通图。

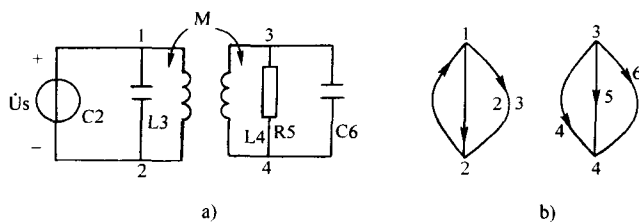


图 1-2 空心变压器电路及其拓扑图 (非连通图)

a) 空心变压器电路 b) 拓扑图 (非连通图)

如果一个图 G_1 的全部支路和节点, 包含在另一个图 G 的支路和节点的集合之中, 则称 G_1 为 G 的一个子图 (见图 1-3a 和 b), 则分别为图 1-1b 网络图 G 的子图 G_1 和 G_2 。

1.1.2 树 (Tree)

树是包含图 G 的所有节点, 但不构成回路的一个连通子图, 图 1-4 所示即为图 1-1b 网络图的一个树。

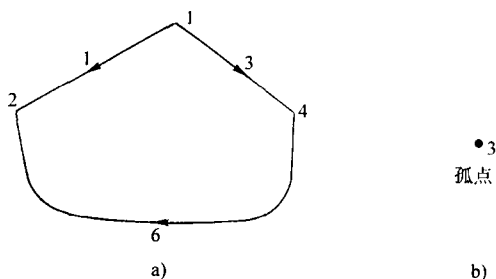
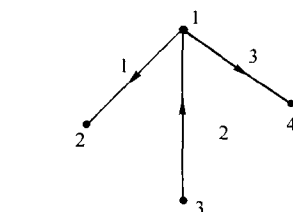
图 1-3 网络图 G 的子图 G_1 和 G_2 a) G_1 b) G_2 

图 1-4 图 1-1b 网络图的一个树

构成图 G 一个树的支路称为树支; 树支以外的支路称为连支 (b_l), 连支与所连节点构成该树的余树 (b_t)。

$$b_t = n - 1$$

$$b_l = b - (n - 1)$$

式中, b 为图 G 的支路数; n 为节点数; b_t 为树支数; b_l 为连支数。

1.1.3 基本回路

对于任何一个树, 每加上一个连支所构成的回路, 称为基本回路。基本回路数等于连支数 b_l 。如图 1-5 所示即为图 1-1b 网络图的一个基本回路。

1.1.4 基本割集

割集是连通图 G 中符合下列特性的支路集合: 移去该支路集合的所有支路, 连通图 G 被分成两个分离的子图; 但是, 如果少移去其中任一支路, 图仍然是连通的。

只包含一条树支的割集, 称为基本割集。图 1-6 所示即为一个基本割集, 图中粗实线为树支。

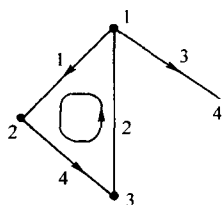


图 1-5 图 1-1b 网络图的一个
基本回路

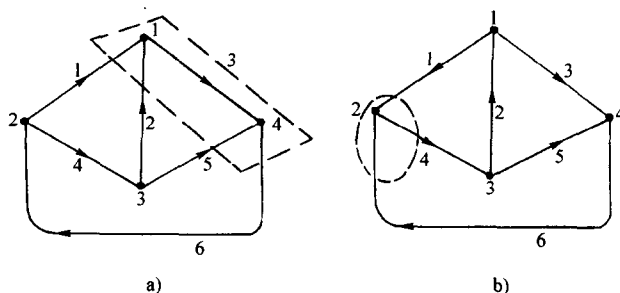


图 1-6 基本割集

a) 割集 b) 基本割集

1.2 关联矩阵、回路矩阵和割集矩阵

有向图的拓扑性质可以用关联矩阵、回路矩阵和割集矩阵来描述，下面介绍这三个矩阵。

1.2.1 关联矩阵

一条支路连接于两个节点，则称该支路与这两个节点相关联。描述支路与节点的关联性质的矩阵，称为关联矩阵。

设有向图的节点数为 n ，支路数为 b ，并对所有支路与节点都进行编号，则该有向图的关联矩阵为一个 $(n \times b)$ 阶的矩阵，用 A_a 表示。它的行对应于节点，列对应于支路，它的任一元素 a_{ij} 定义如下：

$a_{ij} = 1$ ，表示支路 j 与节点 i 相关联，并且它的方向是从节点 i 连出；

$a_{ij} = -1$ ，表示支路 j 与节点 i 相关联，但是它的方向是从节点 i 连入；

$a_{ij} = 0$ ，表示支路 j 与节点 i 无关联。

图 1-1b 所示的有向图，它的关联矩阵是

$$A_a = \begin{bmatrix} 1 & -1 & 1 & 0 & 0 & 0 \\ -1 & 0 & 0 & 1 & 0 & -1 \\ 0 & 1 & 0 & -1 & 1 & 0 \\ 0 & 0 & -1 & 0 & -1 & 1 \end{bmatrix} \quad (1-1)$$

A_a 的每一列对应于一条支路，由于一条支路连接于两个节点上，如从一个节点连出，则必定由另一个节点连入，因此每一列中只有两个非零元素：1 和 -1。若把所有行的元素按列相加，就会得到一行全为零的元素，所以 A_a 的行不是彼此独立的，即 A_a 中的任一行都可以从其他 $(n-1)$ 行导出。

若把 A_a 的任一行划去，比如将式 (1-1) 中第 3 行划去，则得 $(n-1) \times b$ 阶的（降阶的）关联矩阵，以 A 表示

$$\mathbf{A} = \begin{bmatrix} 1 & -1 & 1 & 0 & 0 & 0 \\ -1 & 0 & 0 & 1 & 0 & -1 \\ 0 & 0 & -1 & 0 & -1 & 1 \end{bmatrix} \quad (1-2)$$

\mathbf{A} 中任一行则是彼此独立的, 在电路分析中多用 \mathbf{A} , 习惯上 \mathbf{A} 简称为关联矩阵, 被划去的行对应的节点可当作参考节点。

1.2.2 回路矩阵

设一个回路是由某些支路组成的, 则称这些支路与该回路相关联。支路与回路相关联的性质, 可用回路矩阵来描述。设有向图的独立回路数为 l , 支路数为 b , 并对所有的独立回路与支路都进行编号。则该有向图的回路矩阵为一个 $(l \times b)$ 阶的矩阵, 用 \mathbf{B} 表示。如果它的行对应于一个基本回路 \mathbf{B}_f (我们多用这种基本回路, 习惯上简称为回路, 形成的矩阵习惯上亦简称为回路矩阵), 列对应于支路, 它的任一元素 b_{ij} 定义如下:

$b_{ij} = 1$, 表示支路 j 与基本回路 i 相关联, 并且它们的方向一致 (以连支的方向为基本回路 i 的绕行方向);

$b_{ij} = -1$, 表示支路 j 与基本回路 i 相关联, 但是它们的方向相反;

$b_{ij} = 0$, 表示支路 j 与基本回路 i 无关联。

例如, 如图 1-7 所示, 独立回路数等于连支数为 3。若仍选 1、2、3 支路为树支, 每一次用一个连支画成基本回路, 则对应的回路矩阵 \mathbf{B}_f 为

$$\mathbf{B}_f = \begin{bmatrix} 1 & 1 & 0 & 1 & 0 & 0 \\ 0 & -1 & -1 & 0 & 1 & 0 \\ -1 & 0 & 1 & 0 & 0 & 1 \end{bmatrix}$$

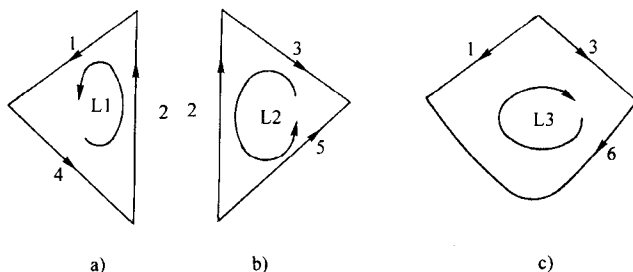


图 1-7 基本回路与支路的关联关系

像这样将 l 个连支依次排列, 则 \mathbf{B}_f 中将出现 l 阶单位子矩阵, 即

$$\mathbf{B}_f = [\mathbf{B}_l \vdots \mathbf{1}_l] \quad (1-3)$$

式 (1-3) 中下标 l 和 l 各表示与树支和连支对应的部分。

1.2.3 割集矩阵

设一个割集是由某些支路组成的, 则称这些支路与该割集相关联。支路与割集相关联的性质, 可用割集矩阵来描述。设有向图的独立割集数为 $n-1$, 支路数为 b , 并对所有的独立割集与支路都进行编号, 则该有向图的割集矩阵为一个 $((n-1) \times b)$ 阶的矩阵, 用 \mathbf{Q} 表

示。如果它的行对应于一个基本割集（即仅用一个树支构成的割集，也是独立的割集，我们多用这种基本割集，习惯上简称为割集，形成的矩阵习惯上亦简称为割集矩阵），列对应于支路，它的任一元素 q_{ij} 定义如下：

$q_{ij} = 1$ ，表示支路 j 与基本割集 i 相关联，并且它们的方向一致（以树支的方向作为基本割集 i 的方向）；

$q_{ij} = -1$ ，表示支路 j 与基本割集 i 相关联，但是它们的方向相反；

$q_{ij} = 0$ ，表示支路 j 与基本割集 i 无关联。

例如，图 1-8a（即图 1-1b），基本割集数等于树支数为 3。若仍选 1、2、3 支路为树支，每一次用一个树支构成基本割集如图 1-8b、c、d 所示，对应的割集矩阵 Q_f 为

$$Q_f = \begin{bmatrix} 1 & 0 & 0 & -1 & 0 & 1 \\ 0 & 1 & 0 & -1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 1 & -1 \end{bmatrix}$$

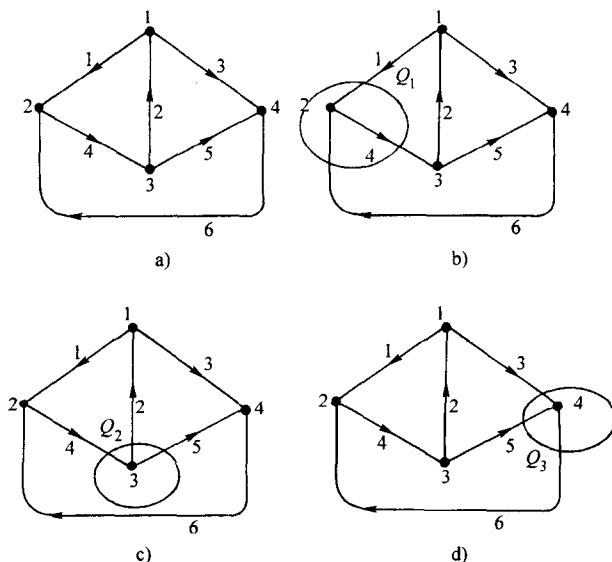


图 1-8 基本割集

像这样将 $n-1$ 个树支依次排列，则 Q_f 中将出现 $(n-1)$ 阶单位子矩阵，即

$$Q_f = [1_t \vdots Q_t] \quad (1-4)$$

式 (1-4) 中下标 t 和 l 各表示与树支和连支对应的部分。

1.3 两种约束关系

一般是指电路元件的相互连接规律和元件本身特性的规律，前者是只考虑相互连接的规律性，它与电路元件的性质无关，称为拓扑约束关系；后者称为元件约束关系。分析电路的拓扑约束关系要依据 KCL（基尔霍夫电流定律）和 KVL（基尔霍夫电压定律），下面介绍 KCL 和 KVL 的矩阵形式和元件约束关系。