

VLSI

测试方法学 和可测性设计

<http://www.phei.com.cn>

雷绍充 邵志标 梁峰 著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

VLSI测试方法学和 可测性设计

雷绍充 邵志标 梁 峰 著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书系统介绍超大规模集成电路(VLSI)的测试方法学和可测性设计,为读者进行更深层次的电路设计、模拟、测试和分析打下良好的基础,也为电路(包括电路级、芯片级和系统级)的设计、制造、测试和应用之间建立一个相互交流的平台。

本书主要内容为电路测试、分析的基本概念和理论,数字电路的描述和模拟方法,组合电路和时序电路的测试生成方法,专用可测性设计,扫描和边界扫描理论, I_{DDQ} 测试,随机和伪随机测试原理,各种测试生成电路结构及其生成序列之间的关系,与M序列相关的其他测试生成方法,内建自测试原理,各种数据压缩结构和压缩关系,专用电路Memory和SoC等的可测性设计方法。

本书既可作为从事集成电路设计、制造、测试、应用,EDA和ATE专业人员的参考用书,也可作为高等院校高年级学生和研究生专业课教材。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

VLSI 测试方法学和可测性设计 / 雷绍充等著. —北京:电子工业出版社, 2005.1

ISBN 7-121-00379-1

I. V… II. 雷… III. ①超大规模集成电路—测试技术 ②超大规模集成电路—测试—设计
IV. TN47

中国版本图书馆CIP数据核字(2004)第095899号

责任编辑:高买花

印 刷:北京中科印刷有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:18.75 字数:480千字

印 次:2005年1月第1次印刷

印 数:4000册 定价:29.80元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。
联系电话:(010)68279077。质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

本书系统介绍大规模集成电路的测试方法学和可测性设计,为读者进行更深层次的电路设计、模拟、测试和分析打下良好的基础,也为从事电路(包括电路级、芯片级和系统级)的设计、制造、测试和应用的专业人员建立一个相互交流的平台。

国内关于大规模集成电路可测性设计方面的研究、开发尚处于起步阶段,系统地介绍这方面理论和方法的教材还十分匮乏,从事相关领域工作的专业人员只能边实践边摸索来逐步掌握知识,本书即鉴于此需求系统地介绍该领域的基本概念、基本理论和设计方法。

本书主要内容为电路测试和分析(将测试活动中的不同过程和不同方式,诸如验证、模拟、仿真和测试施加等都纳入测试范畴)的基本概念和理论,数字电路的描述和模拟方法,组合电路和时序电路的测试生成方法,专用可测性设计,扫描和边界扫描理论, I_{DDQ} 测试,随机和伪随机测试原理,各种测试生成电路结构及其生成序列之间的关系,与M序列相关的其他测试生成方法,内建自测试原理,各种数据压缩结构和压缩关系,专用电路Memory和SoC等的可测性设计方法。

著者一直探索集成电路测试和可测性设计的理论,密切关注国内外专业动向,书中内容一部分阐述基本理论,对近几年集成电路测试领域所取得的成果和有待深入研究的问题分别进行了论述,相当部分篇幅反映直至2003年底的理论成果,例如低功耗测试理论、SoC的测试开发策略等。本书许多数据都源于专业研究机构的报告或论著,具有参考价值和指导意义。

本书体现了著者为系统、规范地诠释集成电路测试理论所进行的努力和尝试。对于不同方式的测试,诸如验证、模拟、仿真,对于测试的不同过程,诸如建模、测试生成、测试施加和测试分析,都纳入测试范畴,用规范化术语系统论述,这样就从理论上明确了诸如验证、模拟、仿真之间的关系,也使术语的使用规范化,同时也为可测性分析、测试经济学等明确了研究范围,为电路的设计、制造、测试、EDA和ATE业界专业人员就测试方面建立通用的交流平台,做到理论和术语的“无缝连接”。

为了分析和测试电路设计、制造的正确性,需要相应的规范化术语和检查、分析方法,以及用电路测试分析的故障模型来描述电路的不正常现象,因此分析和检测故障的方法应运而生,其主要内容为构造准确的失效模型、对原形设计的模型生成高效率的测试代码、进行测试结果分析,这些都是本书的第一部分内容。

第二部分对电路的模拟方法、组合电路和时序电路的确定性生成方法进行了详细的论述。

第三部分介绍可测性分析。所谓的可测性,指电路容易测试,电路功能正确,且易于在电路的输入端施加信号,在电路的输出端容易观察电路的响应,电路设计和修改中就用可测性分析的方法和工具改善电路的结构。

第四部分介绍可测性设计。随着电路的集成度和工艺的快速发展,测试设备的速度和处理能力难以适应,设计中采用内建自测试(BIST)结构,BIST嵌入在电路内部使之成为电路

设计的一部分,这样的电路是根据测试分析理论总结出来的结构,这类设计就是可测性设计。

电路设计、测试、分析内容和方法的发展,导致了EDA工具的发展,使设计的每一个测试过程包括高层次综合都可以做到不同程度的自动化,EDA工具也包含着测试结构插入和综合等测试功能。掌握这方面的专业术语、基础理论和方法,也是本书的一个基点。

随着测试设计和分析理论的发展,以及工业界的应用拓展,一些普遍性的问题需要研究和规范化,不同芯核的设计之间有规范的标准,以实现芯核间良好的接口。为此,有关国际技术组织已商定一些标准,具有代表性的是 IEEE 1149.1 (JTAG) 和 IEEE 1149.4,另外还有关于 SoC 设计和测试的推荐标准 IEEE 1149.4 和 IEEE P1500,本书也对这些标准进行了介绍。

著者

2004 年 2 月

目 录

第 0 章 概述	(1)
0.1 研究意义	(1)
0.2 章节安排	(1)
0.3 常用术语	(2)
第 1 章 电路分析基础	(10)
1.1 验证、模拟和测试	(10)
1.1.1 验证	(10)
1.1.2 产品测试	(11)
1.2 故障及故障检测	(12)
1.2.1 故障检测的基本原理	(12)
1.2.2 测试图形生成	(13)
1.3 缺陷、失效和故障	(14)
1.3.1 物理缺陷	(15)
1.3.2 失效方式	(17)
1.3.3 故障	(18)
1.3.4 故障、失效和缺陷的关系	(19)
1.4 故障模型	(19)
1.4.1 SSA 故障	(19)
1.4.2 MSA 故障	(20)
1.4.3 桥接故障	(21)
1.4.4 短路与开路故障	(23)
1.4.5 延迟故障	(27)
1.4.6 暂时失效	(27)
1.5 故障的等效、支配和故障冗余	(28)
1.5.1 故障表	(28)
1.5.2 故障等效	(28)
1.5.3 故障支配	(30)
1.5.4 故障表化简	(30)
1.5.5 故障冗余	(31)
1.6 可控性、可观性及可测性	(32)
1.6.1 CAMELOT 可测性值计算方法	(33)
1.6.2 基于概率法的可测性值计算	(35)
1.7 数字电路的各种模型和描述方法	(36)

1.7.1	开关函数	(36)
1.7.2	逻辑函数的异或表达	(38)
1.7.3	图	(39)
1.7.4	BDD 图	(40)
第 2 章	模拟	(44)
2.1	大规模设计模拟	(45)
2.1.1	Testbench	(45)
2.1.2	基于设计阶段的模拟	(46)
2.2	逻辑模拟	(46)
2.2.1	编译模拟	(46)
2.2.2	事件驱动模拟	(47)
2.2.3	延迟模型	(48)
2.3	故障模拟	(48)
2.3.1	并行故障模拟	(50)
2.3.2	演绎故障模拟	(51)
2.3.3	并发性故障模拟	(52)
2.3.4	故障模型结果分析	(53)
第 3 章	组合电路的测试	(55)
3.1	简介	(55)
3.2	异或法	(56)
3.2.1	异或法	(56)
3.2.2	不可检测故障	(58)
3.2.3	多输出电路	(59)
3.3	布尔差分	(60)
3.3.1	对原始输入节点的布尔差分	(60)
3.3.2	布尔差分的性质	(61)
3.3.3	对电路内部节点的布尔差分	(63)
3.4	路径敏化法	(65)
3.4.1	确定性算法的基本过程	(65)
3.4.2	无扇出分支的路径敏化法	(67)
3.4.3	有扇出分支的路径敏化法	(67)
3.5	D 算法	(68)
3.5.1	D 算法关键术语	(69)
3.5.2	D 算法的基本步骤	(71)
3.5.3	D 算法举例	(71)
3.6	PODEM 算法	(73)
3.6.1	PODEM 算法思路	(74)
3.6.2	PODEM 算法流程	(75)
3.6.3	PODEM 算法举例	(76)

3.7 其他测试生成算法	(78)
3.7.1 FAN 算法	(78)
3.7.2 其他算法	(79)
第 4 章 时序电路的测试	(81)
4.1 时序电路测试的概念	(81)
4.2 时序电路的功能测试	(82)
4.2.1 时序电路的检查序列	(83)
4.2.2 时序电路功能测试	(87)
4.3 时序电路的确定性测试生成	(88)
4.3.1 时序电路的模型	(88)
4.3.2 时序电路的测试生成模型	(89)
4.3.3 扩展的向后驱赶算法	(90)
4.3.4 扩展的向后驱赶算法举例	(92)
4.4 时序电路的其他测试生成方法	(94)
4.4.1 FASTEST 算法	(94)
4.4.2 CONTEST 算法	(97)
第 5 章 专用可测性设计	(99)
5.1 概述	(99)
5.2 可测性分析	(100)
5.2.1 可控性值的估计	(100)
5.2.2 可观性值	(103)
5.2.3 SCOAP 算法描述	(106)
5.2.4 可测性度量的应用	(107)
5.3 可测性的改善方法	(109)
5.3.1 插入测试点	(109)
5.3.2 电路分块	(111)
5.4 容易测试的电路	(116)
5.4.1 C 可测性	(116)
5.4.2 变长测试	(119)
5.5 组合电路的可测性设计	(120)
5.5.1 用 Reed-Muller 模式设计组合电路	(120)
5.5.2 异或门插入法	(123)
5.5.3 组合电路的其他可测性设计方法	(125)
5.6 时序电路可测性设计中的问题	(125)
5.6.1 时序电路的初始化设计问题	(125)
5.6.2 时间延迟效应的最小化	(127)
5.6.3 逻辑冗余问题	(128)
5.6.4 避免设计中非法状态	(129)
5.6.5 增加逻辑以控制振荡	(129)

第 6 章 扫描路径法	(132)
6.1 简介	(132)
6.2 扫描路径设计	(133)
6.2.1 基本的扫描路径设计	(133)
6.2.2 部分扫描设计	(134)
6.2.3 隔离的串行扫描设计	(135)
6.2.4 非串行的扫描设计	(135)
6.3 扫描路径的测试方法	(136)
6.3.1 组合电路部分的测试生成	(136)
6.3.2 测试施加	(136)
6.3.3 扫描路径测试举例	(137)
6.4 扫描路径设计及测试举例	(140)
6.5 扫描路径的结构	(142)
6.5.1 双口触发器和电平敏化锁存器	(142)
6.5.2 电平敏化扫描设计	(143)
6.5.3 随机编址的存储单元	(145)
第 7 章 边界扫描法	(146)
7.1 边界扫描法的基本结构	(146)
7.2 测试存取通道及控制	(149)
7.2.1 测试存取通道的信号	(149)
7.2.2 TAP 控制器	(149)
7.2.3 TAP 控制器的操作	(152)
7.3 寄存器及指令	(155)
7.3.1 指令寄存器	(155)
7.3.2 测试数据寄存器	(156)
7.3.3 指令	(160)
7.4 操作方式	(163)
7.4.1 正常操作	(163)
7.4.2 测试方式操作	(164)
7.4.3 测试边界扫描寄存器	(166)
7.5 边界扫描描述语言	(166)
7.5.1 主体	(167)
7.5.2 BSDL 描述器件举例	(177)
第 8 章 随机测试和伪随机测试	(180)
8.1 随机测试	(180)
8.1.1 随机测试的概念	(180)
8.1.2 故障检测率的估算	(182)
8.1.3 测试图形长度的计算	(183)

8.1.4	输入变量的优化	(184)
8.2	伪随机序列	(187)
8.2.1	同余伪随机序列	(187)
8.2.2	反馈移位寄存器和异或门构成的伪随机序列生成电路	(188)
8.3	LFSR 的数学基础	(190)
8.3.1	根据本原多项式优化伪随机序列发生电路	(190)
8.3.2	LFSR 的运算	(193)
8.3.3	M 序列的特性	(194)
8.4	伪随机测试序列生成电路	(196)
8.4.1	外接型 PRSG	(196)
8.4.2	内接型 PRSG	(197)
8.4.3	混合连接型 PRSG	(198)
8.5	与 M 序列相关的序列的生成方法	(201)
8.5.1	Ford 序列	(202)
8.5.2	De Bruijn 序列	(203)
8.6	低功耗测试序列	(203)
8.6.1	RSIC 序列生成原理	(204)
8.6.2	RSIC 序列的数学表达	(205)
8.6.3	RSIC 序列的特性	(206)
第 9 章	内建自测试	(208)
9.1	内建自测试的概念	(208)
9.1.1	内建自测试简介	(208)
9.1.2	内建自测试的结构	(209)
9.1.3	内建自测试的测试生成	(210)
9.2	响应数据压缩	(211)
9.2.1	奇偶测试	(211)
9.2.2	“1” 计数	(212)
9.2.3	跳变次数压缩	(213)
9.3	特征分析法	(213)
9.3.1	特征分析原理	(213)
9.3.2	串行输入特征寄存器	(217)
9.3.3	多输入的特征分析	(218)
9.4	内建自测试的结构	(221)
9.4.1	内建自测试	(221)
9.4.2	自动测试	(221)
9.4.3	循环内建自测试	(222)
9.4.4	内建逻辑块观测器	(223)
9.4.5	随机测试组合块	(224)
9.4.6	STUMPS	(225)

第 10 章 电流测试	(228)
10.1 简介	(228)
10.2 I_{DDQ} 测试机理	(230)
10.2.1 基本概念	(230)
10.2.2 无故障电路的电流分析	(232)
10.2.3 转换延迟	(233)
10.3 I_{DDQ} 测试方法	(233)
10.3.1 片外测试	(234)
10.3.2 片内测试	(235)
10.4 故障检测	(236)
10.4.1 桥接	(237)
10.4.2 栅氧	(238)
10.4.3 开路故障	(239)
10.4.4 泄漏故障	(240)
10.4.5 延迟故障	(241)
10.5 测试图形生成	(241)
10.5.1 基于电路级模型的测试图形生成	(242)
10.5.2 基于泄漏故障模型的测试图形生成	(243)
10.6 深亚微米技术对电流测试的影响	(243)
第 11 章 存储器测试	(247)
11.1 存储器电路模型	(248)
11.1.1 功能模型	(248)
11.1.2 存储单元	(249)
11.1.3 RAM 组成	(249)
11.2 存储器的缺陷和故障模型	(249)
11.2.1 缺陷	(249)
11.2.2 阵列故障模型	(250)
11.2.3 周边逻辑	(252)
11.3 存储器测试的类型	(253)
11.3.1 性能测试	(254)
11.3.2 特征测试	(254)
11.3.3 功能测试	(254)
11.3.4 电流测试	(255)
11.4 存储器测试算法	(255)
11.4.1 MSCAN 算法	(255)
11.4.2 GALPAT 算法	(255)
11.4.3 算法型测试序列	(256)
11.4.4 Checkerboard 测试	(257)
11.4.5 Marching 图形序列	(257)

11.4.6	March 测试的表达方法	(258)
11.4.7	各种存储器测试算法的分析	(260)
11.5	存储器测试方法	(261)
11.5.1	存储器直接存取测试	(261)
11.5.2	存储器内建自测试	(261)
11.5.3	宏测试	(263)
11.5.4	各种存储器测试方法比较	(264)
11.6	存储器的冗余和修复	(264)
第 12 章	SoC 测试	(267)
12.1	SoC 测试的基本问题	(268)
12.1.1	SoC 核的分类	(268)
12.1.2	SoC 测试问题	(269)
12.1.3	存取、控制和隔离	(270)
12.2	概念性的 SoC 测试结构	(271)
12.2.1	测试源和测试收集	(272)
12.2.2	测试存取机构	(272)
12.2.3	测试壳	(273)
12.3	测试策略	(274)
12.3.1	核的非边界扫描测试	(275)
12.3.2	核的边界扫描测试策略	(276)
12.4	IEEE P1500 标准	(280)
12.5	SoC 测试再探索	(283)

第 0 章 概 述

0.1 研究意义

随着电路复杂程度的提高和尺寸的日益缩小,测试已成为迫切需要解决的问题,特别是进入深亚微米以及超高集成度的发展阶段以来,通过集成各种 IP 核,系统级芯片 (SoC) 的功能更加强大,同时也带来了一系列的设计和测试问题^[1]。例如,计算机、蜂窝电话和互联网基础设施市场的需求迫使集成电路厂家必须提出测试系统在性能和测试效率两方面都完整的解决方案。

测试是 VLSI 设计中费用最高、难度最大的一个环节。据报道,随着 VLSI 集成度的提高,测试费用可占到芯片制造成本的 50% 以上。Prime 研究集团报告称,2000 年半导体行业在数字集成电路与系统级芯片测试仪器上的花费是 49 亿美元^[2],测试费用则更高。按照 ITRS (International Technology Roadmap for Semiconductors) 的研究,到 2014 年晶体管的测试成本要大于其制造成本^[3]。

随着技术的快速发展和市场竞争的加剧,产品市场寿命相对于开发周期变得愈来愈短,测试对产品的上市时间、开发周期将会有越来越大的影响。

测试已成为制约 VLSI 特别是 SoC 设计和应用的一个关键因素。SoC 的核心问题是核复用带来的核测试复用问题^[4]。SoC 可以采用 IP 模块设计,目前多方提供的嵌入式核的可测性设计缺乏统一标准,核集成时难以自动检测每一个核的可测性,所以必须对复用核进行测试设计,而核复用的测试设计费用大约要占总设计成本的 1/3 以上^[5]。

传统的模拟、验证和测试方法已难以全面验证电路设计和制造的正确性,因此在设计和测试方面就应该有新的思想方法,设计出容易测试的电路。新的设计思想是在设计一开始就考虑测试问题,在设计前端就解决棘手的测试问题。

0.2 章节安排

本书旨让读者掌握电路测试和分析的基本概念和理论、测试生成方法、模拟理论、可测性设计的理论和方法、扫描和边界扫描的设计方法、 I_{DDQ} 测试原理、自测试生成的原理和设计方法,了解专用电路 Memory 和 SoC 等的可测性设计方法(本书将测试活动中的不同过程,诸如验证、模拟、仿真和测试施加都纳入测试的范畴)。

全书按测试分析、设计的内容安排,共分为 12 章,内容如下:

第 1 章介绍电路测试和可测性的基础知识。包括可测性设计流程及其与设计验证的关系,模拟与测试的内容,失效、故障的概念和故障模型,故障检测的概念及目的,可测性度量,电路功能和故障分析所用的模型和表达方法等。

第 2 章介绍模拟在电路测试和分析中的作用,电路的功能模拟方法和故障模拟方法,EDA

中生成测试图形的方法。

第3章介绍组合电路的测试生成概念和方法,这是确定性生成方法的基础。首先介绍测试生成常用术语和方法,再对具体的算法(如D算法、PODEM算法)进行了详细的分析。

第4章介绍时序电路的测试模型和方法,包括时序电路初始化问题,功能测试和确定性生成方法。

第5章研究可测性设计的专用设计技术。内容依次是:可测性度量概念和计算方法、测试度量在设计修改中的应用、组合电路和时序电路的专用可测性设计方法。

以后各章是系统化可测性设计相关理论和方法。

第6章介绍扫描路径法、电平敏化法,这是一种减少时序电路设计复杂性的方法。扫描是VLSI设计的一个标准特征。

第7章介绍随机/伪随机测试电路的理论和结构,这是内建自测试生成的基础,是VLSI可测性设计发展的主流方向。对随机、伪随机测试的理论和各种结构进行了全面、透彻的分析,对于软件生成理论和低功耗测试理论进行探讨,反映出技术发展的方向。

第8章介绍边界扫描法,它广泛应用在集成电路设计中,也可用于诊断和调试。特别在SoC设计中这是一个成熟的、易于理解的接口设计方法。边界扫描法已有国际标准,本书基于IEEE 1149.1-2001a版全面论述边界扫描的基本架构、测试单元、测试方式和控制、BSDL描述和设计。

第9章介绍内建自测试。系统而深入地介绍了内建自测试的概念和原理、数据压缩原理和结构、各种内建自测试结构。内建自测试和其他技术,如扫描路径和边界扫描的结合也是EDA的方向。

第10章介绍电流测试法。电压测试和分析方法对于深亚微米技术变得困难,电流测试方法和结构因有测试矢量短、故障覆盖率高的优点而可行。本章介绍MOS电路的失效机理、故障模型、测试结构和方法。诸多方法都是近几年研究和应用成果的总结。

第11章介绍存储器的故障模型和测试方法。概述了各种存储器故障模型和测试方法,规范化描述测试算法,图形化解释算法,介绍了存储器内建自测试、冗余和修复技术。存储器测试在以后的集成电路测试中占相当大的比重,也成为EDA可测性设计的一大特征。

第12章介绍SoC测试的基本问题和常用术语,SoC测试结构设计的实例分析,以及SoC测试的标准和描述,展望SoC测试的发展方向。

0.3 常用术语

1. 测试

电路设计和制造的正确与否,需要一套规范的描述术语和检查、分析方法,这就是电路测试研究的内容之一。测试电路的一般过程是:建立描述电路“好”或“坏”的模型;设计出能检验电路“好”或“坏”的测试数据;把设计好的数据加在被检验的电路上;观察被检验电路的输出结果;最后分析与理想的结果是否一致。

被测试的电路称为被测电路(Circuit Under Test, CUT);对被测电路产生测试数据的方法和过程称为测试生成(test generation);产生的测试数据称为测试图形(Test Pattern, TP);

把测试图形施加到 CUT 的过程称为测试施加 (test application); 测试图形施加后被测电路的输出称为测试响应 (test response); 检查电路实际的测试响应与理想的测试响应是否一致的过程称为测试分析 (test response analysis)。因此, 电路的测试过程用专业术语表达就是: 先电路建模, 然后测试图形生成, 再是测试施加、测试响应分析。整个过程可用图 0.1 表达。

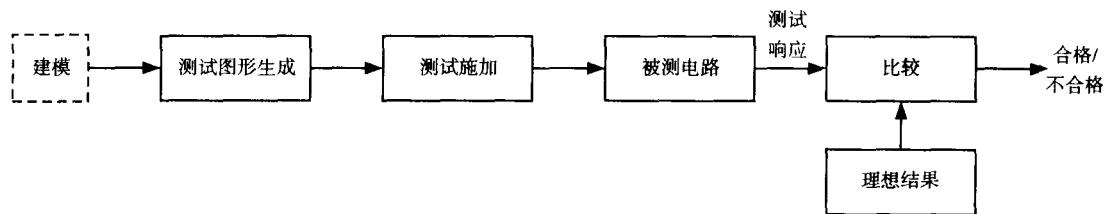


图 0.1 电路测试分析过程

如果上述过程是对电路设计进行的, 则称设计验证, 采用的电路模型一般是功能模型, 常用的有功能模拟和时间模拟 (与硬件仿真相区别), 整个过程是在 EDA 环境下完成。

如果图 0.1 所示过程是对产品进行的, 则称产品测试, 采用的模型一般是故障模型。如果测试施加、测试响应的获取, 甚至测试生成和测试分析都用专门的设备完成, 这样的设备就称自动测试装置 (Automatic Test Equipment, ATE)。

随着电路的集成度和速度越来越高, ATE 的速度和处理能力难以适应, 图 0.1 所示的测试图形生成、测试施加、理想结果和比较就用硬件电路完成, 这些电路嵌入在芯片内部, 成为集成电路设计的一部分, 这就是内建自测试 (Built-In Self Test, BIST)。

需特别说明的是, 本书中最常用的术语是测试, 它并不仅仅指用测试仪器对产品进行测量, 而是指对设计和制造的电路进行测试分析、开发和施加的一系列过程, 包括电路建模、测试图形生成、测试施加和测试响应分析的整个过程, 其中测试生成是最为复杂的, 是一个 NP-complete 问题, 因此有时就把测试生成说成测试。

2. 错误和故障

被测电路不能正常工作, 就称它有错误, 而测试的目的是为了检验设计或制造的产品是否有错误。什么是错误? 对于电路设计、制造和使用这些不同的方面来讲, 错误的含义自然不同。错误可能因设计中的失误引起, 例如设计参数有误、设计过程中不同级的映射不正确; 错误也可能因制造中的失误造成, 例如引线焊接错误; 错误也可能因制造中的缺陷引起, 例如金属线之间的开路或短路; 错误也可能是物理失效造成的, 例如不正常的工作条件——电路供电电压的波动, 温度、湿度、振动、噪声的超常, 电路老化等。

总之, 造成电路出现错误的原因是多方面的, 其表现形式也呈多样化。那么, 如何对错误分类? 如何找到错误? 这是测试方法学首先要解决的问题。测试方法学首先建立的是故障 (fault) 的概念。一个电路的状态是好的, 即电路的设计和制造无错误且工作条件正常, 则称电路无故障, 反之, 则称电路有故障。

对有问题电路的描述, 与电路所处的设计/制造阶段和描述的级有关系。因制造中加工条件的不正常和工艺设计有误等造成电路不正常的物理结构, 用缺陷来描述。有问题的电路在电路级用失效方式来描述, 有的也称物理故障。对于数字电路, 故障是有问题的电路在逻辑级的描述, 便于测试中简便的数学处理, 因此有的参考资料也称之为逻辑故障。以上就是所

谓的故障，它是一个独立的概念，对故障的检测通过观察错误的效应来实现。对失效方式特征的提取和描述就是故障模型，最常用的故障模型是单根线恒定地“黏结”在某一逻辑值，即所谓的固定型故障。故障建模和模拟是电路测试的一个重要内容。

当发现电路有故障后，确定故障所处的位置及类型则是首先要解决的问题，这就是所谓的故障定位问题。

3. 建模和模拟

对于设计中的错误，采用设计完毕的电路或系统的模型来进行设计验证测试（design verification testing）。这里的模型指以数据结构和（或）程序的形式在计算机中描述所设计的电路或系统。电路或系统的模型可以通过施加输入信号的数据流形式来检验其功能，这个过程就是逻辑模拟（logic simulation），也称做设计验证模拟、真值模拟和延时。逻辑模拟决定了模型中的信号在施加的输入序列作用下随时间变化的情况。

4. 测试效率

对于相同的电路，不同的测试生成方法所产生的测试图形的长度不同，所能检测到的故障的个数也可能不同，高质量的测试应该用尽可能少的测试图形检测出尽可能多的故障，即测试效率尽可能高，衡量测试质量或效率高低的数值就是故障覆盖率（fault coverage）。故障覆盖率指的是：对于给定的故障模型，测试图形能够检测到该类型故障的数目与电路中可能存在的所有的该故障类型数目之比，常用百分比表示。如果一测试图形的故障覆盖率为100%，则称该测试图形为完全测试集。大多数电路都标明了故障覆盖率，但一般很难达到所标的值。另外，100%故障覆盖率并不能保证电路无故障，测试只对所采用的故障模型所表达的失效进行检验，对其他失效并未检测。

通过模拟来分析测试效率的方法称为故障模拟，它是通过在电路中引入故障对应的逻辑值来计算电路的响应，由故障模拟器来计算故障覆盖率。模拟时一般是对电路中合适的节点引入故障，一次引入一个，当引入故障后的电路响应与未引入故障的响应不同时，就称检测到该故障。

5. 测试类型

测试有多种分类方法。测试涉及到测试生成、测试施加和测试分析几个过程，因此测试也可按这些过程来分类。

按测试生成的方法，测试可分为穷举测试（exhaustive test）、伪穷举测试（pseudo-exhaustive test）、伪随机测试（pseudorandom test）和确定性测试（deterministic test）。

按测试施加（test application）的方式，测试可分为片外测试（off-chip test）和片上测试（on-chip test）。

按照测试图形施加的时间，测试可分为离线测试（off-line test）和在线测试（on-line test）。

穷举测试

如果测试图形包含了原始输入所有可能的排列组合，这个测试图形称为穷举的测试集，把穷举的测试集施加到被测电路的方法就称为穷举测试。穷举测试优点在于易生成测试矢量和100%的故障覆盖率，但这样的方法只对小规模的纯组合电路有效。例如，对于一个原始输入为20的电路，用1MHz的测试仪器来测试，需1s的时间^[6]。对于时序电路，穷举法并

不适合, 因为测试图形的时序对被测电路有非常大的影响。

伪穷举测试

解决穷举测试时序问题的方法是伪穷举测试^[7], 此方法用的也是穷举测试集, 但测试矢量施加时序上具有随机性。关于这个方法的详细内容见本书第8章。

伪随机测试

伪随机测试的特征是测试图形的每位字都是随机的, 它按照数学上的特征多项式采用线性反馈移位寄存器 (Linear Feedback Shift Register, LFSR) 来产生, 这种方式产生的测试矢量所需成本最少。伪随机测试方法需用故障模拟器来排列测试序列和计算测试覆盖率, 对于固定型故障其故障覆盖率可达85%以上。许多商用 ATPG 工具先用随机测试产生测试图形, 然后用迭代法处理难测故障, 此类故障称抗随机测试故障 (Random Pattern-Resistant, RPR 故障)。纯随机测试中, 一测试矢量可能出现不止一次, 但伪随机测试中不会出现这样的问题。伪随机测试也可用软件来生成。伪随机测试已成为 VLSI 嵌入式测试的主要方法。例如, 内建自测试 (BIST) 和存储器测试中一般都采用伪随机测试。

确定性测试

确定性测试是基于故障的测试, 它是对特定的故障类型生成测试图形, 一般确定性生成是按照算法, 如 D 算法、PODEM 算法等, 完成测试生成, 它是一个 NP-complete 问题, 需要迭代法来加速生成过程。确定性测试的优点是生成的测试图形非常短, 难点是测试生成方法非常复杂, 测试生成时间非常长。

测试施加

把测试图形加到被测电路的过程就是测试施加。前文说过产品测试时有 ATE 和内建自测试施加方式, 模拟时在 EDA 环境下施加测试图形。对于产品测试, 测试施加成本是影响测试成本的主要因素。测试图形施加到被测电路上时, 它能用来检测故障, 这是测试图形的价值所在。故障诊断时, 测试图形可用来分析缺陷。电路正常工作时, 测试图形可用于调试、修复子系统, 进行可靠性分析。测试可对划片前的晶片施加, 也可对封装后的 IC 施加。本书讨论独立的 IC 的测试。

在线测试和离线测试

离线测试就是测试施加时电路在非工作情况下运行, 而在线测试则是测试实施时电路运行在正常工作条件下。在线测试时需要专门的代码、检验装置和复用技术, 其优点是可以测试瞬变 (transient) 故障, 也可以测试间歇性 (intermittent) 故障。本书中所说的测试是指离线测试。

自动测试设备

对于离线测试, 一般需自动测试设备 (ATE) 或内建自测试结构来施加测试图形。ATE 由夹具、硬件和软件组成。夹具用来固定被测的 IC, 每一个 IC 都有一系列引脚, 这些引脚用于驱动信号、测量信号, 或连接负载。测试仪器的每个引脚背后都有复杂的电子线路, 通过复杂的接线系统连到被测电路的引脚上。自动测试设备的硬件还包含大容量的计算机, 足够存储测试图形和理想的响应。按照测试的对象分, 自动测试设备可分为数字、存储器、模拟测试仪。测试逻辑 IC 和测试存储器 IC 的方法不同, 测试存储器 IC 时, 几个被测部分的