Verilog HDL SHE JI SHI JIAN YU ZHI DAO

Verilog HDL

设计实践与指导

□ 刘秋云 王佳 编著

机械工业出版社
CHINA MACHINE PRESS

Verilog HDL 设计实践与指导

刘秋云　王佳　编著

机 械 工 业 出 版 社

本书对 Verilog HDL 硬件描述语言作了系统全面的介绍。其中可综合的设计风格是一个最大特点。本书从基本的语法语义出发，结合整个复杂数字逻辑电路的设计流程，从简单的数字逻辑的实现到整个算法的系统实现，全面介绍了可综合程序的编码风格及仿真测试程序的编码风格。本书还对仿真模拟、系统的设计作了深入的阐述。书中加入了大量工程设计方法和技巧。

本书适用于专业为电子工程、计算机工程及计算机科学的本科生，及学习硬件描述语言的初学者。

图书在版编目（CIP）数据

Verilog HDL 设计实践与指导 / 刘秋云，王佳编著.
北京：机械工业出版社，2005.1
ISBN 7-111-15803-2

Ⅰ.V… Ⅱ.①刘… ②王… Ⅲ. 硬件描述语言，V
HDL—程序设计 Ⅳ. TP312

中国版本图书馆 CIP 数据核字（2004）第 130702 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）
责任编辑：吉 玲（E-mail：jiling@mail.machineinfo.gov.cn）
封面设计：王伟光 责任印制：石 冉
三河市宏达印刷有限公司印刷 · 新华书店北京发行所发行
2005 年 1 月第 1 版第 1 次印刷
787mm×1092mm 1/16 · 19.75 印张 · 490 千字
0001—4 000 册
定价：33.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换
本社购书热线电话（010）68993821、88379646、68326294、68320718
Http://www.machineinfo.gov.cn/book/
封面无防伪标均为盗版

前　言

中国集成电路（IC）产业经过40余年的发展，已经形成了一个良好的产业基础，进入了加速发展的新阶段。我国IC设计在自主产品开发方面的技术含金量呈攀升趋势，并正在竞相进入市场，逐渐成为新生代电子整机产品的“芯脏”。方舟、龙芯、神威、汉芯、众志、MISC（弦驰）系列、国芯安GDC3000系列等陆续登台，作为CPU、DSP、移动通信设备的芯片实现了整体突破。目前，从事CPU设计的企业已达20家，开发了16位、32位、64位的CPU，并已与网络服务器、客户机和各类终端配套。在IC卡方面，我国已形成从芯片设计、制造，模块及卡片加工到应用系统的完全自主开发，打破了IC卡依赖进口的格局，同时平抑了IC卡的价格，促进了金卡工程的发展。另外，以集成电路为技术背景的第二代居民身份证也已于今年全面启动。种种迹象表明集成电路未来的发展将给设计和制造带来新的机遇与挑战。

作为一名在复杂数字电路设计领域工作多年的工程人员，对目前国内集成电路的现状表示欣慰，但同时也深感自己肩上的责任重大。我个人认为，从事高技术的产业切不可将自己封闭起来，需要更广泛的群体合作与交流，需要有技术的传播。一个真正的专业技术工作者，都不会吝啬传授自己所掌握的技术。在半导体制造产业的技术人员一般都愿意公开自己的技术，而且每项技术都不可能只有一个公司、一个人所掌握，况且技术的更新又如此地快。因此我觉得很有必要及时把最先进的设计技术和实践经验介绍给学生，给他们创造丰富的实践机会，从而不断壮大我国集成电路产业的生力军队伍。

本书基于集成电路半定制的设计，讲解如何使用Verilog HDL硬件描述语言。作为一种通用化的硬件描述语言，Verilog HDL硬件描述语言具有下述描述能力：设计的行为特性、设计的数据流特性、设计的结构组成以及包含响应监控和设计验证方面的时延和波形产生机制。其次，Verilog HDL语言提供了编程语言接口，通过该接口可以在模拟、验证期间从设计外部来访问设计，包括模拟的具体控制和运行。

另外，Verilog HDL还是硬件设计人员和电子设计自动化工具之间的界面，其主要目的是用来编写设计文件，建立电子系统行为级的仿真模型，利用计算机的巨大能力对Verilog HDL建模的复杂数字逻辑进行仿真；然后再自动综合以生成符合要求且在电路结构上可以实现的数字逻辑网表（Netlist）；接着根据网表和某种工艺的器件自动生成具体电路，并生成该工艺条件下这种具体电路的延时模型；最后，仿真验证无误后用于制造ASIC芯片或写入FPGA和CPLD器件中。正如上面所述，这种典型的半定制方法也是目前集成电路的主流设计。

由于这个原因，本书和市场上大多数介绍硬件描述语言的书的侧重点不同。以往关于Verilog HDL的书的特点是：

（1）完整地介绍Verilog HDL；

（2）介绍中将Verilog HDL作为一种仿真工具来验证传统方式设计结果的逻辑设计。本书编撰的重点比较侧重于Verilog HDL硬件描述语言的实践指导，特别适用于参加工程实践前的学习与巩固理解。

本书的前面几章和目前大多数书籍一样，论述的是一些常用的语言语法。但是从复杂建

模一章开始，本书的重点转向了如何设计高效的硬件电路。其中，论述过程中有大量的设计经验和设计技巧。它们都是编者在实际的工程实践中的总结，它们可以使广大读者在实践中少走很多弯路，达到事半功倍的效果。

本书的另一个特点是强调了可综合的编码风格。本书从两个视角来讨论综合：1）映射：强调 Verilog HDL 语言和逻辑实现电路之间的对应关系；2）风格：强调如何利用已掌握的 Verilog HDL 语言描述出能被一般综合工具接受，并且实现高效的设计。本书的第 9 章与第 10 章从这两个视角出发，各自在不同角度做出了重点讲解。

写作的过程中，我们得到了很多人的帮助和支持，在此要感谢：

（1）Synopsys 公司和 Xlinux 公司提供了书中的有关 Verilog HDL 代码、实践指导以及有关的综合工具和布局布线工具。

（2）课题组的广大同志，是你们对我的指导使我在书中的很多方面得到了更新的理解，使本书对于实践更具有指导作用。

最后，鉴于时间仓促和学识有限，书中内容不当之处在所难免，敬请读者不吝赐教。

编者

于岳麓书院

此为试读，需要完整PDF请访问：www.ertongbook.com

目　录

此为试读，需要完整PDF请访问：www.ertongbook.com

第1章 Verilog HDL概述

1.1 Verilog HDL简介

Verilog HDL是一种硬件描述语言，现在用得比较多的硬件描述语言（HDL）包括VHDL和Verilog HDL。硬件描述语言可以将我们的设计在非常抽象的层次上加以描述，设计人员可以在不考虑具体制造工艺的情况下，对设计做寄存器传输级（RTL）的描述。之后，只要给出相应的工艺库，逻辑综合工具就能够自动地将RTL级的描述转换为任何制造工艺下的电路。如果产生了新的制造工艺，设计人员也无需改变自己的设计，只要将自己原来的RTL级描述交给综合工具就可以了。综合工具会在新的工艺下对原来的设计重新进行优化综合。

通过使用硬件描述语言对设计进行描述，可以尽早地对我们的设计进行功能验证。当设计处于RTL级时，我们可以对自己的设计做优化和修改，以达到预期的功能，同时还可以消除许多设计中的错误。

除此之外，硬件描述语言的好处还在于它与一般的程序设计语言很相似，因此容易掌握。Verilog HDL是硬件描述语言中的一种，在工业界被广泛使用。它可以用于算法级、门级或开关级的多种抽象设计层次上的数字系统建模。因此，被建模的数字系统对象的复杂性也随建模层次的不同略有不同。

Verilog HDL语言已经成为一种标准的硬件描述语言。它有以下一些特点：

首先，作为一种多用途的硬件描述语言，它具有很好的易学性和易用性。在语法上与C语言非常相似。如果你有一定的C语言编程经验，那么将会发现Verilog HDL语言学起来非常容易。

其次，Verilog HDL语言允许在同一个模块中进行不同抽象层次的描述。这样一来，设计人员就能同时使用开关级、门级、寄存器传输级或行为描述代码对同一个硬件模块进行描述。而且，设计人员只需要学习一门语言就可以完成对硬件的仿真和层次设计的工作。

第三，大多数逻辑综合工具都支持Verilog HDL，使得Verilog HDL成为设计人员的一个很好的选择。

第四，所有的制造厂商都提供了Verilog HDL的工艺库，用以支持仿真。这就为用Verilog HDL设计的芯片可以在不同的厂家进行生产，提供了更大的灵活性。

第五，Verilog HDL的程序语言接口拥有强大的功能，允许用户用C语言对内部数据结构进行描述。

1.2 Verilog HDL的历史

Verilog HDL语言是由GDA（Gateway Design Automatic）公司的Phi Moordy于1983年创造的，主要是为其模拟器产品提供支持；之后，Moordy又设计了Verilog-XL仿真器，并

取得了巨大的成功，同时也为 Verilog HDL 语言的推广提供了契机。此时 Verilog HDL 语言仅仅是一种用于模拟和仿真的专用语言。1989 年，GDA 被 Cadence 公司收购。在 1990 年，Candence 将 Verilog HDL 向公众推广，并成立了开放性 Verilog 国际组织（OVI，Open Verilog International）专门负责 Verilog HDL 语言的发展，现在它已成为一个国际性的组织。1992 年，OVI 决定将 Verilog HDL 推广为 IEEE 标准。Verilog HDL 于 1995 年成为 IEEE 的标准，即 IEEE standard 1364-1995。

1.3 Verilog HDL 和 VHDL 的比较

同样作为硬件描述语言，Verilog HDL 和 VHDL 两者的最大差别就在语法上，Verilog HDL 是类 C 语言，而 VHDL 则是类 ADA 语言。因为 C 语言是一种应用广泛且比较简单的编程语言，所以 Verilog HDL 比较容易学习，代码也较容易编写。相比之下，VHDL 允许用户自己定义数据类型，这样可以减少错误，但却增加了类型转换的麻烦。

Verilog HDL 可以用来描述开关级的电路模型。它的信号初值是不确定的，这就要求程序员必须在定义的时候进行初始化。而 VHDL 中的数据在定义后，若没有赋值则系统默认为 0。

Verilog HDL 和 VHDL 都是 IEEE 的标准，VHDL 于 1987 年成为 IEEE 标准，由于 VHDL 比 Verilog HDL 先成为 IEEE 标准，也许有人会问前者是不是比后者要好呢？那就要看看为什么 VHDL 先成为 IEEE 标准了。VHDL 由美国军方组织开发，而 Verilog HDL 则是由一家普通的民间公司 GDA 开发和推广的。正因如此，才能充分显示出 Verilog HDL 语言的优越性能，否则它也无法成为 IEEE 的标准，同时为业界人士所肯定。

VHDL 的全称是 Very high speed integrated circuit Hardware Description Language，也就是高速集成电路的硬件描述语言。因此，它主要应用在数字电路的设计中。目前，国内多数是用在 FPGA/CPLD/EPLD 的设计中，当然在一些实力较为雄厚的设计单位，它也被用来设计 ASIC。

可以说 Verilog HDL 和 VHDL 同为硬件描述语言，有许多共同点，同时也有自己的独到之处。

它们的共同点在于：

✓ 可以用编程的方法来描述硬件，以编程代替手工的硬件设计，能形式化地描述电路的结构和行为，支持逻辑设计中的层次与领域的描述；

✓ 可以使用它们的验证与电路仿真来保证电路设计的正确性，支持电路由高层到低层的综合；

✓ 它们描述的硬件设计与现实的制造工艺无关，同时又提供了属性来包含有关工艺的参数，提供了较高的灵活性；

✓ 用它们描述的设计能方便地进行管理，也易于设计人员阅读、理解他人的设计，并有较高的重用性。现在的大多数逻辑综合工具都能很好地对它们进行支持。

它们的区别在于：

✓ Verilog HDL 语言拥有广泛的使用群体，成熟的资源也远比 VHDL 要丰富得多，这与 GDA 公司和后来的 OVI 的努力不无关系。

✓ Verilog HDL 与 VHDL 相比最大的优势就是它的语法，作为一种类 C 的语言，自然要比 VHDL 的类 ADA 语言更容易学习，只要有一定的 C 语言编程经验，短短的两三个月就可以掌握 Verilog HDL 语言及其设计方法。而 ADA 语言却不是一门易学易用的语言，VHDL 也不是非常直观，即使有了 ADA 的编程经验，也要至少半年时间的专业培训才能熟练掌握它。

目前两种语言在行为级抽象上的覆盖范围也有不同。具体区别见图 1-1。

虽然就现在来说，Verilog HDL 和 VHDL 都有它们不足的一面，但它们都在不停地改进。由于前者的易学、易用性，对于初学硬件描述语言的设计人员来说是比较适合的。

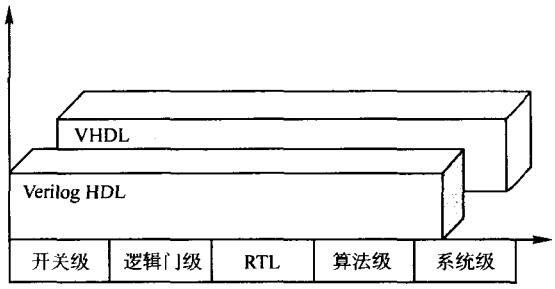

图 1-1 Verilog HDL 和 VHDL 的比较

1.4 计算机辅助设计的概况

数字电路的设计已经发展了若干年。最早的数字电路由真空管和晶体管构成；后来，出现了集成电路。第一代集成电路称为小规模集成电路（SSI，Small Scale Integration），它所集成的门的数量非常少。随着技术的发展，设计人员渐渐能够在一块芯片上集成上千个逻辑门，集成电路的规模得到了发展，这一代电路称为 MSI（Medium Scale Integration）。直到近些年来大规模、超大规模、甚大规模集成电路的出现，集成电路的规模越来越大，集成密度越来越高，相应的设计也越来越复杂。随着集成电路的发展，设计人员普遍感到全手工设计的难度越来越大，亟需一种自动化的设计流程，这种条件下，电子设计自动化 EDA（Electronic Design Automation）技术产生了。

EDA 是指以计算机为工作平台，融合应用电子技术、计算机技术、智能化技术的最新成果而研制成的电子 CAD 通用软件包，主要进行三方面的辅助设计工作，即 IC 设计、电子电路设计和 PCB 设计。EDA 技术已有 30 年的发展历程，大致可分为三个阶段。

● 20 世纪 70 年代为计算机辅助设计（CAD）阶段，人们开始用计算机辅助进行 IC 版图编辑、PCB 布局布线，取代了手工操作。

● 20 世纪 80 年代为计算机辅助工程（CAE）阶段。与 CAD 相比，CAE 除了有纯粹的图形绘制功能外，又增加了电路功能设计和结构设计，并且通过电气连接网络表将两者结合在一起，实现了工程设计。CAE 的主要功能是：原理图输入，逻辑仿真，电路分析，自动布局布线，PCB 后分析。

● 20 世纪 90 年代为 EDA 阶段。系统级设计进入 20 世纪 90 年代以来，电子信息类产品的开发明显呈现两个特点：一是产品复杂程度提高；二是产品上市时限紧迫。此时，系统级设计方法应运而生。一种高层的设计方法建立在门级描述的单层次设计基础之上，因此相应地，EDA 又有了新的发展。目前典型的 EDA 工具又分为设计输入工具、设计仿真工具、综合工具、布局和布线工具、物理验证工具（包括版图设计工具、版图验证工具、版图提取工具）及针对模拟电路的模拟电路仿真器等。

当前，EDA 代表了电子设计技术的最新发展方向，它的基本特征是：设计人员按照“自顶向下”的设计方法，对整个系统进行方案设计和功能划分，系统的关键电路用一片或几片专用集成电路（ASIC）实现，然后采用硬件描述语言（HDL）完成系统行为级设计，最后通过综合器和适配器生成最终的目标器件，这样的设计方法被称为高层次的电子设计方法。下面介绍与 EDA 基本特征有关的几个概念。

（1）“自顶向下”的设计方法。10 年前，电子设计的基本思路还是选用标准集成电路“自底向上”地构造出一个新的系统，这样的设计方法就如同一砖一瓦建造金字塔，不仅效率低、成本高而且容易出错。

高层次设计是一种“自顶向下”的全新设计方法，这种设计方法首先从系统设计入手，在顶层进行功能框图的划分和结构设计。在框图一级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述，在系统一级进行验证。然后，用综合优化工具生成具体门电路的网络表，其对应的物理实现级可以是印制电路板或专用集成电路。由于设计的主要仿真和调试过程是在高层次上完成的，这既有利于早期发现结构设计上的错误、避免设计工作的浪费，又减少了逻辑功能仿真的工作量，提高了设计的一次成功率。

（2）ASIC 设计现代电子产品的复杂度日益提高，一个电子系统可能由数万个中小规模集成电路构成，这就带来了体积大、功耗大、可靠性差的问题。解决这一问题的有效方法就是采用 ASIC 芯片进行设计。ASIC 按照设计方法的不同可分为全定制 ASIC、半定制 ASIC 和可编程 ASIC（也称为可编程逻辑器件）。

➢ 设计全定制 ASIC 芯片时，设计师要定义芯片上所有晶体管的几何图形和工艺规则，最后将设计结果交由 IC 厂家去进行掩模制造，做出产品。这种设计方法的优点是芯片可以获得最优的性能，即面积利用率高、速度快、功耗低；而缺点是开发周期长、费用高，只适合大批量产品开发。

➢ 半定制 ASIC 芯片的版图设计方法分为门阵列设计法和标准单元设计法，这两种方法都是约束性的设计方法，其主要目的就是简化设计，以牺牲芯片性能为代价来缩短开发时间。

➢ 可编程逻辑芯片与上述掩模 ASIC 的不同之处在于：设计人员完成版图设计后，在实验室内就可以烧制出自己的芯片，无需 IC 厂家的参与，大大缩短了开发周期。

（3）硬件描述语言（HDL）是一种用于设计硬件电子系统的计算机语言，它用软件编程的方式来描述电子系统的逻辑功能、电路结构和连接形式，与传统的门级描述方式相比，它更适合大规模系统的设计。例如一个 32 位的加法器，利用图形输入软件需要输入 500～1000 个门，而利用 Verilog HDL 语言只需要书写一行“A=B+C”即可。Verilog HDL 语言可读性强，易于修改和发现错误，作为 IEEE 采纳的硬件描述语言标准，Verilog HDL 被绝大多数 EDA 工具所支持。

总的来说，EDA 技术是电子设计领域的一场革命，目前正处于高速发展阶段，每年都有新的 EDA 工具问世。广大电子工程人员掌握这一先进技术，不仅是提高设计效率的需要，更是我国电子工业在世界市场上生存、竞争与发展的需要。

1.5 目前的集成电路设计

目前集成电路的设计大部分是基于硬件描述语言（HDL）的设计流程。大多数 EDA 设

计工具都可以用来设计集成电路，它们均使用 Verilog HDL 语言或者 VHDL 语言进行描述。

设计的基本流程是：①用硬件描述语言进行设计描述；②用模拟来检查设计的功能的正确性；③用综合将我们用硬件描述语言描述的设计合成逻辑门；④在综合之后，要做的就是自动布局布线（APR，Auto-Place-Route）。

图 1-2 描述了一个集成电路设计的典型流程：从详细说明到寄存器传输级的编码，最后到实现。

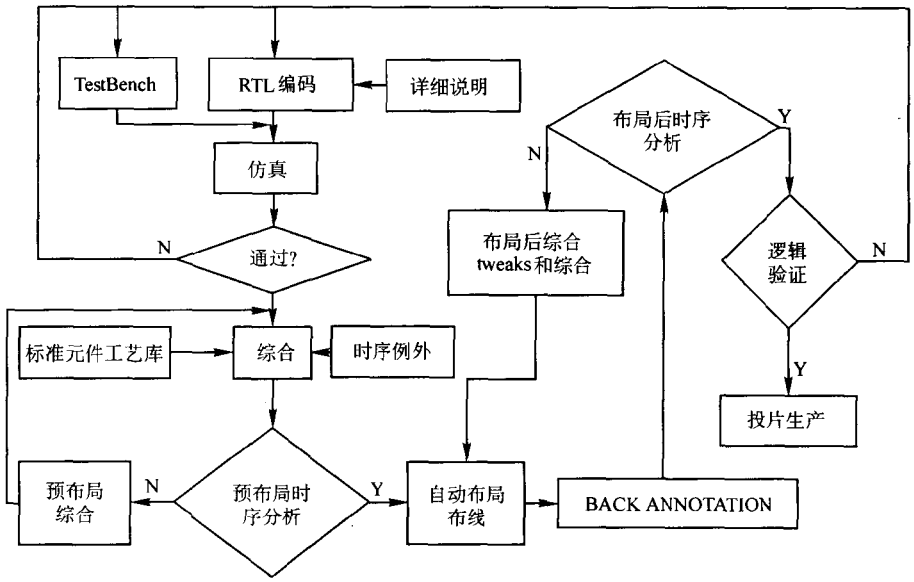

图 1-2 整个设计流程

1.5.1 第一步：详细说明

详细说明是设计中最重要的部分。在这一步完成后，我们必须定义好所要设计芯片的特性和功能，同时对芯片中的各个模块进行布局。

在详细说明的过程中，我们要根据要求的特性和功能确定芯片的系统结构和子模块的系统结构。芯片的系统结构对于整个芯片的效率、功耗和硅片面积有很大的影响，可见这一步的重要性。

芯片系统结构和子模块系统结构的定义方法如图 1-3 所示。

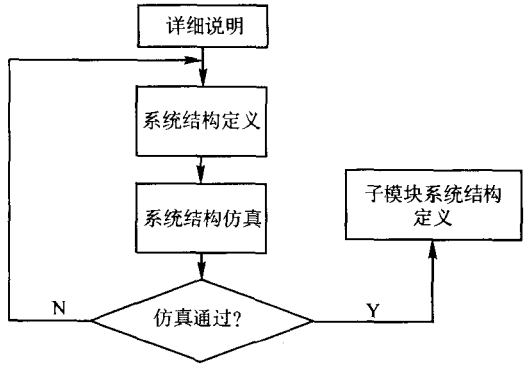

图 1-3 结构的定义方法

详细说明包括对芯片的特性和功能的一系列要求，其中有功耗、电压、时延和性能标准等。根据这些要求，我们可以得到芯片的系统结构草图，这个草图必须考虑到设计中对时延、电压、速度和性能等的影响因素。然后对这个系统结构的草图进行仿真，以确

保这个系统结构能达到各方面的设计要求。

在系统结构仿真过程中，如果仿真的结果表明现在的系统结构无法达到设计的要求时，就必须进行修改。当所有的要求都达到时，我们才能进行下一步的工作，也就是子模块系统结构的定义。从设计的角度看，子模块的设计是为了实现整个芯片的系统结构。子模块系统结构的设计是整个设计阶段的关键部分。它连接了芯片的系统结构和电路，同时使得一个概念中的芯片系统结构成为一个真正的设计。

1.5.2 第二步：寄存器传输级（RTL）编码

RTL 编码的编写是真正的设计过程的开始。子模块系统结构是芯片系统结构的实现，而 RTL 编码则是子模块系统结构的实现。为了实现子模块的系统结构，我们的编码必须是可综合的。

我们有许多方法编写 RTL 代码，有的设计人员习惯于用图形化的工具编写，如 Summit Design's Visual HDL 和 Mentor Graphics HDL Designer 等，设计人员可用这些工具中的 bubble 图形、流程图或者真值表来设计子模块系统结构，这些方法最终都能由特别工具生成用 Verilog HDL 或 VHDL 语言编写的 RTL 代码。而另一些设计人员则比较喜欢直接编写 RTL 代码。无论使用哪种方法，最终的结果都是要产生正确描述设计的逻辑功能的可综合的 RTL 代码。这里建议大家直接编写 RTL 代码。

Verilog HDL 语言有三种不同类型的代码，表 1-1 中详细地列出了它们的异同。

表 1-1 三种代码类型的比较

RTL	行为级（Behavioral）	结构级（Structure）
RTL 代码一般用于可综合的设计。它也可以像行为级描述一样，用于描述它的行为。然而，RTL 描述用的仅仅是 Verilog 语言中的一部分语法，而不是全部，因为有些语法是不能综合的。RTL 描述的能力较结构级描述要强，却比行为级描述弱	行为级描述用“黑盒子”的方法描述要设计的芯片，也就是描述什么样的输入得到什么样的输出，行为级代码仿真芯片的功能和操作。这种代码一般用于系统级的测试	结构级的 Verilog 代码包含了定义设计中各个组件和组件之间的接口的数据类型结构，它描述了设计的线网。在不同的设计工具之间传递设计的线网信息时一般使用结构级描述

module RTL（inputA, inputB,
inputC, inputD, outputA）;
 	
input inputA, inputB, inputC,
inputD;
 	
output outputA;
reg outputA;
 	
always @ （inputA or inputB or
inputC or inputD）
begin
	module behavior（inputA, inputB,
	inputC, inputD, outputA）;
	
	input inputA, inputB, inputC, inputD;
	output outputA;
	reg outputA;
	always @ （inputA or inputB or inputC
	or inputD）
	begin
	if （inputA& inputB & ~inputD）
	outputA=#5 inputC;
	else if （inputA&inputD& ~inputC）
		module structure（inputA,
		inputB, inputC, inputD,
		outputA）;
		
		input inputA, inputB, inputC,
		inputD;
		
		output outputA;
		reg outputA;
		
		wire n30;
		AN3

此为试读，需要完整PDF请访问：www.ertongbook.com