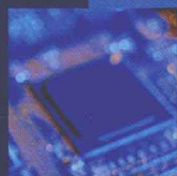




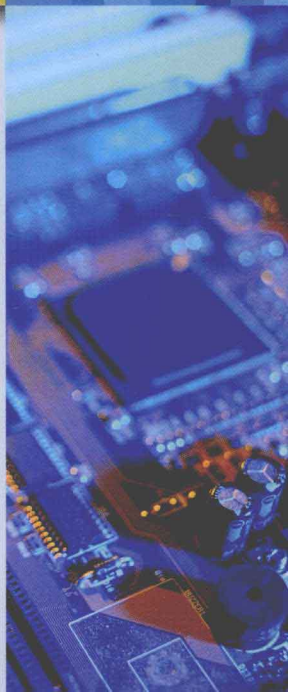
普通高等教育电子科学与技术类特色专业系列规划教材

集成电路设计技术

高 勇 乔世杰 陈 曦 编著



科学出版社



普通高等教育电子科学与技术类特色专业系列规划教材

集成电路设计技术

高 勇 乔世杰 陈 曦 编著

科学出版社

北 京

内 容 简 介

本书系统介绍了集成电路设计的基本方法,在体系结构上分为三部分。第一部分为集成电路设计概述和集成电路设计方法,主要讲述集成电路的发展历史、发展方向,集成电路 EDA 的基本概念,集成电路正向和反向、自底向上和自顶向下的设计方法,以及全定制、半定制和可编程逻辑器件的设计方法。第二部分为 SPICE 模拟技术和 SPICE 器件模型,详细介绍 SIPCE 语句,以及二极管、双极晶体管、MOS 场效应管的 SIPCE 模型。第三部分为硬件描述语言、逻辑综合及版图技术,结合实例讲述利用 Verilog 硬件描述语言对电路进行建模及仿真测试的方法,利用 Design Compiler 进行逻辑综合的过程和方法,以及全定制版图和基于标准单元的版图设计方法。

本书注重实践,用具体的实例介绍集成电路设计的基本方法,各章均附有适量的习题,以帮助读者学习和理解各章的内容。

本书可作为电子科学与技术、微电子学与固体电子学、通信工程、电子信息工程等专业高年级本科生的教材,也可供相关工程技术人员参考。

图书在版编目(CIP)数据

集成电路设计技术/高勇,乔世杰,陈曦编著. —北京:科学出版社, 2011. 7

(普通高等教育电子科学与技术类特色专业系列规划教材)

ISBN 978-7-03-031797-1

I. ①集… II. ①高…②乔…③陈… III. ①集成电路-电路设计-高等学校-教材 IV. ①TN402

中国版本图书馆 CIP 数据核字(2011)第 131871 号

责任编辑:刘鹏飞 匡 敏 于 红/ 责任校对:陈玉凤

责任印制:张克忠 / 封面设计:迷底书装

科 学 出 版 社 出 版

北京东黄城根北街 16 号

邮政编码: 100717

<http://www.sciencep.com>

张 志 印 刷 厂 印 刷

科学出版社发行 各地新华书店经销

*

2011 年 7 月第 一 版 开本: 720×1000 1/16

2011 年 7 月第一次印刷 印张: 15

印数: 1—3 000 字数: 303 000

定价: 30.00 元

(如有印装质量问题,我社负责调换)

《普通高等教育电子科学与技术类特色专业系列规划教材》

编 委 会

顾 问:姚建铨 中国科学院院士 天津大学
蔡惟铮 国家级教学名师 哈尔滨工业大学

主 任:吕志伟 教授 哈尔滨工业大学

副主任:金亚秋 教授 复旦大学
郝 跃 教授 西安电子科技大学
严晓浪 教授 浙江大学
胡华强 编审 科学出版社

委 员:(按姓氏笔画排序)

王卫东	教授	中国科学技术大学	张 兴	教授	北京大学
王志华	教授	清华大学	张怀武	教授	电子科技大学
毛军发	教授	上海交通大学	张贵忠	教授	天津大学
文玉梅	教授	重庆大学	张雪英	教授	太原理工大学
匡 敏	副编审	科学出版社	陈弟虎	教授	中山大学
仲顺安	教授	北京理工大学	陈徐宗	教授	北京大学
任晓敏	教授	北京邮电大学	陈鹤鸣	教授	南京邮电大学
刘纯亮	教授	西安交通大学	欧阳征标	教授	深圳大学
杨冬晓	教授	浙江大学	都思丹	教授	南京大学
杨瑞霞	教授	河北工业大学	高 勇	教授	西安理工大学
时龙兴	教授	东南大学	郭树旭	教授	吉林大学
何伟明	教授	哈尔滨工业大学	黄卡玛	教授	四川大学
余 江	教授	云南大学	崔一平	教授	东南大学
邸 旭	教授	长春理工大学	逯贵祯	教授	中国传媒大学
邹雪城	教授	华中科技大学	曾 云	教授	湖南大学
应质峰	教授	复旦大学	谢 泉	教授	贵州大学
宋 梅	教授	北京邮电大学	蔡 敏	教授	华南理工大学



材料、能源和信息是 21 世纪的三大支柱产业,电子科学与技术是电子工程和电子信息技术发展的基础学科。目前,许多发达国家,如美国、德国、日本、英国、法国等,都竞相将电子科学与技术相关领域纳入了国家发展计划。我国对微电子技术和光电子技术等方向的研究也给予了高度重视,在多项国家级战略性科技计划中,如“863 计划”、“973 计划”、国家科技攻关计划、国家重大科技专项等,都有大量立项。在近几年发布的国务院《2006—2020 年国家信息化发展战略》、《国家中长期科学和技术发展规划纲要(2006—2020 年)》中,对我国的集成电路(特别是中央处理器芯片)、新一代信息功能材料及器件、高清晰度大屏幕平板显示、激光技术等关键领域都提出了明确目标。

电子科学与技术主要研究制造电子、光电子的各种材料及元器件,以及集成电路、集成电子系统和光电子系统,并研究开发相应的设计和制造技术。它涵盖的学科范围很广,是多学科交叉的综合性学科。现在,教育部本科专业目录中,电子科学与技术专业涵盖了微电子技术、光电子技术、物理电子技术、电子材料与元器件及电磁场与微波等专业方向。随着学科的交叉发展和产业的整合,各专业方向已彼此渗透交融。如何拓宽专业方向?如何体现专业特色?是当前我国高校电子科学与技术专业在办学方面所迫切需要探讨的问题。教育部电子科学与技术专业教学指导分委员会起草的《普通高等学校电子科学与技术本科指导性专业规范》,对本专业的核心知识领域和知识单元的覆盖范围作了规定,旨在引导高等学校电子科学与技术专业在办学方向与人才培养方面探索新的模式,不断提高教学质量,增强高校教学的创新能力,更好地培养知识、能力、素质全面协调发展的,适合我国电子科学与技术各领域不同层次发展需求的有用人才。

教育部为了推进“质量工程”,自 2007 年 10 月开始,先后三批遴选了国家级特色专业建设点。目前,有三十余个院系被批准为电子科学与技术国家级特色专业建设点。在教材建设方面,2008 年 10 月,教育部高教司在《关于加强“质量工程”本科特色专业建设的指导性意见》中指示:“教材建设要反映教学内容改革的成果,积极推进教材、教学参考资料和教学课件三位一体的立体化教材建设,选用高质量教材,编写新教材。”为了适应新形势下对电子科学与技术领域人才培养的需求,本届电子科学与技术教学指导分委员会经过广泛深入调研,依托电子科学与技术专业国家级、省级特色专业建设点,与科学出版社共同组织出版本套《普通高等教育电子科学与技术类特色专业系列规划教材》,旨在贯彻专业规范和教学基本要求,总结和推广各特色专业建设点的教学经验和教学成果,以提高我国电子科学与技术专业本科教学的整体水平。

本套丛书在组织编写中,重点考虑了以下几方面的特色:

1. 体现专业特色,贯彻专业规范和教学基本要求。依托“国家级、省级特色专业建设点”,汇总优秀教学成果,将特色专业建设的内容、国内外科研教学的成果、电子科学

与技术方向的专业规范与教学基本要求结合起来,教材内容安排围绕专业规范,体现核心知识单元与知识点。

2. 按照分类指导原则,满足多层面的需求。针对同一类课程,根据不同的教学层次(普通院校、重点院校或研究型大学、应用型大学)和学时要求(多学时、少学时),涵盖不同范围的拓展知识单元,编写适合不同层次需求的教材。注重与先修课程、后续课程的有机衔接,每本教材在重视系统性和完整性的基础上,尽量减少内容重复。

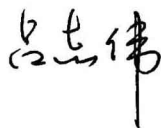
3. 传承精品,吐故纳新。本套丛书吸纳了科学出版社 2004 年出版的《高等院校电子科学与技术专业系列教材》中受到高校师生欢迎的精品教材。在保证前一版教材准确诠释基本概念、基本理论的基础上,新版教材更新内容,注重反映本学科领域的最新成果和发展方向,真正使教材能够达到培养“厚基础、宽口径、会设计、可操作、能发展”人才的目的。

4. 拓宽专业基础,面向工程应用,加强实践环节。适当拓宽专业基础知识的范围,以增强学生的适应性;面向工程应用,突出工科特色,反映新技术、新工艺;注重实践环节的设置,以促进学生的实际动手能力和创新能力的培养。

5. 注重立体化建设。本套丛书除了主教材外,还将逐步配套学习辅导书、教师参考书和多媒体课件等,为任课教师提供丰富的配套教学资源,方便教师教学,同时帮助学生复习与自学,使教材更加易教易学。

本套丛书的编写汇聚了全国高校的优势资源,突出了多层次与适应性、综合性与多样性、前沿性与先进性、理论与实践的结合。在教材的组织和出版过程中得到了相关高校教务处及学院的帮助,在此表示衷心的感谢。

根据电子科学与技术专业发展战略的要求,我们将对本套丛书不断更新,以保持教材的先进性和适用性。热忱欢迎全国同行以及关注电子科学与技术领域教育及发展前景的广大有识之士对我们的工作提出宝贵意见和建议!



教育部高等学校电子科学与技术专业
教学指导分委员会主任
哈尔滨工业大学教授



自从 1959 年世界上第一块集成电路诞生以来,集成电路经历了从小规模集成电路一直到特大规模集成电路的发展过程,在单个芯片上集成了上亿个晶体管,并一直遵从摩尔定律。随着信息技术的发展,电子信息类产品的复杂性显著增加,集成电路设计行业需要大批的集成电路设计人才。为了帮助读者掌握集成电路设计方面的知识,我们编写了本书。

本书编写的基本指导思想是理论和实践相结合,用具体的实例介绍集成电路设计的基本方法。本书在体系结构上分为三部分。第一部分为集成电路设计概述和集成电路设计方法介绍,包含第 1 章和第 2 章。其中,第 1 章简述集成电路的发展过程,讨论集成电路的发展方向,并给出集成电路 EDA 的基本概念。第 2 章讲述集成电路设计方法,包括正向和反向设计、自底向上和自顶向下的设计方法,并讲述全定制、半定制及可编程逻辑器件的设计方法。第二部分为 SPICE 模拟技术及 SPICE 器件模型,包含第 3 章和第 4 章。其中,第 3 章给出电路模拟的基本思想,对 SPICE 的语句进行详细描述。第 4 章主要讲述 SPICE 器件模型,包括二极管、三极管及 MOS 器件的模型。第三部分为硬件描述语言、逻辑综合及版图技术,包含第 5 章~第 7 章。其中,第 5 章对 Verilog 硬件描述语言的基本语法进行详细描述,并给出大量实例,以帮助读者掌握利用 Verilog 硬件描述语言对电路进行建模和仿真测试的基本方法。第 6 章主要讲述利用 Design Compiler 进行逻辑综合的过程和方法,给出综合的实例,并简述了静态时序分析和系统分割的基本方法。第 7 章讲述集成电路版图的基本知识,并利用实例讲述全定制版图设计方法和基于标准单元的版图设计方法。通过以上内容的学习,读者可以掌握集成电路设计的基本方法,为将来从事集成电路设计行业打下基础。

本书每一章都配有习题,可以帮助读者学习和理解教材的内容;同时还提供电子课件,方便教师教学。本书可作为电子科学与技术、微电子学与固体电子学、通信工程、电子信息工程等专业高年级本科生的教材,也可供相关工程技术人员参考。

高勇教授主持了全书的编写工作,组织讨论了教材大纲,并提供大量的素材。本书第 1 章、第 2 章由高勇教授编写,第 3 章、第 4 章由陈曦编写,第 5 章~第 7 章由乔世杰编写,全书由高勇教授统稿。本书编写过程中得到了科学出版社编辑的大力支持,在此表示感谢。

由于作者水平有限,书中难免有疏漏和不足之处,欢迎读者批评指正。

作 者

2011 年 4 月



丛书序

前言

第 1 章 集成电路设计概述	1
1.1 集成电路的发展历史	1
1.2 微电子技术的主要发展方向	4
1.2.1 增大晶圆尺寸并缩小特征尺寸	4
1.2.2 集成电路走向系统芯片	8
1.2.3 微机电系统和生物芯片	9
1.3 电子设计自动化技术	9
习题	11
第 2 章 集成电路设计方法	12
2.1 集成电路的分层分级设计	12
2.2 集成电路设计步骤	13
2.2.1 正向设计和反向设计	13
2.2.2 自底向上设计和自顶向下设计	13
2.3 集成电路设计方法分述	14
2.3.1 全定制设计方法	14
2.3.2 半定制设计方法	15
习题	29
第 3 章 集成电路模拟与 SPICE	30
3.1 电路模拟的概念和作用	30
3.2 SPICE 简介	30
3.2.1 通用电路模拟程序的基本组成	31
3.2.2 电路模拟的流程	32
3.2.3 SPICE 软件功能介绍	32
3.3 SPICE 程序结构	35
3.3.1 SPICE 简单程序举例	35
3.3.2 节点描述	37
3.3.3 标题语句、注释和结束语句	37
3.3.4 基本元件描述语句	37
3.3.5 电源描述语句	39
3.3.6 半导体器件描述语句	42
3.3.7 模型描述语句	44
3.3.8 子电路描述语句	44

3.3.9 库文件调用语句	44
3.3.10 文件包含语句	45
3.4 SPICE 分析与控制语句	45
3.4.1 分析语句	45
3.4.2 控制语句	48
3.5 SPICE 分析及仿真举例	49
习题	50
第4章 半导体器件模型	51
4.1 二极管模型	51
4.1.1 二极管直流模型	51
4.1.2 二极管瞬态模型	52
4.1.3 二极管噪声模型	52
4.1.4 二极管语句及模型参数	53
4.2 双极晶体管模型	54
4.2.1 双极晶体管 EM1 模型	54
4.2.2 双极晶体管 EM2 模型	55
4.2.3 双极晶体管 EM3 模型	56
4.2.4 双极晶体管 GP 模型	58
4.2.5 双极晶体管语句及模型参数	58
4.3 MOSFET 模型	60
4.3.1 MOSFET 模型等效电路	60
4.3.2 MOSFET 模型分述	61
4.3.3 MOSFET 语句与模型参数	65
习题	67
第5章 Verilog 硬件描述语言	68
5.1 VerilogHDL 模块的基本概念	68
5.2 VerilogHDL 的要素	69
5.2.1 标识符	70
5.2.2 注释	70
5.2.3 VerilogHDL 的 4 种逻辑值	70
5.2.4 编译指令	71
5.2.5 系统任务和函数	73
5.2.6 数据类型	75
5.2.7 位选择和部分选择	76
5.2.8 参数	76
5.3 运算符	78
5.3.1 算术运算符	78
5.3.2 位运算符	78

5.3.3	逻辑运算符	79
5.3.4	关系运算符	79
5.3.5	等式运算符	79
5.3.6	移位运算符	79
5.3.7	位拼接运算符	80
5.3.8	缩减运算符	80
5.3.9	条件运算符	81
5.4	结构建模方式	81
5.4.1	内建基本门	81
5.4.2	门延时	82
5.4.3	门级建模	83
5.4.4	模块实例化	83
5.5	数据流建模方式	85
5.5.1	连续赋值语句	85
5.5.2	延时	86
5.5.3	数据流建模	87
5.6	行为建模方式	87
5.6.1	initial 语句	87
5.6.2	always 语句	88
5.6.3	条件语句	90
5.6.4	多分支语句	95
5.6.5	循环语句	102
5.6.6	阻塞赋值和非阻塞赋值	107
5.7	混合建模方式	109
5.8	任务和函数	110
5.8.1	任务	110
5.8.2	函数	112
5.9	组合逻辑建模	114
5.10	时序逻辑建模	117
5.11	ROM 建模	125
5.12	有限状态机建模	126
5.13	测试平台	130
	习题	133
第 6 章	逻辑综合	135
6.1	逻辑综合的基本步骤和流程	135
6.2	综合工具 Design Compiler	137
6.3	指定库文件	137
6.4	读入设计	138

6.5	DC 中的设计对象	138
6.6	定义工作环境	139
6.6.1	定义工作条件	139
6.6.2	定义线负载模型	140
6.6.3	定义系统接口	142
6.7	定义设计约束	143
6.7.1	定义设计规则约束	143
6.7.2	定义设计优化约束	144
6.8	选择编译策略	147
6.9	优化设计	150
6.10	综合举例	151
6.11	静态时序分析	156
6.12	系统分割	157
	习题	159
第7章	版图设计	160
7.1	版图设计规则	160
7.1.1	设计规则的定义	160
7.1.2	设计规则表示方法	160
7.1.3	MOSIS 设计规则	160
7.2	版图设计方法	166
7.3	版图检查与验证	166
7.4	全定制版图设计	167
7.4.1	反相器原理图设计	167
7.4.2	反相器版图设计	171
7.4.3	设计规则检查	180
7.4.4	LVS	182
7.5	基于标准单元的版图设计	186
7.5.1	准备门级网表和时序约束文件	186
7.5.2	添加焊盘单元	189
7.5.3	定义 IO 约束文件	191
7.5.4	数据准备	193
7.5.5	布局规划	199
7.5.6	标准单元自动布局	204
7.5.7	时钟树综合	206
7.5.8	自动布线	215
7.5.9	设计输出	218
	习题	226
	参考文献	227

第 1 章

集成电路设计概述

微电子学是电子学的一门分支,是信息领域的重要基础学科。在信息领域中,微电子学技术的发展水平,直接影响信息技术的发展,是信息时代的标志和基础。微电子学的主要研究对象是集成电路(integrated circuit, IC)。集成电路是指通过一系列的半导体加工工艺,在单个半导体晶片上按照一定的互连关系,将晶体管、二极管等有源器件及电阻、电容等无源器件集成在一起并完成特定功能的电子电路。集成电路正在向着高集成度、低功耗、高性能、高可靠性的方向发展。此外,微电子学的渗透力极强,它可以和其他学科结合而衍生出一系列新的交叉学科,如微机电系统、生物芯片等。

1.1 集成电路的发展历史

1946 年,在美国宾夕法尼亚大学诞生了世界上第一台计算机 ENIAC,如图 1.1 所示。这台计算机由 18 000 个电子管、70 000 个电阻、10 000 个电容器及 6 000 个继电器组成,长 24m、宽 6m、高 2.5m,重 30t,运算速度为 5 000 次/s,功率达到 140kW,平均无故障运行时间为 7min。当时有人认为全世界只需要 4 台这样的计算机就足够了。

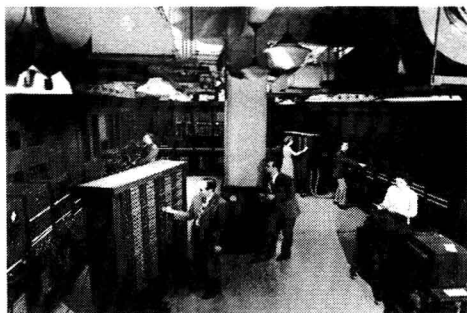


图 1.1 世界上第一台计算机 ENIAC



图 1.2 第一个晶体管

1946 年 1 月,美国 Bell 实验室正式成立半导体研究小组,该研究小组由 Schokley 负责,成员包括理论物理学家 J. Bardeen 和实验物理学家 Brattain。研究小组在 1947 年 12 月 23 日观测到了具有放大作用的晶体管,如图 1.2 所示。三位科学家因为发明

晶体管而在 1956 年共同获得诺贝尔物理学奖。

1952 年 5 月,英国科学家 Dummer 提出了集成电路的设想。1958 年以美国德州仪器公司的科学家基尔比(Claire Kilby)为首的研究小组研制出了世界上第一块集成电路,并在 1959 年公布,如图 1.3 所示,基尔比因为发明第一块集成电路而获得 2000 年的诺贝尔物理学奖。

1959 年 7 月,美国 Fairchild 公司的 Noyce 采用平面工艺发明了世界上第一块单片集成电路,如图 1.4 所示。该单片集成电路是与现在的硅集成电路直接有关的发明,它将平面工艺、照相腐蚀和布线技术结合起来,获得了大量生产集成电路的可能性。从此,集成电路经历了小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI)、特大规模集成电路(ULSI)的发展过程,目前还有人提出了巨大规模集成电路(GSI)的说法。各种规模的集成电路所对应的门数或元器件数如表 1.1 所示。

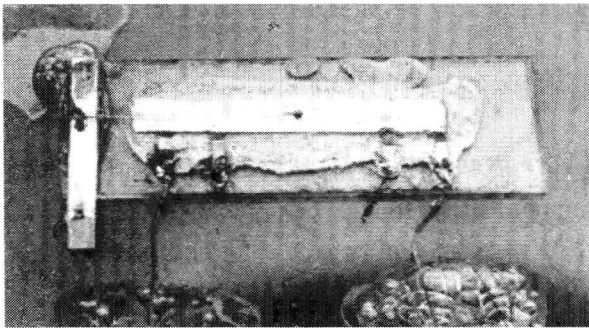


图 1.3 第一块集成电路

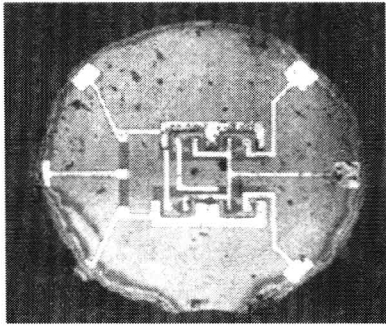


图 1.4 第一块单片集成电路

表 1.1 各种规模的集成电路所对应的门数或元器件数

项目	SSI	MSI	LSI	VLSI	ULSI	GSI
元器件数	$<10^2$	$10^2 \sim 10^3$	$10^3 \sim 10^5$	$10^5 \sim 10^7$	$10^7 \sim 10^9$	$>10^9$
门数	<10	$10 \sim 10^2$	$10^2 \sim 10^4$	$10^4 \sim 10^6$	$10^6 \sim 10^8$	$>10^8$

集成电路的发展一直遵从摩尔定律,即集成电路芯片的集成度每 1.5 年翻 1 番,目前这一规律仍成立。下面以 Intel 公司的微处理器为例,说明集成电路发展符合摩尔定律。Intel 公司微处理器的发展历程如图 1.5 所示。

Intel 公司在 1971 年推出了第一个微处理器 4004,该处理器采用 $10\mu\text{m}$ 的 PMOS 工艺,包含 2 250 个晶体管,如图 1.6 所示。1979 年 3 月,Intel 公司推出了首款 16 位 8086 和 8088 CPU,包含 2.9 万个晶体管,时钟频率为 5MHz、8MHz 和 10MHz。该 CPU 被 IBM 公司作为 IBM PC 的“心脏”。在 1982 年,Intel 公司推出了 80286 微处理器,该微处理器包含 13.4 万个晶体管,时钟频率为 6MHz、8MHz、10MHz 和

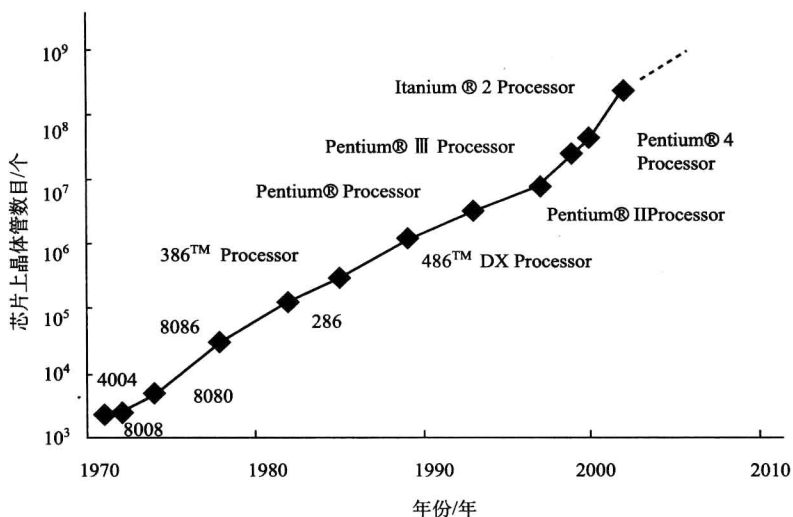


图 1.5 Intel 公司的微处理器发展历程

12.5MHz。1985 年 10 月, Intel 公司推出了首款 32 位处理器 80386, 包含 27.5 万个晶体管, 时钟频率为 20~40MHz。1989 年, Intel 公司推出基于 BiCMOS 工艺的微处理器 80486, 包含的晶体管数达到 118 万个, 时钟频率 33~100MHz。1992 年 10 月, Intel 公司发布基于 0.8 μ m BiCMOS 工艺的奔腾(Pentium)微处理器, 它包含 310 万个晶体管, 时钟频率为 66/60~120MHz。1995 年 11 月, Intel 公司发布基于 0.6/0.35 μ m CMOS 工艺的 Pentium Pro 微处理器, 晶体管数为 550 万个, 时钟频率为 150~200MHz。1997 年 5 月, Intel 公司发布 Pentium II 微处理器, 采用 0.35/0.25 μ m CMOS 工艺, 晶体管数为 750 万个, 时钟频率为 233~450 MHz, 如图 1.7 所示。1999 年 2 月, Intel 公司推出 Pentium III 处理器, 包含 950 万个晶体管, 采用 0.25 μ m 工艺。2002 年 1 月, Intel 公司推出采用 0.13 μ m 工艺的 Pentium 4 处理器, 该处理器包含 5 500 万个晶体管。

2002 年 8 月 13 日, Intel 公司突破 90nm 制程, 2005 年过渡到 65nm 工艺, 2007 年 Intel 公司 45nm 工艺正式量产。Intel 公司微处理器的发展也不再单纯追求高主频, 而是向低功耗和高性能方向发展, 逐步推出双核甚至多核微处理器。2005 年, Intel 公司推出采用 45nm 工艺的双核 Pentium D 处理器。2006 年 7 月, Intel 公司发布酷睿 2 双核处理器, 包含晶体管数高达 2.91 亿。在 2010 年初, Intel 公司发布基于 32nm 的双核处理器。到 2011 年第四季度, Intel 公司将会推出基于 22nm 工艺的产品。

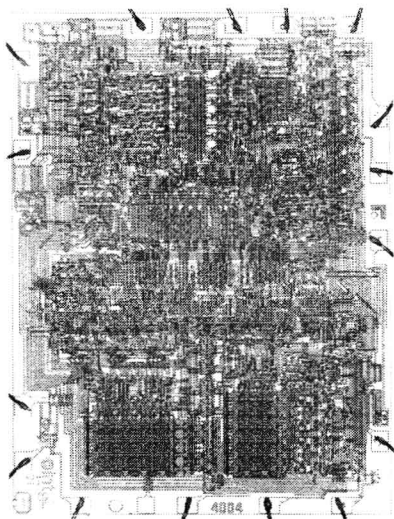


图 1.6 Intel 公司的 4004 CPU

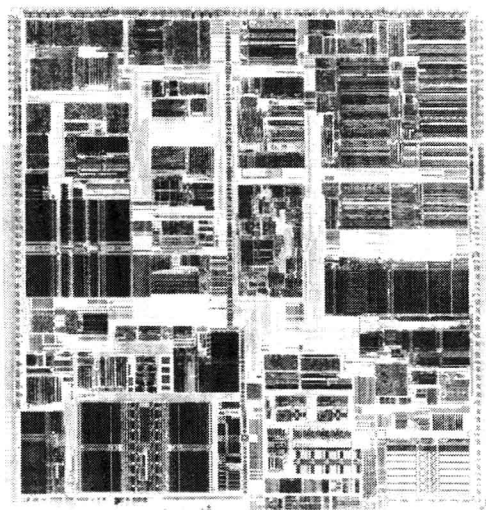


图 1.7 Intel 公司的 Pentium II CPU

1.2 微电子技术的主要发展方向

随着信息技术的发展,电子信息类产品的复杂性显著增加,上市时间日益紧迫,而集成电路在电子销售额中的份额逐年提高,目前已进入后 PC 时代,所谓的 3C,即计算机(computer)、通信(communication)及消费类电子(consumption)。集成电路已经从 3G($G=10^9$)时代向 3T($T=10^{12}$)时代迈进,即存储量从 G 字节发展到 T 字节,速度从 GHz 发展到 THz,数据传输率从 Gbps(bits per second, bps 即比特每秒)发展到 Tbps。

目前,微电子技术正朝着三个方向发展。第一,继续增大晶圆尺寸并缩小特征尺寸;第二,集成电路向系统芯片(system on chip, SOC)方向发展;第三,微电子技术与其他领域相结合将产生新产业和新学科,如微机电系统和生物芯片。

1.2.1 增大晶圆尺寸并缩小特征尺寸

硅晶圆尺寸是指集成电路生产过程中硅晶圆的直径。硅晶圆尺寸越大,每块晶圆能生产的芯片个数就越多。集成电路的硅晶圆直径已经从 200mm 转入 300mm。在 $0.13\mu\text{m}$ 工艺下,200mm 的晶圆可以生产大约 179 个 CPU,而 300mm 的晶圆可生产大约 427 个 CPU。但是,在增加晶圆尺寸方面也遇到一定的限制。首先,在晶圆生产的过程中,晶圆直径越大,晶圆的质量也越大,300mm 的晶圆其质量大于 200kg。其次,大体积溶液的热对流衰减问题也是拉制大直径单晶的重要问题。再次,一般情况下,离

晶圆中心越远越容易出现坏点,从硅晶圆中心向外扩展,坏点数呈上升趋势。最后,需要大量的资金投入也限制了生产商随心所欲地增大晶圆尺寸。预计在 2015 年可能出现 450mm 直径的硅片。图 1.8 所示为 450mm、300mm 和 200mm 的晶圆。

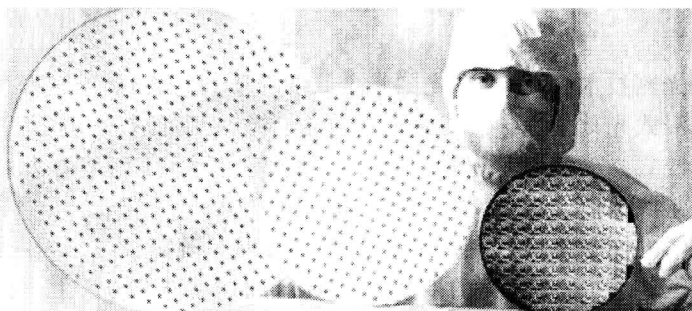


图 1.8 450mm、300mm 和 200mm 的晶圆

器件的特征尺寸是指器件中的最小线条宽度,特征尺寸经常作为集成电路技术水平的标志。对 MOS 器件而言,特征尺寸通常是指器件栅电极所决定的沟道几何长度,是工艺线能加工的最小尺寸。缩小特征尺寸从而提高集成度是提高产品性能/价格比的有效手段之一。只有特征尺寸缩小了,在同等集成度的条件下,芯片面积才可以做得更小,而且可以使产品的速度、可靠性都得到提高,相应成本也可以降低。集成电路的特征尺寸从 1959 年以后的 40 年间缩小为原来的 1/140,而晶体管平均价格降低为原来的百万分之一。集成电路特征尺寸从 $10\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $0.8\mu\text{m}$ (亚微米)发展到半微米即 $0.5\mu\text{m}$,直到深亚微米的 $0.35\mu\text{m}$ 、 $0.25\mu\text{m}$ 、 $0.18\mu\text{m}$ 、 $0.13\mu\text{m}$,目前已经到纳米级别的 90 nm、65 nm、45nm、32nm、22nm。如图 1.9 所示为不同特征尺寸下的晶体管。

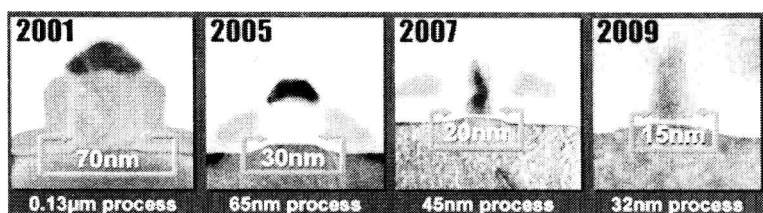


图 1.9 缩小器件的特征尺寸

有三个关键技术支撑着微电子技术向前发展,第一个关键技术是 Sub-100nm 光刻技术。集成电路的制造工序包括材料制备、掩膜、光刻、清洗、刻蚀、渗杂、化学机械抛光等。其中,最为关键的就是光刻工艺,光刻工艺的先进程度决定着制造工艺的先进程度。随着芯片集成度的提高,对光刻技术提出了越来越高的要求。如果没有光刻技术的进步,集成电路就不可能从微米进入深亚微米再进入纳米时代。随着集成电路由微

米级向纳米级发展,光刻技术所采用的光波波长也从近紫外区(NUV,波长 436nm、365nm)进入到深紫外区(DUV,波长 248nm、193nm)。目前,大部分芯片制造工艺采用 248nm 和 193nm 光刻技术。传统的 193nm 光学光刻技术加入了沉浸式技术之后,已经可以延伸到 22nm 左右工艺中,193nm 沉浸式光刻技术成为 Sub-100nm 工艺的功臣。

在传统的光刻技术中,镜头和光刻胶之间的介质为空气,将空气介质换成液体就构成了所谓的沉浸式光刻技术。沉浸式光刻技术目前采用的液体介质是两次去离子的蒸馏水。由于沉浸式光刻技术对现有光刻技术的变动不大,可以节省大量的研发和制造成本,在 2002 年底迅速成为主要的光刻技术。

由于大多数的光学镜头材料在短波长 157nm 时呈现高吸收态,在受热膨胀后造成球面像差,而低吸收材料氟化钙的双折射等技术问题尚未解决,在 2003 年 5 月,Intel 公司宣布放弃 157nm 光源的干式光刻技术,在 65nm 和 45nm 的工艺中继续使用 193nm 沉浸式光刻技术,同时计划采用极紫外光(EUV)来制作 22nm 以下的制程。EUV 的曝光波长大约为 13.5nm,按照理论上波长与蚀刻精度的关系,EUV 技术能够蚀刻出 5nm 以下工艺的晶体管,但是 EUV 技术耗资巨大且进展缓慢,而 193nm 沉浸式光刻技术已经能够延伸到 22nm 左右工艺中。在 2010 年的 Litho Vision 大会上,Intel 公司公布了未来几年光刻技术发展计划,将 193nm 沉浸式光刻技术延用至 11nm 制程节点,极紫外光技术再次后延。

第二个关键技术是多层互连技术。传统的互连技术采用铝互连,铝互连的特点是电导率低、易加工。但是随着金属线宽的减小,铝线电流密度增加,出现电迁移问题,互连线的寄生电阻和寄生电容的影响也日益突出。由于铜的电阻率比铝的电阻率低 40%左右,而且允许的电流密度较高,因此,铜互连在 0.25 μm 和 0.18 μm 工艺中被使用。在 0.13 μm 以后,铜互连与低介电常数绝缘材料结合起来使用,并且预计可以应用到 20nm。在深亚微米工艺中,互连线延迟已经超过了器件延迟,如图 1.10 所示,互连层数与器件特征尺寸缩小的关系如图 1.11 所示。

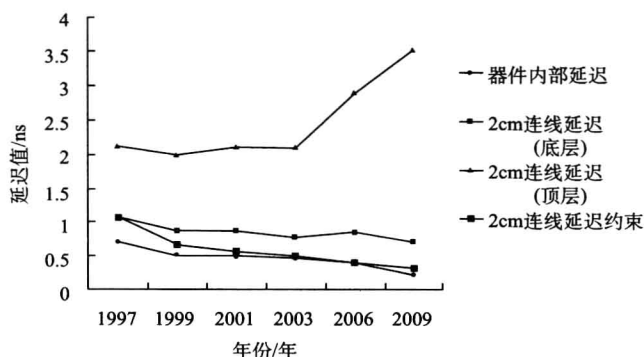


图 1.10 互连线延迟域器件延迟