



普通高等教育“十一五”国家级规划教材



电子科学与技术专业规划教材

# CMOS模拟集成电路 分析与设计(第2版)

吴建辉 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

普通高等教育“十一五”国家级规划教材  
电子科学与技术专业规划教材

# CMOS 模拟集成电路 分析与设计

(第2版)

吴建辉 编著

电子工业出版社

**Publishing House of Electronics Industry**

北京·BEIJING

## 内 容 简 介

本书是普通高等教育“十一五”国家级规划教材，介绍 CMOS 模拟集成电路理论与设计，由 17 章组成。本书从 MOS 器件物理及高阶效应出发，引出 CMOS 模拟集成电路的基础，然后分别介绍模拟集成电路中的各种电路模块：基本放大器、恒流源电路、差分放大器、运算放大器、基准电压源、开关电容电路、集成电压比较器、数/模转换与模/数转换、振荡器与锁相环等，最后分析 CMOS 模拟集成电路的频率响应、稳定性、运算放大器的频率补偿及其反馈电路特性，以及噪声与非线性。本书提供电子课件。

本书可作为高等学校电子科学与技术、微电子、集成电路设计等专业高年级本科生和研究生的教材，也可供从事相关专业的科学技术人员学习参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有，侵权必究。

### 图书在版编目 (CIP) 数据

CMOS 模拟集成电路分析与设计 / 吴建辉编著. —2 版. —北京: 电子工业出版社, 2011.6  
普通高等教育“十一五”国家级规划教材  
ISBN 978-7-121-13512-5

I. ①C… II. ①吴… III. ①CMOS 电路—模拟集成电路—电路分析—高等学校—教材②CMOS 电路—模拟集成电路—电路设计—高等学校—教材 IV. ①TN432

中国版本图书馆 CIP 数据核字 (2011) 第 084518 号

策划编辑: 王羽佳

责任编辑: 李秦华

印 刷: 三河市鑫金马印装有限公司

装 订: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 23.5 字数: 663 千字

印 次: 2011 年 6 月第 1 次印刷

印 数: 4 000 册 定价: 45.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 [zltz@phei.com.cn](mailto:zltz@phei.com.cn)，盗版侵权举报请发邮件至 [dbqq@phei.com.cn](mailto:dbqq@phei.com.cn)。

服务热线: (010) 88258888。

# 前 言

本书是普通高等教育“十一五”国家级规划教材。

CMOS 工艺技术的飞速发展，在集成电路制造产业中占有越来越重要的地位，而其中的 CMOS 模拟集成电路也因此得以快速发展。CMOS 工艺能实现低电源电压、低功耗的系统，迎合了当前模拟电路的发展趋势。

本书作为教材，着重讨论了 CMOS 模拟集成电路分析与设计的基础知识，并介绍了新技术与新理论，深入浅出地对 CMOS 模拟集成电路中的主要模块电路进行了较为详尽的分析，并力求理论与实际相结合，使学生经过本教材的学习能真正了解 CMOS 模拟集成电路的分析与设计方法，掌握 CMOS 模拟集成电路中的主要模块的设计基础，为进行模拟电路的设计打下基础。

本书共分为三部分：第一部分是第 1 章 CMOS 模拟集成电路基础，重点介绍了 CMOS 器件物理、二阶效应、等比例缩小及高阶效应。第二部分介绍 CMOS 模拟集成电路中的主要电路模块——第 2 章介绍了单级放大器：共源、共栅、源极跟随器、共源共栅放大器等；第 3 章分析了恒流源电路设计技术；第 4 章对差分放大器进行了详尽的分析；第 8 章分析了运算放大器的特点及设计方法，包括单级放大器与多级放大器；第 10 章对开关电容电路进行研究，并介绍开关电容电路的主要应用；第 12 章是基准电压源的设计，重点分析带隙基准电压源的设计技术；第 13 章介绍集成电压比较器的设计与分析；第 14 章研究数/模转换电路与模/数转换电路，第 15 章是关于集成振荡器与锁相环的设计。第三部分介绍 CMOS 模拟集成电路中必须考虑的其他特性——第 5 章分析放大器的频率响应，第 9 章是有关运算放大器频率补偿的设计；第 6 章分析反馈放大器特性；第 7 章介绍电路噪声的分析方法及电路中的主要噪声；第 11 章分析电路的非线性及其消除技术。

本次修订在第 1 版的基础上增加了较多的例题以促进读者对于所学理论的直观认识，同时增加了一些新的电路及分析设计方法。

本书向使用本书作为教材的教师提供配套电子课件，请登录华信教育资源网 (<http://www.hxedu.com.cn>) 注册下载。

东南大学国家专用集成电路系统工程技术研究中心的师生以及电子工程系的老师对本书的修订给予了大力支持与帮助，特别是茅盘松教授与谢世健教授的大力支持，在此表示深深的谢意。

由于 CMOS 模拟集成电路技术发展迅速，且作者水平有限，书中所介绍的内容难免有不足和错误之处，希望读者批评指正。

作 者  
于东南大学

# 目 录

第 1 章 基本 MOS 器件物理 .....	1	3.6.1 CMOS 峰值电流源 .....	68
1.1 有源器件 .....	1	3.6.2 恒定跨导电流源 .....	69
1.1.1 MOS 管结构与几何参数 .....	1	小结 .....	70
1.1.2 MOS 管的工作原理及 表示符号 .....	3	第 4 章 差分放大器 .....	71
1.1.3 MOS 管的高频小信号电容 .....	5	4.1 概述 .....	71
1.1.4 MOS 管的电特性 .....	7	4.2 基本差分对 .....	72
1.1.5 二阶效应 .....	12	4.2.1 电路结构 .....	72
1.1.6 MOS 管交流小信号模型 .....	16	4.2.2 差分对的共模输入及输出 压摆 .....	72
1.1.7 有源电阻 .....	17	4.2.3 差分对的差分工作 .....	74
1.2 无源器件 .....	20	4.3 以 MOS 管作为负载的差分 放大器 .....	84
1.2.1 电阻 .....	20	4.4 CMOS 差分放大器 .....	87
1.2.2 电容 .....	22	4.4.1 工作原理 .....	87
1.3 短沟道效应 .....	24	4.4.2 电路分析 .....	88
1.3.1 按比例缩小 .....	24	4.4.3 CMOS 差分放大器的主要 性能 .....	95
1.3.2 短沟道效应 .....	27	4.5 模拟乘法器 .....	95
1.4 MOS 器件模型 .....	31	4.5.1 模拟乘法器设计方法 .....	95
第 2 章 单级放大器 .....	33	4.5.2 直接利用双差分结构实现 .....	97
2.1 共源放大器 .....	33	4.6 吉尔伯特单元 .....	98
2.1.1 无源负载共源放大器 .....	33	4.6.1 经典吉尔伯特单元 .....	98
2.1.2 有源器件作为负载 .....	36	4.6.2 吉尔伯特单元典型应用 .....	100
2.2 源极跟随器 .....	47	第 5 章 放大器的频率响应 .....	102
2.2.1 电阻负载源极跟随器 .....	47	5.1 频率特性的基本概念和 分析方法 .....	102
2.2.2 电流源负载源极跟随器 .....	48	5.1.1 基本概念 .....	102
2.3 共栅放大器 .....	51	5.1.2 研究方法 .....	103
2.4 共源共栅极 (级联级) .....	56	5.2 共源放大器的频率响应 .....	104
2.5 折叠式级联 .....	60	5.2.1 电路的零极点 .....	104
第 3 章 恒流源电路 .....	62	5.2.2 输入阻抗 .....	106
3.1 基本电流镜结构 .....	62	5.3 源极跟随器的频率响应 .....	107
3.2 威尔逊电流源 .....	64	5.3.1 电路的零极点 .....	107
3.3 共源共栅电流源——高输出 阻抗恒流源 .....	65	5.3.2 输入阻抗 .....	108
3.4 低压共源共栅结构 .....	66	5.3.3 输出阻抗 .....	109
3.5 高输出阻抗、高输出摆幅的 恒流源 .....	67	5.4 共栅极——电流缓冲器	
3.6 电源抑制电流源 .....	68		

的频率响应 .....	110	7.4.1 共源放大器 .....	145
5.4.1 电路的零极点 .....	110	7.4.2 共栅放大器 .....	147
5.4.2 输入阻抗 .....	111	7.4.3 共源共栅放大器 .....	148
5.5 级联放大器的频率响应 .....	112	7.4.4 源极跟随器 .....	149
5.6 CMOS 增益级的频率响应 .....	113	7.4.5 CMOS 放大器的噪声 .....	150
5.7 差分放大器的频率响应 .....	114	7.5 差分对中的噪声 .....	151
5.7.1 CMOS 全差分对的频率响应 .....	115	<b>第 8 章 运算放大器</b> .....	154
5.7.2 电流镜为负载的差分对的 频率响应 .....	117	8.1 概述 .....	154
<b>第 6 章 反馈</b> .....	121	8.1.1 运算放大器的主要参数 .....	154
6.1 基本概念 .....	121	8.1.2 分析运算放大器的一般步骤 .....	157
6.1.1 反馈放大器的方框图及放大 倍数的一般表达式 .....	121	8.2 单级运放 .....	158
6.1.2 负反馈放大器的类型 .....	122	8.2.1 全差分单级运算放大器 .....	158
6.2 负反馈结构 .....	122	8.2.2 单端输出运算放大器 .....	160
6.3 负反馈放大器的特性 .....	125	8.3 共模反馈 .....	162
6.3.1 提高放大器增益的稳定性 .....	125	8.3.1 共模电平的检测方法 .....	163
6.3.2 对系统的输入与输出电阻的 影响 .....	125	8.3.2 误差比较技术 .....	165
6.3.3 带宽调节 .....	128	8.4 多级运放 .....	168
6.3.4 减少非线性失真 .....	130	8.4.1 两级运放 .....	168
6.3.5 负载的影响 .....	130	8.4.2 多级运放 .....	169
6.4 反馈网络的噪声效应 .....	136	8.5 运放的建立时间 $T_{SET}$ .....	172
6.5 系统的稳定性 .....	137	8.5.1 物理意义 .....	172
6.5.1 单极点系统 .....	137	8.5.2 单级运放的转换速率 .....	174
6.5.2 多极点系统 .....	138	8.5.3 二级运放的转换速率 .....	174
<b>第 7 章 噪声</b> .....	139	8.6 增益提高电路 .....	176
7.1 概述 .....	139	8.6.1 基本增益提高电路 .....	176
7.1.1 噪声的描述方法 .....	139	8.6.2 增益提高的级联运放 .....	177
7.1.2 相关噪声源与独立噪声源 .....	140	8.7 轨到轨运算放大器 .....	179
7.1.3 噪声带宽 .....	140	8.7.1 轨到轨运算放大器输入级 .....	179
7.2 噪声的种类 .....	140	8.7.2 轨到轨输出 .....	185
7.2.1 热噪声 .....	140	8.8 运放中的噪声分析 .....	189
7.2.2 闪烁噪声—— $1/f$ 噪声 .....	143	8.9 运算放大器的设计流程 .....	190
7.2.3 散粒噪声 .....	144	小结 .....	190
7.3 电路中噪声的表示方式 .....	144	<b>第 9 章 运算放大器的频率补偿</b> .....	191
7.3.1 噪声源表示法 .....	144	9.1 稳定相位裕度 .....	191
7.3.2 $\overline{V_{n,cl}^2}$ 与 $\overline{I_{n,cl}^2}$ 的计算 .....	145	9.2 频率补偿 .....	192
7.4 单级放大器中的噪声 .....	145	9.2.1 单级高增益运放的频率补偿 .....	193
		9.2.2 CMOS 多级运放的补偿 .....	195
		<b>第 10 章 开关电容电路</b> .....	204
		10.1 概述 .....	204
		10.2 MOS 模拟开关 .....	204
		10.2.1 MOS 开关管的电阻 .....	205

10.2.2	MOS 管极间电容的影响	208	<b>第 12 章 基准电压源</b>	237
10.2.3	衬偏的调制与 $kT/C$ 噪声	211	12.1 基本工作原理	237
10.3	开关电容电路的工作原理及特点	212	12.1.1 与温度无关的基准	237
10.3.1	电荷重分配原理	212	12.1.2 常见的带隙基准电压源的结构	238
10.3.2	开关电容电路的等效电阻	212	12.2 带隙基准源各个单元的分析	239
10.4	开关电容电路模块	215	12.2.1 电流镜	239
10.4.1	采样维持(S/H)	215	12.2.2 运算放大器	245
10.4.2	增益放大模块	218	12.2.3 温度补偿	248
10.4.3	开关电容积分器	220	12.3 低电压工作的基准电压源	251
10.4.4	倍乘和单位延迟及积分/加法(或减法)电路	221	12.3.1 常态阈值器件的低电压基准电压源	251
10.4.5	开关电容滤波器	222	12.3.2 结构改进型低电压基准电压源	252
10.4.6	开关电容共模负反馈	223	12.4 以 MOS 管阈值电压 $V_{th}$ 为基准的参考电压源	253
10.5	开关电容电路中的非理想效应	224	12.5 亚阈值区的基准电压源	255
10.5.1	开关的非理想效应	224	12.6 多组电压源的产生	256
10.5.2	电容的不精确性	225	12.7 带负载能力	257
10.5.3	非理想运算放大器的影响	225	<b>第 13 章 集成电压比较器</b>	258
10.5.4	开关电容电路中的噪声	225	13.1 概述	258
<b>第 11 章 放大器的非线性失真</b>		227	13.1.1 基本概念	258
11.1 概述		227	13.1.2 电压比较器的主要参数及设计要求	259
11.1.1 非线性的定义		227	13.1.3 电压比较器的结构	260
11.1.2 非线性的度量方法		227	13.2 级联反相器结构	260
11.2 单级放大器的非线性		228	13.2.1 基本反相器结构	260
11.2.1 由于 MOS 管特性引起的非线性		228	13.2.2 典型级联反相结构比较器	260
11.2.2 由放大器传输特性引起的非线性		228	13.2.3 快速的级联反相结构比较器	262
11.3 差分电路的非线性		229	13.3 差分输入运算放大器结构	263
11.4 电路中器件引起的非线性		230	13.3.1 静态模式	263
11.4.1 电容的非线性		230	13.3.2 动态工作模式	265
11.4.2 MOS 管作为电阻的非线性		231	<b>第 14 章 D/A、A/D 转换器</b>	269
11.5 克服非线性的技术		231	14.1 概述	269
11.5.1 原理		231	14.2 数/模转换器(DAC)	269
11.5.2 改善放大器非线性失真的实际电路		234	14.2.1 工作原理	269
			14.2.2 DAC 的主要性能	270
			14.2.3 DAC 的种类	271

14.3 模/数转换电路 .....	278	16.3 工艺设计规则 .....	324
14.3.1 工作原理 .....	278	16.4 布局与布线 .....	325
14.3.2 性能参数 .....	279	16.4.1 MOS管的版图设计 .....	325
14.3.3 模/数转换器类型 .....	279	16.4.2 二极管的版图设计 .....	327
<b>第 15 章 振荡器与锁相环 .....</b>	<b>296</b>	16.4.3 无源器件 .....	328
15.1 振荡器 .....	296	16.4.4 布局 .....	329
15.1.1 概述 .....	296	16.4.5 布线 .....	334
15.1.2 LC 振荡器 .....	297	16.5 封装 .....	337
15.1.3 交叉耦合振荡器 .....	298	16.5.1 自感 .....	339
15.1.4 科尔皮兹振荡器 .....	299	16.5.2 互感 .....	339
15.1.5 负阻振荡器 .....	300	<b>第 17 章 工程设计 .....</b>	<b>340</b>
15.1.6 移相振荡器 .....	300	17.1 工程 A: 运算放大器设计 .....	340
15.1.7 环形振荡器 .....	301	17.1.1 工程目标 .....	340
15.1.8 压控振荡器 .....	305	17.1.2 放大器结构的确定 .....	340
15.2 锁相环 .....	307	17.1.3 各级放大器参数的确定 .....	341
15.2.1 锁相环结构 .....	307	17.1.4 仿真验证 .....	343
15.2.2 锁相环路的性能 .....	308	17.2 工程 B: 模/数转换器 ADC	
15.2.3 锁定状态 .....	310	的设计 .....	347
15.2.4 频率倍增与合成 .....	312	17.2.1 目标与设计流程 .....	347
15.2.5 电荷泵锁相环 .....	313	17.2.2 电路结构 .....	348
15.2.6 锁相环设计的一般思路 .....	315	17.2.3 电路设计 .....	348
15.2.7 分数锁相环 .....	318	17.2.4 总体电路设计与仿真 .....	361
<b>第 16 章 版图设计技术 .....</b>	<b>322</b>	17.2.5 版图设计及后仿真 .....	361
16.1 版图的设计流程 .....	322	17.2.6 芯片测试方案 .....	364
16.2 工艺制约 .....	323	<b>参考文献 .....</b>	<b>365</b>



# 第 1 章 基本 MOS 器件物理



本章是 CMOS 模拟集成电路设计的基础，内容主要分为两部分：CMOS 模拟集成电路中有源器件的特性与无源器件的特性。

对于有源器件，主要从 MOS 管的基本几何结构出发，分析 MOS 管的工作原理，并引出 MOS 管的阈值电压及其基本特性，如输入-输出特性、转移特性等；介绍 MOS 管的寄生电容；进一步简要描述 MOS 管的主要的二阶效应，得出其低频小信号等效模型和高频小信号等效模型，并介绍有源电阻的结构与特点。

本章对无源器件即模拟集成电路中常用的电阻、电容等进行了介绍，分析了它们的结构及特点。

另外，本章还介绍了等比例缩小理论及其短沟道效应和狭沟道效应，以及 MOS 器件模型。



## 1.1 有源器件

CMOS 模拟集成电路中的有源器件主要是指 MOS 管（NMOS、PMOS）及二极管（包括稳压二极管）等，当然在某些电路（如带隙基准源）中还使用双极型三极管（NPN、PNP）。本节重点介绍 MOS 管的结构、几何参数、工作原理和电参数等。

### 1.1.1 MOS 管结构与几何参数

#### 1. MOS 管的结构

图 1.1 所示为采用单阱（N 阱）CMOS 工艺的同一衬底（圆片或体硅）上的两种类型的 MOS 管的简化结构，其衬底为 P<sup>-</sup>型，图中左半部（浅色区）为一个 NMOS 管，而右半部（深色区，即 N 阱）为一个 PMOS 管。每一种 MOS 管都有两个重掺杂区构成器件的两个端口——源端（S）与漏端（D），而重掺杂的多晶硅构成了器件的栅极（G），在栅极与衬底间用栅氧（即薄层二氧化硅）隔离。NMOS 管的两个重掺杂区内的掺杂为 N 型，而 PMOS 管的两个重掺杂区内的掺杂为 P 型。在栅氧以下的衬底区域为器件的有效工作区。

一般情况下，MOS 管在制作时源区与漏区是几何对称的。一般根据电荷的输入与输出来定义源区与漏区：源端定义为提供电荷（若为 NMOS 管则为电子，PMOS 管则为空穴）的端口，而漏端则为收集电荷的端口。由此可以看出，对于 NMOS 管，电流从其漏极注入而从源极流出，即漏极电位不低于源极电位，对于 PMOS 管则正好相反。所以当 MOS 管三端口的工作电压（即电流方向）发生改变时，MOS 管源区与漏区就可能改变作用而相互交换定义。

**例 1.1** 如图 1.2 所示的电路中，当  $V_X$  的电压在  $0\sim 3.3\text{V}$  变化时，试定义出 NMOS 管  $M_1$  的源极与漏极。

**解：**根据源/漏极的定义，当  $V_X$  为  $0\sim 1\text{V}$  时，即  $M_1$  的端口 2 的电位高于端口 1 的电位，则此时端口 1 为源端，而端口 2 为漏端。

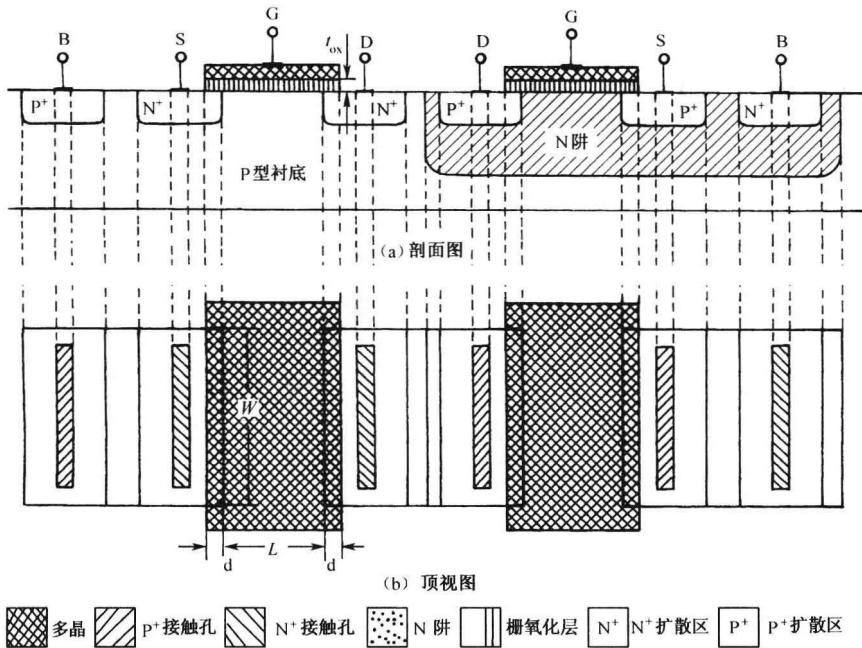


图 1.1 MOS 管结构

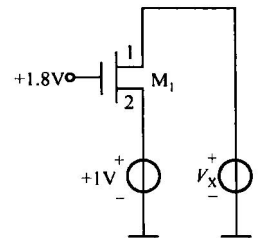


图 1.2  $V_x$  变化时  $M_1$  的源/漏极的变化

同理，当  $V_x$  的电位上升到  $1 \sim 3.3V$  时， $M_1$  的端口 1 为漏端，而端口 2 为源端。

在模拟集成电路中还要考虑器件衬底 (B) 的影响，衬底电位一般通过  $1\Omega P^+$  区 (NMOS 的衬底) 及  $N^+$  区 (PMOS 衬底) 接触区实现连接，所以在模拟集成电路中，MOS 管应视为四端口器件。为了保证正常工作，MOS 管源/漏区的结二极管必须为反偏，即 NMOS 管的衬底电位应不高于源/漏区的电位，而 PMOS 管的衬底电位应不低于其源/漏区的电位。

但要注意，在数字集成电路设计及大多数/模拟集成电路设计中，NMOS 管的衬底连接到系统的最低电位，而 PMOS 管的衬底 (即为 N 阱) 连接到系统的最高电位，所以可视为三端口器件。

对于如图 1.1 所示的单阱工艺而言，所有 NMOS 管具有相同的衬底电位，而每一个 PMOS 管可以有一个独立的 N 阱，可以接不同的阱电位。当然，现在有一些 CMOS 工艺线采用了双阱工艺，即把 NMOS 管与 PMOS 管都制作在各自的阱内——NMOS 管在 P 阱内，PMOS 管在 N 阱内，对于每一个 NMOS 管与 PMOS 管都可以有各自的衬底电位，这是消除衬底偏置效应的一种有效方法 (在 1.1.5 节二阶效应中将论及)。

## 2. MOS 管的几何参数

从 CMOS 的工艺流程可以看出，MOS 管有三个主要几何参数：沟道长度  $L$ 、沟道宽度  $W$  及栅氧化层厚度  $t_{ox}$ ，如图 1.1 所示。

### (1) 沟道长度 $L$

由于 CMOS 工艺是一种自对准工艺，其沟道长度定义为漏/源之间栅的尺寸 (即多晶栅的宽度)。一般其最小尺寸即为制造工艺中所给的特征尺寸 (如  $0.25\mu m$  工艺即表示其沟道的最小长度为  $0.25\mu m$  左右)。由于在制造漏/源结时会发生边缘扩散，所以源/漏之间的实际尺寸 (称为有效长度  $L'$ ) 略小于标称沟道长度  $L$ ，即有  $L' = L - 2d$ ，其中  $L$  是漏/源之间的标称沟道长度， $d$  是边缘扩散的长度。

## (2) 沟道宽度 $W$

沟道宽度  $W$  是指在有源区内垂直于沟道长度方向的栅的尺寸。

## (3) 栅氧厚度 $t_{ox}$

栅氧厚度  $t_{ox}$  是指栅与衬底之间的二氧化硅的厚度。

从下面的分析可以发现 MOS 管的几何参数会直接影响 MOS 管的工作状态及其电性能，并主要以沟道的宽长比  $W/L$  及单位面积的栅氧电容  $C_{ox}$  这两个参数反映到电路的性能中。

### 1.1.2 MOS 管的工作原理及表示符号

根据导通沟道的载流子性质 MOS 管可分为 NMOS 管（即 N 沟道 MOS 管）与 PMOS 管（即 P 沟道 MOS 管）。NMOS 管是指其导电沟道中的导电电荷为电子，而 PMOS 管则是指其导电沟道中的导电电荷为空穴。

根据沟道的导通条件（MOS 管的栅/源电压  $V_{GS}$  为 0 时是否存在导通沟道）MOS 管又可分为增强型 MOS 管与耗尽型 MOS 管两类：增强型 MOS 管是指在 MOS 管的栅/源电压  $V_{GS}$  为 0 时没有导电沟道，而必须依靠栅/源电压的作用，才能形成感生沟道的 MOS 管；耗尽型 MOS 管则是指即使在 MOS 管栅/源电压  $V_{GS}$  为 0 时也存在导电沟道的 MOS 管。这两类 MOS 管的基本工作原理一致，都是利用栅/源电压的大小来改变半导体表面感生电荷的多少，从而控制漏极电流的大小。所以 MOS 管可以分为四类：增强型 NMOS 管、耗尽型 NMOS 管、增强型 PMOS 管及耗尽型 PMOS 管。

下面以增强型 NMOS 管与耗尽型 NMOS 管为例说明 MOS 管的工作原理。

#### 1. 增强型 NMOS 管的工作原理

当 NMOS 管的栅极与源极短接（即 NMOS 管的栅/源电压  $V_{GS}=0$ ）时，源区（ $N^+$ 型）、衬底（P 型）和漏区（ $N^+$ 型）形成两个背靠背的 PN 结，不管 NMOS 管的漏/源电压  $V_{DS}$  的极性如何，其中总有一个 PN 结是反偏的，所以 NMOS 管源极与漏极之间的电阻主要为 PN 结的反偏电阻，基本无电流流过，即 NMOS 管的漏极电流  $I_D$  为 0。例如，如果 NMOS 管的源极 S 与衬底相连，并接到系统的最低电位，而漏极接电源正极时，漏极和衬底之间的 PN 结是反偏的，此时漏/源之间的电阻很大，没有形成导电沟道。

若在 NMOS 管的栅/源之间加上正向电压  $V_{GS}$ （即 NMOS 管的栅极接高电位，源极接低电位），则栅极和 P 型衬底之间就形成了以栅氧（即二氧化硅）为介质的平板电容器。在正的栅/源电压作用下，介质中产生了一个垂直于硅片表面的由栅极指向 P 型衬底的强电场（由于绝缘层很薄，即使只有几伏的栅/源电压  $V_{GS}$ ，也可产生高达  $10^5 \sim 10^6 \text{V/cm}$  数量级的强电场），这个强电场会排斥衬底表面的空穴而吸引电子，因此，使 NMOS 管栅极附近的 P 型衬底中的空穴被排斥，留下不能移动的受主离子（负离子），形成了耗尽层，同时 P 型衬底中的少子（电子）被吸引到衬底表面，如图 1.3 (a) 所示。当正的栅/源电压达到一定数值时，这些电子在栅极附近的 P 型硅表面便形成了一个 N 型薄层，通常把这个在 P 型硅表面形成的 N 型薄层称为反型层，这个反型层实际上就构成了源极和漏极间的 N 型导电沟道，如图 1.3 (b) 所示。由于它是栅/源正电压感应产生的，所以也称感生沟道。显然，栅/源电压  $V_{GS}$  正得越多，则作用于半导体表面的电场就越强，吸引到 P 型硅表面的电子就越多，感应沟道（反型层）将越厚，沟道电阻将越小。

感应沟道形成后，原来被 P 型衬底隔开的两个  $N^+$ 型区（源区和漏区）就通过感应沟道连接在一起。因此，在正的漏/源电压作用下，电子将从源区流向漏区，产生了漏极电流  $I_D$ 。一般在漏/源电压作用下开始导电时的栅/源电压叫做 NMOS 管的阈值电压（或开启电压） $V_{th}$ 。

当 NMOS 管的栅/源电压  $V_{GS}$  大于等于  $V_{th}$  时，外加较小的漏/源电压  $V_{DS}$  时，漏极电流  $I_D$  将随  $V_{DS}$  上升迅速增大，此时为线性区（也可称为三极管区），但由于沟道存在电位梯度，即 NMOS 管的栅极与沟道间的电位差从漏极到源极逐步增大，因此所形成的沟道厚度是不均匀的，靠近源端的沟道厚，而靠近漏端的沟道薄。

当  $V_{DS}$  增大到一定数值，即  $V_{GD} = V_{th}$  时，靠近漏端的沟道厚度接近为 0，即感应沟道在漏端被夹断，如图 1.3 (c) 所示； $V_{DS}$  继续增加，将形成一夹断区，且夹断点向源极靠近，如图 1.3 (d) 所示。沟道被夹断后， $V_{DS}$  上升时，其增加的电压基本上加在沟道厚度为零的耗尽区上，而沟道两端的电压保持不变，所以  $I_D$  趋于饱和而不再增加，此时 NMOS 管工作在饱和区，在模拟集成电路中饱和区是 NMOS 管的主要工作区。要注意，此时沟道虽产生了夹断，但由于漏极与沟道之间存在强电场，电子在该电场作用下被吸收到漏区而形成了从源区到漏区的电流。

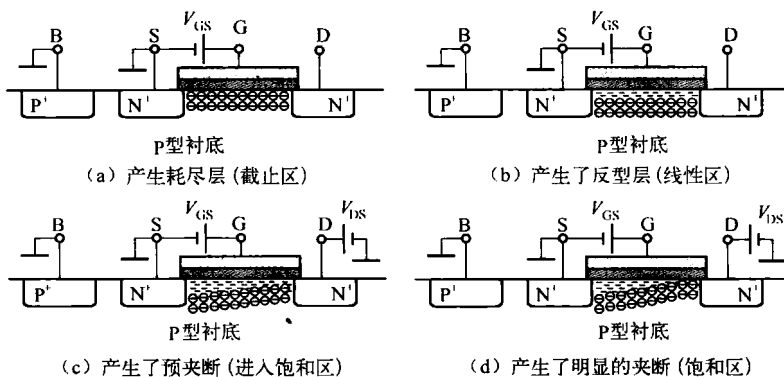


图 1.3 MOS 管的工作原理

另外，当  $V_{GS}$  增加时，由于感应沟道变厚，沟道电阻减小，饱和和漏极电流会相应增大。

若  $V_{DS}$  大于某一击穿电压  $BV_{DS}$ （二极管的反向击穿电压），漏极与衬底之间的 PN 结发生反向击穿， $I_D$  将急剧增加，进入雪崩区，漏极电流不经过沟道，而直接由漏极流入衬底。

注意与双极型晶体管相比，一个 MOS 管只要形成了导电沟道，即使是在无电流流过时也可以认为是开通的。

## 2. 耗尽型 NMOS 管的工作原理

耗尽型 NMOS 管的几何结构与增强型相同。但在制造时，在二氧化硅绝缘层中掺入大量的正离子，根据电荷感应原理，即使在  $V_{GS} = 0$  时，由于正离子的作用，在源区和漏区之间的 P 型衬底上感应出较多的负电荷（电子），形成 N 型沟道，因此即使栅/源电压为零时，在正的  $V_{DS}$  作用下，也存在较大的漏极电流  $I_D$ 。如果所加的栅/源电压  $V_{GS}$  为负，则会使沟道中感应的负电荷减少，从而使漏极电流减小，所以称为耗尽型 NMOS 管，当栅/源电压  $V_{GS}$  更负时，则会使之不能感应出负电荷，因而不能形成感应沟道，此时的栅/源电压  $V_{GS}$  称为耗尽型 NMOS 管的关断电压。当  $V_{GS} > 0$  时，由于绝缘层的存在，在沟道中感应出更多的负电荷，在  $V_{DS}$  作用下，将形成更大的漏电流  $I_D$ 。

对于增强型 PMOS 管与耗尽型 PMOS 管的工作原理与 N 沟道 MOS 管相类似，不同之处在于：它所形成的是 P 沟道，且增强型 PMOS 管的阈值电压为负值，以便感应出正电荷，形成 P 沟道；耗尽型 PMOS 管的关断电压为正值。

由以上分析可知，与双极型晶体管不同，MOS 管中参与导电的只有一种电荷，即 NMOS 管参与导电的是电子，而 PMOS 管参与导电的是空穴。MOS 管的工作状态根据漏极电流的变

化可大约分为三种情况，即截止区 ( $I_D$  为 0)、线性区 ( $I_D$  随  $V_{DS}$  几乎线性变化)、饱和区 ( $I_D$  与  $V_{DS}$  基本无关，保持不变)。

### 3. MOS 管表示符号

NMOS 管与 PMOS 管有很多种代表符号，但最具典型的符号如图 1.4 所示。图 1.4 (a) 表示为四端器件，建议在模拟集成电路采用此类表示符号。

在大部分电路中，NMOS 管与 PMOS 管的衬底端一般分别接到地与电源，所以可用三端器件 [如图 1.4 (b) 所示]，即在集成电路中如采用图 1.4 (b) 所示的符号，则表示 NMOS 管与 PMOS 管的衬底分别默认为接地与接电源。

另外，在数字电路中，也常用如图 1.4 (c) 所示的开关符号来描述。图 1.4 (d) 所示的符号为耗尽型 NMOS 管和 PMOS 管。

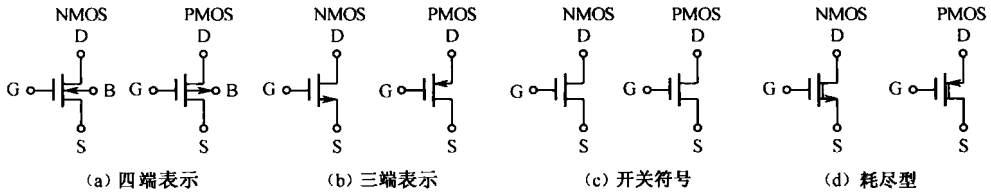


图 1.4 MOS 管的表示符号

## 1.1.3 MOS 管的高频小信号电容

### 1. MOS 管的电容

从 MOS 管的几何结构及工作原理可以发现，MOS 管存在着多种电容，这会影响 MOS 管的高频性能。

根据 MOS 管的几何结构形成的各类电容如图 1.5 所示，具体为：

(1) 栅与沟道之间的栅氧电容  $C_2 = WLC_{ox}$ ，其中  $C_{ox}$  为单位面积栅氧电容  $\epsilon_{ox}/t_{ox}$ 。

(2) 沟道耗尽层电容  $C_3 = WL\sqrt{q\epsilon_{si}N_{sub}/(4\Phi_F)}$ ；其中  $q$  为电子电荷， $\epsilon_{si}$  为硅的介电常数， $N_{sub}$  为衬底浓度， $\Phi_F$  为费米能级。

(3) 交叠电容 (多晶栅覆盖源/漏区所形成的电容)，每单位宽度的交叠电容记为  $C_{ol}$ ，由于是环状的电场线， $C_{ol}$  不能简单计算得到，且它的值与衬底偏置有关。交叠电容主要有栅/源交叠电容  $C_1 = WC_{ol}$  与栅/漏交叠电容  $C_4 = WC_{ol}$ 。

(4) 源/漏区与衬底间的结电容： $C_{bd}$ 、 $C_{bs}$ ，即为漏极、源极与衬底之间形成的 PN 结势垒电容，这种电容一般由两部分组成：一部分是垂直方向 (即源/漏区的底部与衬底间) 的底层电容，以单位面积 PN 结电容  $C_j$  衡量；另一部分是源/漏区的四周与衬底间构成的横向圆周电容，以单位长度结电容  $C_{js}$  来衡量。单位面积 PN 结的势垒电容  $C_j$  可表示为

$$C_j = C_{j0} / [1 + V_R / \Phi_B]^m \quad (1.1)$$

式 (1.1) 中  $C_{j0}$  为 PN 结在零偏电压时单位底面积结电容 (与衬底浓度有关)， $V_R$  是加于 PN 结的反偏电压， $\Phi_B$  是漏/源区与衬底间的 PN 结接触势垒差 (一般取 0.8V)，而  $m$  是底面电容的梯度因子，一般取介于 0.3~0.4 间的值。

因此，MOS 管源/漏区与衬底间总的结电容可表示为

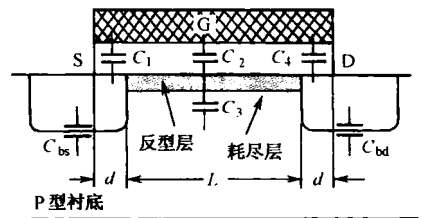


图 1.5 MOS 管高频小信号电容示意图

$$C_{BD,BS} = WHC_j + 2(W + H)C_{js} \quad (1.2)$$

式 (1.2) 中  $H$  是指源、漏区的长度,  $W$  是 MOS 管的宽度。

由式 (1.2) 可发现: 不同 MOS 管的源/漏区的几何形状, 即不同的源/漏区面积和圆周尺寸值, 存在着不同的结电容。在总的宽长比相同的情况下, 采用并联结构, 即 MOS 管的  $H$  不变, 而每一个 MOS 管的宽为原来的几分之一, 则 MOS 管的源/漏区与衬底间总的结电容比原结构小。

**例 1.2** 分别求出以下三种条件下 MOS 管源/漏区与衬底间总的结电容 (假设任何一个 MOS 管的源/漏区的长度都为  $H$ ):

①  $(W/L)=100$  的一个 MOS 管; ②  $(W/L)_{1,2}=50$  的两个 MOS 管并联;

③  $(W/L)_{1\sim5}=20$  的 5 个 MOS 管并联。

**解:** 为了计算方便, 假设所有 MOS 管的沟道长度  $L=0.5\mu\text{m}$ ,  $H=1\mu\text{m}$  则有

$$\textcircled{1} C_{BD,BS} = WHC_j + 2(W + H)C_{js} = 200C_j + 402C_{js}$$

所以总的源/漏区与衬底间的结电容为  $C_{bd} + C_{bs} = 400C_j + 804C_{js}$

$$\textcircled{2} C_{bd1,2} = C_{bs1} = C_{bs2} = 100C_j + 202C_{js}$$

所以总的源/漏区与衬底间的结电容为  $C_{bd1} + C_{bs1} + C_{bd2} = 300C_j + 606C_{js}$

$$\textcircled{3} C_{bd1,2} = C_{bd3,4} = C_{bd5} = C_{bs1} = C_{bs2,3} = C_{bs4,5} = 40C_j + 82C_{js}$$

所以总的源/漏区与衬底间的结电容为

$$C_{bd1,2} + C_{bd3,4} + C_{bs1} + C_{bs2,3} + C_{bs4,5} + C_{bd5} = 240C_j + 492C_{js}$$

## 2. MOS 管的极间电容及其随栅/源电压的变化关系

由于在模拟集成电路中, MOS 管一般以四端器件出现, 因此在实际电路设计中主要考虑 MOS 管每两个端口之间存在的电容, 如图 1.6 所示, 源/漏两极之间的电容很小可忽略不计, 这些电容的值就是由前面分析的各种电容组合而成, 由于在不同的工作区时 MOS 管的反型层厚度、耗尽层厚度等不同, 则相应的电容也不相同, 所以对于 MOS 管的极间电容可以分为三个工作区分别进行讨论。

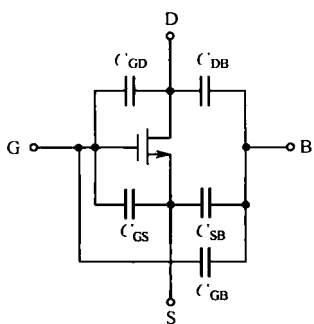


图 1.6 MOS 管的极间电容示意图

### (1) 截止区

漏/源之间没有形成沟道, 此时虽然不存在反型层, 但可能产生了耗尽层, 则有

栅/源之间、栅/漏之间的电容为:  $C_{GD} = C_{GS} = WC_{ol}$ ;

栅极与衬底间的电容为:  $C_{GB} = (WLC_{ox})C_d / (WLC_{ox} + C_d)$ , 即栅氧电容与耗尽层电容  $C_d$  的串联, 其中  $L$  为沟道的有效长度, 且  $C_d = WL\sqrt{q\epsilon_{si}N_{sub}} / (4\Phi_F)$ 。

$C_{SB}$  与  $C_{DB}$  的值分别是源极、漏极与衬底间电压的函数, 可以由式 (1.2) 求解出。

### (2) 饱和区

在此工作区, MOS 管的沟道在漏端已经发生夹断, 所以栅/漏电容  $C_{GD}$  大约为  $WC_{ol}$ ; 同时 MOS 管的有效沟道长度缩短, 栅与沟道间的电位差从源区的  $V_{GS}$  下降到夹断点的  $V_{GS} - V_{th}$ , 导致了在栅氧下的沟道内的垂直电场的不一致, 可以证明此时 MOS 管的栅/源间电容除了过覆盖电容之外的电容值可表示为  $(2/3)WLC_{ox}$ 。因此有

$$C_{GS} = 2WLC_{ox}/3 + WC_{ol} \quad (1.3)$$

### (3) 深线性区

在此工作区, 漏极 D 与源极 S 的电位几乎相同, 栅电压变化  $\Delta V$  时, 引起等量的电荷从

源极流向漏极，所以栅氧电容（栅与沟道间的电容） $WLC_{ox}$  平均分为栅/源端之间与栅/漏端之间的电容，此时栅/源电容与栅/漏电容可表示为

$$C_{GD} = C_{GS} = WLC_{ox}/2 + WC_{ol} \quad (1.4)$$

当工作在线性区与饱和区时，栅与衬底间的电容常被忽略，这是由于反型层在栅与衬底间起着屏蔽作用，也就是说如果栅压发生了改变，导电电荷的提供主要由源极提供而流向漏极，而不是由衬底提供导电电荷。

$C_{GD}$  与  $C_{GS}$  在不同工作区域的值如图 1.7 所示，注意在不同的区域之间的转变不能简单计算得到，只是根据趋势进行延伸而得。

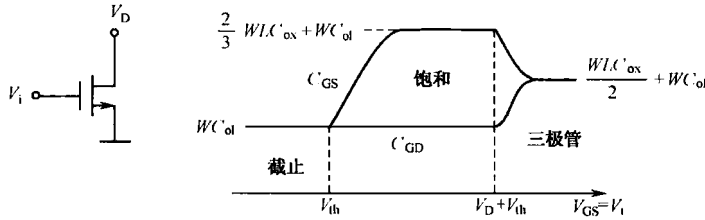


图 1.7 栅/源、栅/漏的电容量变化与  $V_{GS}$  的关系曲线

### 1.1.4 MOS 管的电特性

在本节中，主要分析 MOS 管在模拟集成电路设计中经常考虑的阈值电压、 $I/V$  特性、输入-输出转移特性以及跨导等电特性，为后续各种电路的设计与分析打下基础。

#### 1. 阈值电压 $V_{th}$

根据前面介绍的 MOS 管的工作原理，考虑一个增强型 NMOS 管，由于栅极与衬底之间构成了一个电容，当  $V_G$  从 0 逐步升高时，在 P 型衬底中先形成耗尽区，然后形成反型层，产生导电沟道。定义在漏/源电压的作用下刚开始有电流产生时的  $V_G$  为 MOS 管的阈值电压（或开启电压） $V_{th}$ 。

实际上，这种导通现象是栅压的一个逐渐变化的函数，因此很难准确定义  $V_{th}$ 。在半导体物理中，一个增强型 NMOS 管的  $V_{th}$  常被定义成在衬底中产生强反型层时栅上所加的电压，即有

$$V_{th} = \phi_{MS} + 2\phi_f + \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} = \frac{Q_b}{C_{ox}} + 2\phi_f + V_{FB} \quad (1.5)$$

式 (1.5) 中， $\phi_{MS}$  是指多晶硅栅与硅衬底间的接触电势差；

$\phi_f = (kT/q) \ln(N_{sub}/n_i)$ ，称为费米势，其中  $q$  是电子电荷， $N_{sub}$  是衬底的掺杂浓度；

$Q_b$  是耗尽区的电荷密度，其值为  $Q_b = \sqrt{4q\epsilon_{si}|\phi_f|N_{sub}}$ ，其中  $\epsilon_{si}$  是硅的介电常数；

$C_{ox}$  是单位面积的栅氧电容， $C_{ox} = \mu_n \epsilon_{ox} / t_{ox}$ ， $\epsilon_{ox} = \epsilon_{si} \epsilon_0$ ，例如  $t_{ox} \approx 100 \text{ \AA}^{(1)}$ ；

$C_{ox} \approx 3.45 \text{ fF}/\mu\text{m}^2$ ；

$Q_{ss}$  是氧化层中单位面积的正电荷；

$V_{FB}$  称为平带电压， $V_{FB} = \phi_{MS} - \frac{Q_{ss}}{C_{ox}}$ 。

式 (1.5) 既适用于增强型 NMOS 管，也适用于耗尽型 NMOS 管。由式 (1.5) 可以看出，器件的阈值电压主要可以通过改变衬底的掺杂浓度、衬底表面浓度或改变氧化层中的电荷密度来调整。

①  $1 \text{ \AA} = 0.1 \text{ nm}$ ——编者注。

同理对于 PMOS 管，其阈值电压可表示为

$$V_{th} = \phi_{MS} - 2\phi_f + \frac{Q_b}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} = \frac{Q_b}{C_{ox}} - 2\phi_f + V_{FB} \quad (1.6)$$

实际上，用式 (1.5) 与式 (1.6) 求出的“内在”阈值电压在电路设计过程中可能不适用，在 MOS 管的制造过程中，常通过在沟道中注入杂质的方法，或通过对多晶硅掺杂金属，即改变多晶栅与衬底之间的接触电势来调整阈值电压。比如，若在 P 型衬底中掺杂三价离子形成一层薄的 P<sup>+</sup>区，则为了实现耗尽，其栅电压必须提高，从而提高了阈值电压。

PMOS 管的开通现象则与 NMOS 管相似，只是在栅极上所加的电压极性相反，如果栅/源电压有足够“负”，在二氧化硅的界面处将会形成一层包含空穴的反型层，从而形成源/漏之间的导通沟道。

由式 (1.5) 与式 (1.6) 可以发现：MOS 管的阈值电压主要取决于工艺，但同时与绝对温度及耗尽层中的电荷密度有关，而衬底偏置效应会引起耗尽层中的电荷密度的变化，因此衬底偏置效应会引起 MOS 管阈值电压的变化（参见“二阶效应”一节）。

## 2. 输出特性—— $I/V$ 特性

MOS 管的输出电流-电压特性的经典描述是饱和萨氏方程。不考虑二阶及以上效应时，NMOS 管导通时的饱和萨氏方程为

$$I_D = \mu_N C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] = K_N \left[ 2(V_{GS} - V_{th}) V_{DS} - V_{DS}^2 \right] \quad (1.7)$$

式 (1.7) 中  $(V_{GS} - V_{th})$  为 MOS 管的“过驱动电压”， $L$  是指沟道的有效长度， $W/L$  称为宽长比， $K_N = (1/2)\mu_N C_{ox} (W/L)$ ，称为 NMOS 管的导电因子。

由式 (1.7) 还可以看出 MOS 管漏极电流  $I_D$  的值不仅取决于工艺参数： $\mu_N C_{ox}$ 、器件尺寸  $W$  和  $L$ ，而且还取决于 MOS 管的漏/源电压  $V_{DS}$  及过驱动电压  $(V_{GS} - V_{th})$ 。

根据 MOS 管的工作原理，MOS 管存在三个主要的工作区：截止区、线性区、饱和区，下面分别讨论不同工作区时 MOS 管的输出特性。

- ① 截止区： $V_{GS} \leq V_{th}$ ，MOS 管没有产生导通沟道，即  $I_D = 0$ ；
- ② 线性区： $V_{DS} \leq V_{GS} - V_{th}$ ，漏极电流表示为萨氏方程，如式 (1.7) 所示。  
当  $V_{DS} \ll 2(V_{GS} - V_{th})$  时称 MOS 管工作在深线性区，式 (1.7) 可近似为

$$I_D \approx 2K_N (V_{GS} - V_{th}) V_{DS} \quad (1.8)$$

式 (1.8) 表明在  $V_{DS}$  较小时， $I_D$  是  $V_{DS}$  的线性函数，即这时 MOS 管可等效为一个电阻，其阻值为

$$R_{on} = \frac{V_{DS}}{I_D} = \frac{1}{2K_N (V_{GS} - V_{th})} \quad (1.9)$$

式 (1.9) 表明，工作于深线性区的 MOS 管可等效为一个受过驱动电压控制的可控电阻，即当  $V_{GS}$  一定时，沟道直流导通电阻近似为一恒定的电阻，如图 1.8 所示。

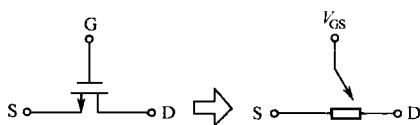


图 1.8 工作于深线性区的 MOS 管等效为一个可控电阻

- ③ 饱和区： $V_{DS} \geq V_{GS} - V_{th}$

由 1.1 节中对于 MOS 管的工作原理的分析可知，漏极电流并不是随  $V_{DS}$  增大而无限增大的，在  $V_{DS} > V_{GS} - V_{th}$  时，MOS 管进入饱和区：此时在沟道中发生了夹断现象。



式 (1.7) 两边对  $V_{DS}$  求导, 可求出当  $V_{DS}=V_{GS}-V_{th}$  (即 MOS 管发生预夹断,  $V_{GD}=V_{th}$ ) 时, 电流有最大值, 其值为

$$I_D = \frac{1}{2} \mu_N C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 = K_N (V_{GS} - V_{th})^2 \quad (1.10)$$

式 (1.10) 就是饱和萨氏方程。由该方程可以看出, 工作于饱和区的 MOS 管的漏极电流与过驱动电压间存在平方关系, 因此 MOS 管是一种平方型器件。

另外, MOS 管还存在亚阈值区, 即弱反型区, 其条件是  $4V_T < V_{GS} < V_{th}$ , 其中  $V_T$  为 MOS 管的热电压。下一节将对此进行详细分析。

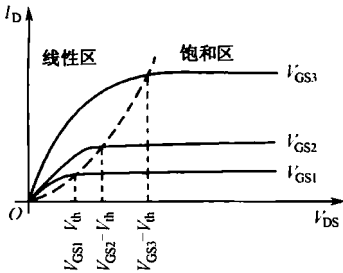


图 1.9 NMOS 的  $I/V$  特性曲线

当然, 当 MOS 管的漏/源电压  $V_{DS} > BV_{DS}$  ( $BV_{DS}$  为 MOS 管的击穿电压) 时, 称为击穿区 (这是需要避免的区域)。

NMOS 管的  $I/V$  特性曲线可以用图表示, 如图 1.9 所示。

同理, 对于 PMOS 管, 其  $I/V$  特性方程为

$$I_D = -K_P [2(V_{GS} - V_{th})V_{DS} - V_{DS}^2] \quad (1.11)$$

式 (1.11) 中的  $K_P$  为  $K_P = \frac{1}{2} \mu_P C_{ox} \frac{W}{L}$ , 是 PMOS 管的导

电因子。

在饱和区 PMOS 管的  $I/V$  特性方程为

$$I_D = -\frac{1}{2} \mu_P C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (1.12)$$

式 (1.11) 与式 (1.12) 中的负号是由于假定  $I_D$  从漏极流向源极, 即对于 PMOS 管, 其输出电流是由源极流向漏极的。由于在同等条件下空穴的迁移率小于电子的迁移率, 故在同一几何尺寸及工艺条件下 PMOS 器件的驱动电流能力较低。

工作于饱和区的 MOS 管可以等效为连接在漏/源间的压控电流源 (如图 1.10 所示), 且只有一端是悬浮的, 其值大小是由过驱动电压决定的, 这在模拟集成电路设计中是非常有用的。

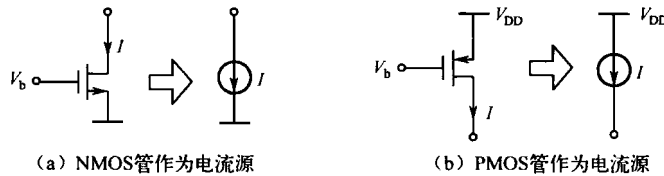


图 1.10 工作于饱和区的 MOS 管作为压控电流源

**例 1.3** 在如图 1.11 (a) 所示的电路中,  $M_1$  为 NMOS 管, 假定:  $V_{th0}=0.7V$ , 忽略二阶及以上效应, 当  $V_X$  从  $0V$  变化到  $3V$  时, 请画出  $I$  随  $V$  变化的曲线。

**解:** 如果  $0 < V_X < 1V$ ,  $M_1$  的端口 1 和端口 2 分别为源、漏端, 且有  $V_{GS}=1.9-V_X$ ,  $V_{DS}=1-V_X$ ,  $V_{GS}-V_{th}=1.2-V_X$ , 此时  $V_{DS} < V_{GS}-V_{th}$ , 所以  $M_1$  工作于线性区, 可用饱和萨氏方程求出  $M_1$  的漏极电流

$$I = -K_N [(1.2 - V_X) \times 2 \times (1 - V_X) - (1 - V_X)^2] = -K_N (1 - V_X)(1.4 - V_X) \quad (1.13)$$

式 (1.13) 中的负号表示当  $V_X < 1V$  变化时, 漏极电流的方向与图 1.11 (a) 中标注的方向相反。

当  $V_X > 1V$  时,  $M_1$  的端口 1 和端口 2 分别为漏、源端, 且有  $V_{GS}=1.9-1=0.9V$ ,  $V_{DS}=V_X-1$ ,  $V_{GS}-V_{th}=0.2V$ 。