



普通高等教育“十一五”国家级规划教材



教育部“高等学校教学质量与教学改革工程”立项项目

周悦芝 董代洁 编著

微型计算机接口技术 实验教程 —— 基于FPGA设计

计算机科学与技术专业实践系列教材

清华大学出版社



普通高等教育“十一五”国

计算机科学与技术专业实践系列教材

教育部“高等学校教学质量与教学改革工程”立项项目



微型计算机接口技术 实验教程

—— 基于FPGA设计

周悦芝 董代洁 编著

清华大学出版社

北京

内 容 简 介

本书是配合清华大学计算机系为全校理工科研究生开设的“微型计算机系统接口技术”课而编写的实验教材。这门课程的特点是以实验为主,前面理论课的讲解部分主要陈述接口技术的一般知识、实验涉及的接口原理和协议,本书主要介绍了可编程硬件设计平台的基本构成、基于硬件设计平台的 EDA 设计方法以及各个实验的设计方法和参考例程的基本步骤。内容以大实验为主,设计接口硬件的同时,有的还需要有软件的配合或包含设计驱动程序,在已有一定理论基础安排的各个实验内容,主要培养学生的综合设计能力,训练学生把理论用于实践、解决实际问题的能力。

本书适合高等院校理工科类研究生和本科生使用,也可用作硬件设计人员的学习参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

微型计算机接口技术实验教程——基于 FPGA 设计 / 周悦芝,董代洁编著. —北京:清华大学出版社,2011.11

(计算机科学与技术专业实践系列教材)

ISBN 978-7-302-25406-5

I. ①微… II. ①周… ②董… III. ①微型计算机—接口—实验—高等学校—教材
IV. ①TP364.7-33

中国版本图书馆 CIP 数据核字(2011)第 071760 号

责任编辑:白立军 李玮琪

责任校对:时翠兰

责任印制:李红英

出版发行:清华大学出版社

地 址:北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62795954,jsjjc@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015,zhiliang@tup.tsinghua.edu.cn

印 装 者:北京鑫海金澳胶印有限公司

经 销:全国新华书店

开 本:185×260

印 张:19.25

字 数:476 千字

版 次:2011 年 11 月第 1 版

印 次:2011 年 11 月第 1 次印刷

印 数:1~3000

定 价:29.50 元

产品编号:034108-01

前 言

计算机系统接口技术是计算机类及其他工科类学生的重要课程,一般计算机专业的学生在学习了数字逻辑和计算机组成原理后再学习计算机接口技术,而非计算机类的工科学生在学习了数字逻辑课程后要学习微机原理及接口技术课程。这样将对计算机及系统有一个整体的认识,同时也能让学生进一步地学习计算机应用方面的知识。

计算机接口技术包含的内容很广,一般是指 CPU 与外部设备或存储器的接口,其中包括内部总线与外部设备的接口、软件和硬件的接口、系统软件和应用软件的接口等,应用方面也非常广泛,不同的领域在计算机的应用中通过相同或不同的接口与计算机进行数据交换。计算机接口技术一类的课程主要针对 CPU 与外部设备或存储器的接口硬件原理以及与这些接口相关的系统软件调用、设备驱动软件和设备应用软件。

通常在本科生的计算机接口课程中涉及的内容是一些比较基本的接口知识,比如基本的总线结构、存储器与 CPU 的基本连接和一些常用的外部设备接口,实验涉及的内容也着重于基本的接口实验,比如一般的串并接口、PS/2、定时/计数器、中断控制器、DMA 控制器,即使涉及比较复杂的接口如 USB 接口等,在具体教学或实验时只是接触到应用层,不涉及更深层的内容。而研究生的计算机接口技术课程应该层次更高一些,因为包括非电类的工科学生一般已学习了数字原理和计算机原理一类的课程,所以为研究生开设的接口技术课程需要学习一些更复杂的接口原理,注重接口实验的综合性和实际应用,在教学和实验过程中也应该有更多的开发余地。

计算机系统接口技术是以硬件为重点的课程,目前 Xilinx 和 Altera 等公司生产的 FPGA 和 CPLD 的可编程器件在各个领域的硬件产品设计中已占据了越来越重要的地位,特别是其可重复编程特性,大大降低了设计的成本并且加快了设计的效率,而 FPGA 在器件容量上比 CPLD 更大,适合设计由小到大不同规模的硬件逻辑,所以在高校中以 EDA 为设计手段采用基于 FPGA 为主芯片的实验教学平台已成了主要的趋势。而且随着 FPGA 产品性能的不不断提升,目前的 FPGA 产品内部已包含了更多的资源,包括 CPU 硬核等,而与之相配合的软件设计平台也提供了大量的软核可以利用,包括 CPU 软核、各种常用的设备控制 IP, Xilinx 公司新的软件设计平台集成了逻辑设计、嵌入式设计、DSP 信号处理设计和仿真调试等功能,利用这些硬件和软件的资源可以设计更复杂的接口,也可以利用集成开发软件的嵌入式和 DSP 设计平台设计具有 SOPC 功能的接口设备。

本书是配合清华大学计算机系为全校理工科研究生开设的“微型计算机系统接口技术”课而编写的实验教材。这门课程的特点是以实验为主,前面理论课的讲解部分主要陈述接口技术的一般知识和讲解实验涉及的接口原理和协议,而这本实验教材的主要内容是介绍了硬件平台的基本构成、基于硬件平台的 EDA 设计方法以及各个实验的设计方法和参考例程的基本步骤。内容以大实验为主,设计接口硬件的同时,有的还需要有软件的配合或包含设计驱动程序,不像其他多数教材以一个个的小实验组成,而是在已有一定理论基础上官

排的各个实验内容,主要培养学生的综合设计能力,训练学生把理论用于实践、解决实际问题的能力。本教材特别是后面部分的实验内容比目前已出版的其他教材的实验内容要难一些,我们采用的是学生在选择实验的时候根据自己所学的专业和兴趣来挑选 1~2 个实验,一般情况下做一个完整的实验已满足了一门课实验的要求。难一点的实验可以 2~3 人组成一组,分工合作,共同完成。还有就是教材中也布置了在已有实验的基础上做更深入的实验或在已有实验指导的基础上进行一些变化等任务,这样有助于在当前科技日新月异的情况下使培养的学生能够适应社会的实际需求。

本实验教程一共分为两个部分。

第一部分第 1 章主要介绍了实验硬件平台的基本构成和特点、基本的使用方法、各个接口的基本功能,给出了各个接口的电路图和信号连接表,对于可编程的接口芯片介绍了芯片的基本原理和使用方法。实验者可以通过这一章了解所选实验接口的大致原理,在具体设计时可以查阅接口的逻辑图和详细信号连接及可编程器件的寻址、编程方式。

第一部分第 2 章介绍了设计软件平台 Xilinx ISE Design 12.1 的安装和使用方法,该软件工具集成了 ISE Design Tools 逻辑设计工具和 EDK 嵌入式设计工具以及 DSP 信号处理设计工具,在本书中只介绍前两个工具的使用。本章是通过一个个简单的实例,一步步地指导完成每一个功能,最后达到对软件设计平台的总体理解。通过这一章的练习,学习者已完成了诸如 LED 和七段发光管的显示、DIP、PUSH 输入控制、RS232 串行接口的设计,也掌握了 SOPC 嵌入式设计的基本方法。

第一部分第 3 章介绍了两个基础的接口实验:SRAM 存储和 LCD 显示,为第二部分的大实验做铺垫。

第二部分的内容讲解各个实验的具体设计思路和设计步骤,书中包含了 6 个大实验,实验从简到难,对于较复杂的实验补充了一些基本的原理和协议。实验 1 和实验 2 介绍的是音频和 VGA 实验,参考设计给出的方法是用 VHDL 设计接口逻辑。实验 3 和实验 4 分别介绍 USB 从设备设计和 USB 嵌入式主设备的设计,这两个实验都是采用了 EDK 工具以 SOPC 的方式实现一个完整的接口设备设计。实验 5 介绍了用 VHDL 语言设计网络接口的详细思路、设计流程、仿真和调试方法。实验 6 的内容是通过 ISE Design Tools 的 Core Generator 产生一个 PCIe 的软核,再通过对这个软核的利用实现一个 1 通道的 PCIe 设备,并进行仿真模拟和连接测试。

在教材中的实验设计包括一些 FPGA 片内逻辑设计代码和片内固件程序代码以及 PC 一方的应用程序和驱动程序,有的程序不太长,我们把程序放在了教材里,有的程序量太大,其参考设计工程可从清华大学出版社网站上下载。

实验内容有的是采用了 Xilinx 公司提供的参考设计,并在原设计的基础上作了进一步的改进。

本书适合高等院校理工科类研究生和本科生使用,也可用作硬件设计人员的学习和参考书。

配套的实验装置是基于 Xilinx 新的 Spartan6 系列 FPGA 芯片为主芯片,各种外围接口器件与之相结合,在实验装置上形成具有多种待完成接口。在这个实验装置上,可以通过

EDA 的方式在 FPGA 内部设计各种接口逻辑,并且由于 Spartan6 系列的 FPGA 是 Xilinx 在 Spartan 系列器件的基础升级了好几代的产品,在性能上都有了很大的提高,内部集成有 PCIe 的硬核,还有高速的串行收发器、DSP 逻辑片等,因此在 FPGA 的片内有丰富的可以利用的资源,利用这些资源可以进行较为复杂的接口及接口设备设计。

作 者

2011 年 4 月

目 录

第一部分 实验平台及基础知识

第 1 章 教学实验硬件开发平台	3
1.1 EDK-SP6ADSP-TXMFI001 实验平台的功能概述	3
1.2 系统及接口功能介绍	4
1.2.1 电源和系统时钟	5
1.2.2 配置	5
1.2.3 接口功能介绍	6
第 2 章 学习使用教学实验软件平台	58
2.1 Xilinx ISE Design Suite 12.1 的安装	58
2.2 ISE Design Tools 设计平台训练	62
2.2.1 创建计数器工程	62
2.2.2 仿真行为模型(功能仿真)	65
2.2.3 下载、调试	68
2.3 EDK 嵌入式开发设计平台训练	71
2.3.1 建立一个基本的 SOPC 系统	71
2.3.2 在基本系统基础上添加一个系统给定的控制模块	79
2.3.3 自己设计一个接口控制模块并添加到系统中	88
第 3 章 基础接口实验训练	114
3.1 SRAM 输入输出实验	114
3.1.1 实验目的及概述	114
3.1.2 硬件设计描述	114
3.1.3 设计实现	133
3.2 LCD 显示实验	134
3.2.1 实验目的及概述	134
3.2.2 LCD 接口硬件的设计	134
3.2.3 LCD 接口应用软件的设计	135

第二部分 实验实例

实验 1 音频接口实验	147
1.1 实验目的及概述	147
1.2 立体声回放功能的实现	147
1.2.1 模块和功能整体概述	147
1.2.2 各模块实现方法详解	149
1.2.3 实验方法及结果	153

1.3 高级实现——通过 SRAM 进行音频信息的存储和播放	154
1.3.1 模块和功能整体概述	154
1.3.2 各模块实现方法详解	155
实验 2 VGA 接口实验	161
2.1 实验目的及概述	161
2.2 硬件设计框架描述	161
2.3 设计实现	163
2.3.1 建立 VGA 接口显示工程	163
2.3.2 生成 BMP_ROM 存储器模块及时钟分频模块	164
2.3.3 VGA 接口 VHDL 源代码	170
实验 3 PDIUSBD12 USB 从设备接口实验	186
3.1 实验目的及概述	186
3.2 FPGA 片内硬件设计	187
3.2.1 建立工程	187
3.2.2 参数配置和端口设置	188
3.2.3 硬件设计测试	189
3.3 固件程序设计	193
3.4 驱动程序和应用程序的设计和调试	196
实验 4 CY7C67300 嵌入式 USB 主设备接口实验	200
4.1 实验目的及概述	200
4.2 FPGA 片内设计	201
4.2.1 FPGA 片内硬件实现	201
4.2.2 FPGA 片内软件实现	203
4.3 CY7C67300 芯片固件设计	226
4.3.1 CY7C67300 编译环境	226
4.3.2 CY7C67300 程序设计	227
4.4 实验操作	235
实验 5 网络接口实验	236
5.1 实验目的及功能概述	236
5.1.1 实验目的	236
5.1.2 设计的总体结构和功能	236
5.2 以太帧接收部分 ethernet.vhd 的设计	238
5.3 以太帧发送部分 Ethernetsnd.vhd 设计	241
5.4 以太帧接收过程的模拟结果	244
5.5 IP 数据包简介	245
5.6 IP 层接收模块设计	247
5.7 IP 层发送模块设计	250
5.8 IP 层接收模块功能测试	252
5.9 SRAM 读写接口模块 sraminterface	252

5.10 整体功能测试	254
实验 6 PCI Express 接口设计实验参考	256
6.1 实验目的及设计概述	256
6.2 Integrated Endpoint Block for PCI Express Core 的基本描述	256
6.2.1 Core 接口描述	257
6.2.2 数据传输	263
6.3 用 Core Generator GUI 产生和定制 Core	268
6.4 可编程输入输出例程设计	273
6.5 根端口模型测试平台	279
6.6 调试端口	281
6.7 设计实现	283
6.7.1 仿真例程设计	283
6.7.2 实现例程设计	286
6.7.3 编程 FPGA	289
6.7.4 输入输出测试	289
6.7.5 路径结构和文件目录	292
参考文献	297

第一部分

实验平台及基础知识

第 1 章 教学实验硬件开发平台

1.1 EDK-SP6ADSP-TXMFI001 实验平台的功能概述

EDK-SP6ADSP-TXMFI001 微机接口技术实验平台是基于 Xilinx 公司的 Spartan6 家族 FPGA 为主芯片的多功能开发平台,板上的主芯片 XC6SLX45T 内部有丰富的资源,包括嵌入式 DSP 逻辑片、高速收发器以及 PCI Express 接口内核,支持 DDR、DDR2、DDR3 和移动 DDR 存储器接口,I/O 的输入输出有多种标准。片内有丰富的逻辑资源和大容量的片上 BRAM。适用于大多数接口逻辑开发、音视频处理以及数字通信的应用。

EDK-SP6ADSP-TXMFI001 开发板上与 FPGA 相连的有各种接口,因为采用了 FGG484 封装,I/O 引脚充足,大多数接口可以同时使用。支持多个时钟源和差分时钟输入,主时钟为 100MHz。有多种 FPGA 编程模式如 Platform Flash, System ACE 和 USB/Stag。板上具有 SRAM 和 Flash 存储器接口、音频和视频接口以及多种用户接口包括 PS/2、RS232、主/从 USB 接口、10/100/1000MHz 以太网接口和 PCIe 接口,还设计了 Xilinx 的扩展接口 FMC,通过这个扩展接口可以连接其他的子板,这样可以补充主板上没有的功能,增加了应用的灵活性。

该实验平台可以应用于大学本科生、研究生的计算机接口实验教学,也可以用于基于 EDK 的硬件设计以及片上系统设计实验教学。图 1-1-1 是 EDK-SP6ADSP-TXMFI001 实验板图片。

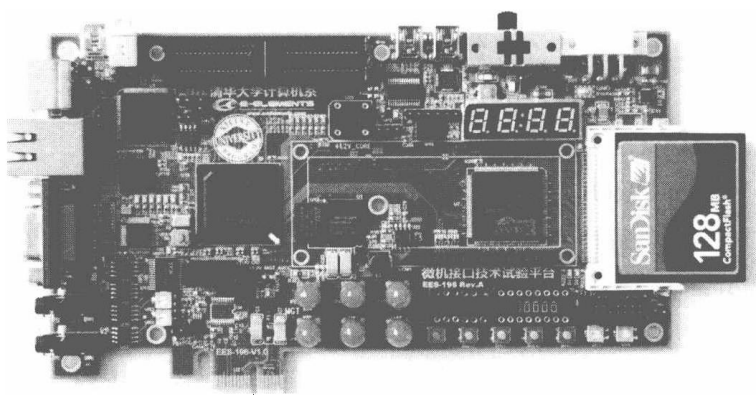


图 1-1-1 EDK-SP6ADSP-TXMFI001 实验板

图 1-1-2 是 EDK-SP6ADSP-TXMFI001 实验板的逻辑框图。

EDK-SP6ADSP-TXMFI001 实验板的特点如下。

- 主芯片为 XC6SLX45T-FGG484;
- 系统主时钟为 100MHz,另外还附加 USER 时钟源和 SMA 差分时钟输入输出对;
- 三种 FPGA 配置源: 主机(通过 Jtag)、CF 卡(通过 SysACE)、64Mbit 的 SPI-Flash;
- 支持 System ACE 控制的 CF 卡连接及其文件读取;

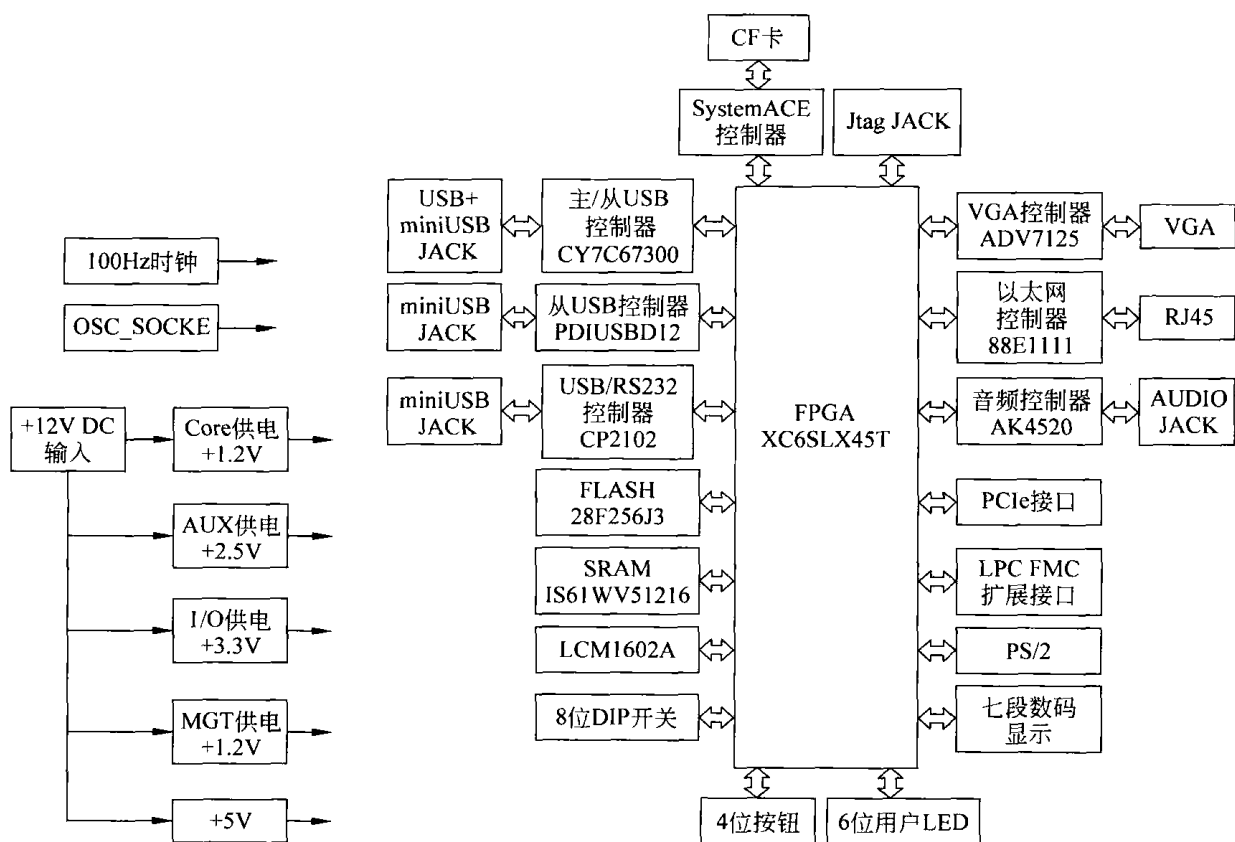


图 1-1-2 EDK-SP6ADSP-TXMFI001 实验板的逻辑框图

- 32/16/8/4MB 的线性并行 Flash；
- 8Mbit 的静态 SRAM；
- DIP 开关、LED、Push 按键、PS/2 鼠标键盘；
- SATA 接口；
- RS232 串口；
- 16 字符 X2 的 LCD；
- 128Kb 的 IIC EEPROM；
- Stereo 的 AK4520 解码芯片；
- VGA output: 140 MHz/24-bit video DAC；
- 支持 10/100/1000 位传输的以太网物理层接口；
- CY7C67300 USB 2.0 嵌入式支持主从模式的 USB 设备接口；
- PDIUSBD12 USB 1.1 从模式 USB 接口；
- PCI Express 接口；
- Xilinx-FMC 扩展槽。

1.2 系统及接口功能介绍

多功能接口实验板涵盖了常见的接口功能,本节中详细介绍板上的时钟资源和配置,介绍每一个接口的功能及控制使用方法,并列出了每一个接口的电路图和信号连接表,设计者

在对某一个接口进行设计时,可以通过查阅这一章节的内容对设计对象有一个直观的认识,而不必再去查阅太多其他的参考资料和数据手册。

1.2.1 电源和系统时钟

电源和系统时钟是实验板上的基本电路,电源输入部分采用 220V 转 12V 直流输入, FPGA 主芯片的核电压采用 1.2V 供电, I/O 供电有 1.0V、1.2V、2.5V、3.3V 几种方式, 实际采用哪一种 I/O 供电与接口电路的器件要求有关, 具体参看后面的接口介绍。系统时钟有两个, 一个是固定的 100MHz, 使用一个 4 管脚的有源晶振来实现, 另一个是用户时钟, 通过插槽可以连接不同频率的时钟源, 时钟信号与 FPGA 芯片 I/O 管脚的关系见表 1-1-1。

表 1-1-1 时钟管脚连接

CLOCK 器件管脚	信号名	FPGA 管脚
X9-3	FPGA_CLK0(100MHz)	K22
U29-5	FPGA_CLK1(OSC_SOCKET)	L1

1.2.2 配置

主芯片 FPGA 有几种不同的配置编程模式, 通过管脚 M0、M1 来确定, 配置 FPGA 除了要确定配置模式外还需要确定配置来源, 配置电路用于对实验板上 FPGA 芯片的编程, 接口板可以通过三个主要的配置源来配置。

(1) 主机通过 Jtag 电缆到 FPGA。这种方式的编程模式是 Jtag, 配置源为 PC。方法是在 PC 方连接 Jtag 电缆到实验板, 将编译好的位流文件通过运行软件设计平台的配置软件直接下载到 FPGA, 板上有三个可以通过 Jtag 编程的器件, 一个是主芯片 FPGA, 另一个是 System ACE, 还有一个是串行 Flash, 这三个器件以菊链的方式通过 Jtag 信号线串行连接, 在运行了配置软件后会自动显示板上可配置器件的 Jtag 链路关系(见图 1-1-3), 可以选中其中的任何一个器件进行编程。

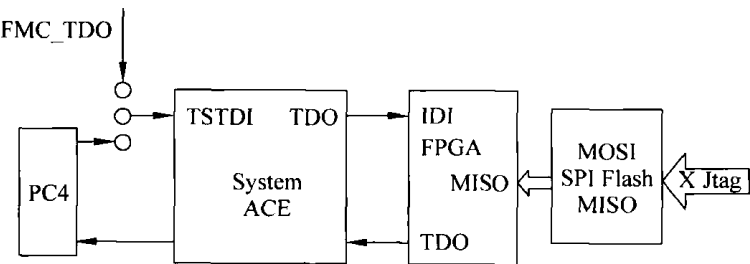


图 1-1-3 EDK-SP6ADSP-TXMF1001 实验板的 Jtag 菊链

(2) 通过 System ACE 控制器将 CF 卡的文件写到 FPGA。System ACE 控制器是 Xilinx 公司开发的高级配置管理芯片, 在本实验平台可以先通过 System ACE 控制器以 Jtag 方式先编程 CF 卡, 然后就可以脱离 PC 在上电时将 CF 卡的内容写到 FPGA 芯片中去, 此时的配置方式为 Slave Serial。System ACE 对 CF 卡的管理可以分成 8 个区域, 编程哪一个区域的内容需要一个设置开关 SW13 来确定, CF 卡内部有一个文件管理系统, 格式是 FAT16。

(3) 通过 SPI Flash 编程 FPGA。方法是先通过 Jtag 配置好 SPI Flash,一旦模式设置好以后,上电后即可将 SPI Flash 存储的内容写到 FPGA,此时的配置方式也为 Slave Serial。

(4) 实验板上还预留了 Jtag 的位置,如果有子板加到实验板上,通过 X Jtag 将子板可编程器件的链接加入。

配置模式开关 DIP(SW13)有 8 位(见图 1-1-4),前 3 位 CFG_A0~CFG_A2 是选择 CF 卡地址块映像的,FPGA_MODE0 和 FPGA_MODE1 是 FPGA 配置模式选择。HSWAPEN 是 FPGA 的一个与配置有关的多功能引脚,配置期间当它接地时,它使能器件所有 I/O 引脚的上拉电阻。FPGA_SUSPEND 被连接到 FPGA 的电源管理管脚 SUSPEND,当接地是非挂起状态时,FPGA 期间上的所有 I/O 为有效。CFG_MODE 连接到 System ACE 的配置管脚,接高电平时自动处理配置,接地时要等待配置位设置时才处理配置。

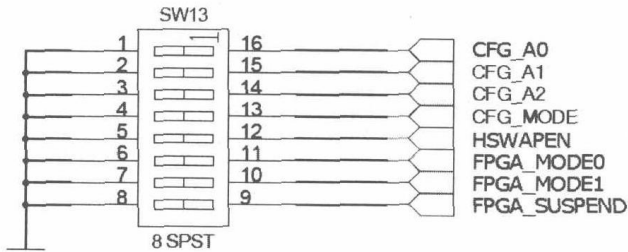


图 1-1-4 配置源选择开关

FPGA 的配置模式表达关系见表 1-1-2。

表 1-1-2 配置模式开关 DIP

配置模式	FPGA_MODE[1:0]	总线宽度	CCLK 方向
Master Serial/SPI	01	1,2,4(1)	Output
Master SelectMAP/BPI	00	8,16	Output
Jtag	xx	1	Input (TCK)
Slave SelectMAP	10	8,16	Input
Slave Serial	11	1	Input

1.2.3 接口功能介绍

这一部分的内容是供实验者查阅用,不必每一部分都看,在实验中用到哪一个接口再看哪一个接口的介绍。本节给出实验板上的各个接口电路和连接图并加以说明。讲解的顺序基本是先易后难,先介绍简单的接口,然后逐步介绍较复杂的接口,简单的接口如 DIP 开关接口等只是把图表列出来,然后加以简单说明,复杂的接口介绍就详细一些,比如 USB 嵌入式接口电路是由一个较复杂的芯片 CY7C67300 完成主要的功能,我们将对芯片的使用和控制做比较详细的介绍,并介绍由它与 FPGA 连接后组成接口设备的基本原理、数据传输方式和信号连接关系等,这样通过查阅这一部分的内容后对控制接口的方法就基本能够掌握了,当然如果还需要更深入的了解还可查看实验板逻辑图及相关的器件手册。

1. FPGA 器件及 I/O 信号

XC6SLX45T 作为实验板上的主要器件,完成对各个接口芯片的控制,与各个接口芯片共同组成完整的接口设备。每一个接口电路的组成基本上都是一个接口器件加上 FPGA

的控制部分。XC6SLX45T 具有 4.3 万个 Logic Cells, 116x18Kb BRAM, 296 个可利用的 I/O 资源, 内核电压采用 1.2V 供电, 片内分为 4 个 BANK, 每个 BANK 的 I/O 可以分别供电, 片内有两个存储器控制器、一个 PCIe 硬核、4 个高速串行收发器速度可达 3.125Gbps。

每一个接口电路芯片与 FPGA 接口的信号都分别与 FPGA 的特定 I/O 管脚连接, 所以基本上各个接口电路可以同时运行, 但实验板中 SRAM 电路和 Flash 电路的数据和地址线共享, 所以这两个电路不能同时运行。

这里我们没有把 FPGA 部分的电路全部列出来, 只列出了和接口相关的部分, 电源、配置、时钟部分前面已有描述, 在调试时如果需要可以参看详细的电路图。图 1-1-5 表明了 FPGA 4 个 BANK 的 I/O 信号连接关系, 在做设计时需要和接口部分的电路结合起来看。

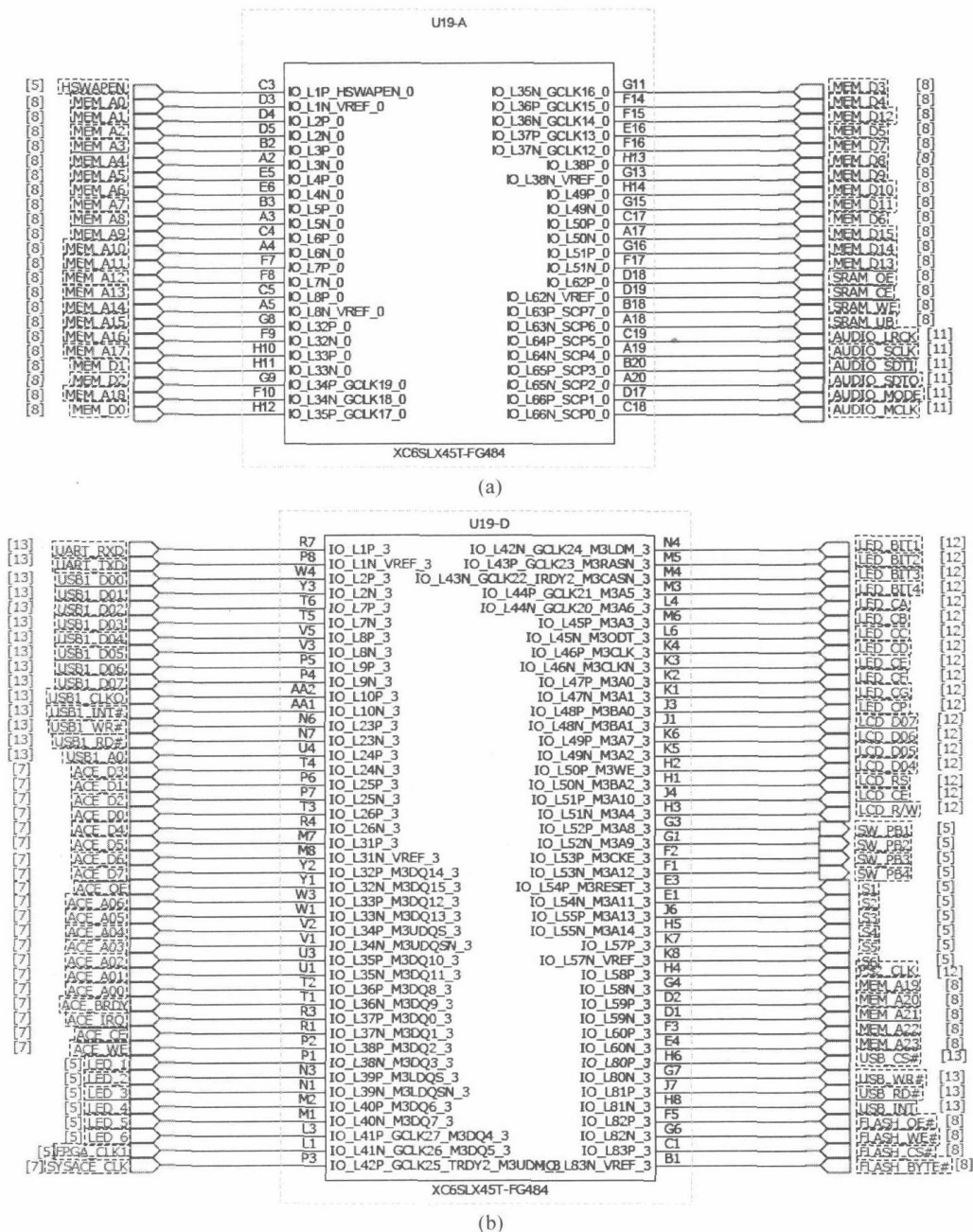


图 1-1-5 FPGA I/O 部分电路图

