

21世纪高等学校电子信息工程规划教材

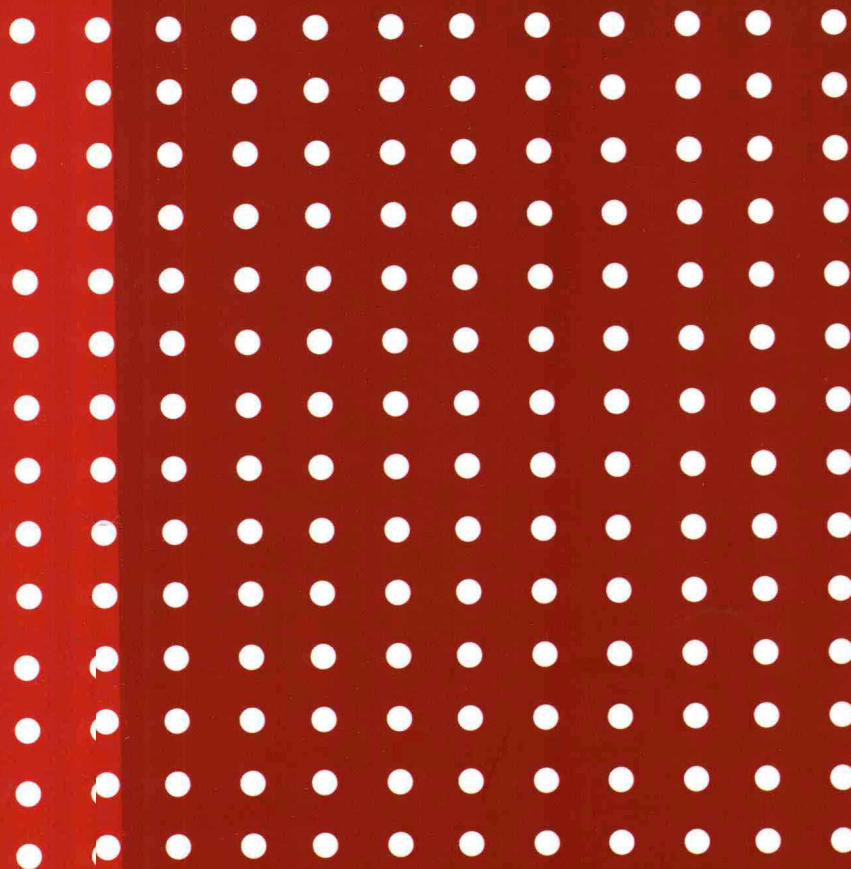
可下载教学资料

<http://www.tup.tsinghua.edu.cn>

DSPs 原理及应用教程

(第二版)

薛雷 编著



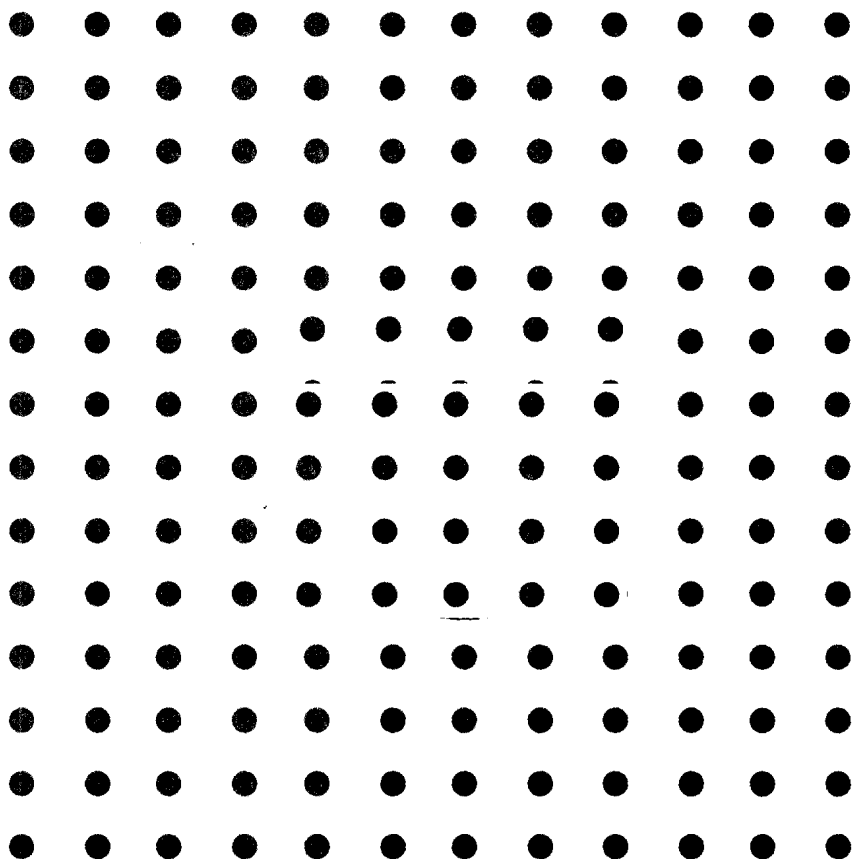
清华大学出版社

21 世纪高等学校电子信息工程规划教材

DSPs 原理及应用教程

(第二版)

薛雷 编著



清华大学出版社
北京

内 容 简 介

本书从技术资料的选用上,注重技术知识点的衔接;注重电路的基本结构和分析方法。既以先进 DSPs 结构为切入点,深入浅出;又以此为契机讲述其它系列 DSPs,内容实用丰富、数据准确、电路结构切实可行。

本书分为 4 部分讲述 DSPs 系统的基本原理。(1)认真分析了 TMS320C6201/6701 的内核、外部扩展总线、存储、中断、DMA 和片内外设等结构;(2)结合常用的芯片讲述了 DSPs 外部扩展技术,并且给出了 DSPs 总线时序的计算方法和实例;(3)因为 DSPs 具有嵌入式 CPU 的特点,所以从工程的角度介绍了 DSPs 软件设计的规范,并通过实例讲述了软件仿真和实时硬件调试技术。(4)本书还以英文附录的形式编写了 TMS320F2812 和 ADSP-BF506F 的相关内容,利用相近知识点比较学习、渐进提高的方法以期读者能够通过本书对当代 DSPs 有较全面的掌握。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

DSPs 原理及应用教程/薛雷编著. —2 版. —北京:清华大学出版社,2011.9

(21 世纪高等学校电子信息工程规划教材)

ISBN 978-7-302-26112-4

I. ①D… II. ①薛… III. ①数字信号处理—高等学校—教材 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2011)第 133051 号

责任编辑:梁 颖

责任校对:梁 毅

责任印制:杨 艳

出版发行:清华大学出版社

地 址:北京清华大学学研大厦 A 座

<http://www.tup.com.cn>

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62795954,jsjtc@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015,zhiliang@tup.tsinghua.edu.cn

印 刷 者:北京富博印刷有限公司

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185×260 印 张:18 字 数:452 千字

版 次:2011 年 9 月第 2 版 印 次:2011 年 9 月第 1 次印刷

印 数:1~3000

定 价:30.00 元

产品编号:042338-01

出版说明

随着我国高等教育规模的扩大和产业结构调整的进一步完善,社会对高层次应用型人才的需求将更加迫切。各地高校紧密结合地方经济建设发展需要,科学运用市场调节机制,合理调整和配置教育资源,在改革和改造传统学科专业的基础上,加强工程型和应用型学科专业建设,积极设置主要面向地方支柱产业、高新技术产业、服务业的工程型和应用型学科专业,积极为地方经济建设输送各类应用型人才。各高校加大了使用信息科学等现代科学技术提升、改造传统学科专业的力度,从而实现传统学科专业向工程型和应用型学科专业的发展与转变。在发挥传统学科专业师资力量强、办学经验丰富、教学资源充裕等优势的同时,不断更新其教学内容、改革课程体系,使工程型和应用型学科专业教育与经济建设相适应。

为了配合高校工程型和应用型学科专业的建设和发展,急需出版一批内容新、体系新、方法新、手段新的高水平电子信息类专业课程教材。目前,工程型和应用型学科专业电子信息类专业课程教材的建设工作仍滞后于教学改革的实践,如现有的电子信息类专业教材中有不少内容陈旧(依然用传统专业电子信息教材代替工程型和应用型学科专业教材),重理论、轻实践,不能满足新的教学计划、课程设置的需要;一些课程的教材可供选择的品种太少;一些基础课的教材虽然品种较多,但低水平重复严重;有些教材内容庞杂,书越编越厚;专业课教材、教学辅助教材及教学参考书短缺,等等,都不利于学生能力的提高和素质的培养。为此,在教育部相关教学指导委员会专家的指导和建议下,清华大学出版社组织出版本系列教材,以满足工程型和应用型电子信息类专业课程教学的需要。本系列教材在规划过程中体现了如下一些基本原则和特点:

(1) 系列教材主要是电子信息学科基础课程教材,面向工程技术应用培养。本系列教材在内容上坚持基本理论适度,反映基本理论和原理的综合应用,强调工程实践和应用环节。电子信息学科历经了一个多世纪的发展,已经形成了一个完整、科学的理论体系,这些理论是这一领域技术发展的强大源泉,基于理论的技术创新、开发与应用显得更为重要。

(2) 系列教材体现了电子信息学科使用新的分析方法和手段解决工程实际问题。利用计算机强大功能和仿真设计软件,使得电子信息领域中大量复杂的理论计算、变换分析等变得快速简单。教材充分体现了利用计算机解决理论分析与解算实际工程电路的途径与方法。

(3) 系列教材体现了新技术、新器件的开发应用实践。电子信息产业中仪器、设备、产品都已使用高集成化的模块,且不仅仅由硬件来实现,而是大量使用软件和硬件相结合方法,使得产品性价比很高,如何使学生掌握这些先进的技术、创造性地开发应用新技术是本系列教材的一个重要特点。

(4) 以学生知识、能力、素质协调发展为宗旨,系列教材编写内容充分注意了学生创新

能力和实践能力的培养,加强了实验实践环节,各门课程均配有独立的实验课程和课程设计。

(5) 21 世纪是信息时代,学生获取知识可以是多种媒体形式和多种渠道的,而不再局限于课堂上,因而传授知识不再以教师为中心,以教材为唯一依托,而应该多为学生提供各类学习资料(如网络教材,CAI 课件,学习指导书等)。应创造一种新的学习环境(如讨论,自学,设计制作竞赛等),让学生成为学习主体。该系列教材以计算机、网络和实验室为载体,配有多种辅助学习资料,提高学生学习兴趣。

繁荣教材出版事业,提高教材质量的关键是教师。建立一支高水平的以老带新的教材编写队伍才能保证教材的编写质量和建设力度,希望有志于教材建设的教师能够加入到我们的编写队伍中来。

21 世纪高等学校电子信息工程规划教材编委会

联系人: 魏江江 weijj@tup.tsinghua.edu.cn

第二版前言

CPU、存储器映射和扩展、中断系统、片内外设和软件设计是 DSPs 系统中的 5 个纲领性结构。这种结构特征体现在众多的 DSPs 中,并且尤以 TI 公司的 TMS320C6201/6701 最为清晰,经过这些年的发展,该系列芯片在目前的 DSPs 进程和市场中有承上启下的作用。所以本书以此为线索,提纲挈领地讲述了 DSPs 的构成原理、电路结构、应用系统、算法结构和实验操作。

DSPs 的发展方向、种类、结构趋于多样化,期望一本教材就学会 DSPs 是不可能的。对电子类理工科来说,电路思想、结构原理是学习基础和职业基础。本书仍以 DSPs 的硬件电路系统入手,深入浅出地讲解 DSPs 使用和系统设计中的必备知识和技能。

从教学方法上,通过比较可以学得更多、更扎实。为了使學生通过本教材学习能够举一反三,在教师的引导下较全面地进一步掌握当代主流 DSPs 的应用,本教材还引入了一部分扩展内容,如 TI 公司的 TMS320CF2812 和 ADI 公司的 BF506F,这些内容均来自于英语数据手册。

有 DSPs 开发经验的技术人员都明白,在实际工作中要学好、用好 DSPs 必须以该 DSPs 的英语数据手册为工作基础。所以通过本书可以既学习专业知识又锻炼外语能力,也为今后直接使用原版资料提供了阶梯。

为了提供准确的技术资料,本文中的许多图表源于电子元器件制造商公开的技术资料,并且检验和校对了网上下载的技术文档,适当修正了不规范的译文。因资料标注的工作量较大,未能在参考文献中一一注明,在此表示歉意并欢迎来信批评和指正。

本书对第一版教材的结构进行了修改,更好地体现了 DSPs 内部结构的技术特征。书中的典型电路和基本实验与第一版教程保持一致。本书既重新计算了电路参数,也在 CCS 的新版本上重新运行了实验代码。

为完成本书,硕士研究生孙峰杰、罗珍茜、李长远、陆士清、何金胜、袁苑、何星剑、张丽、连敏杰等同学做了很多基础实验,收集了很多资料和图片。教师刘凯博士认真校对了本书的插图和公式。在此特向他们表示感谢。

作 者

2011 年 2 月于上海大学

第一版前言

TMS320C6201 和 TMS320C6701 是 Texas Instruments 公司 TMS320C6000 平台中两款重要的 DSPs 芯片。TMS320C6201 是定点 DSPs, TMS320C6701 是浮点 DSPs。'C6000 平台首次采用了 VelociTI™ 结构。这是一种高性能和先进 VLIW 指令集的 DSPs 结构, 使得 'C6000 平台成为当前多处理通道、多功能和高数据处理速度 DSPs 的典范。

由于 DSPs 器件的特点, 各种 DSPs 器件间的兼容性很差。不仅不同公司的 DSPs 器件互相不兼容, 而且同一公司的 DSPs 器件间也有很大的差异。这些差异表现在器件内部结构以及在片外部设备、引脚定义、封装和程序代码之间。'C6000 的 DSPs 系列已经有了近 10 年的发展历史, 包含了约 21 种不同型号的 DSPs。它们可以分为 5 部分, 即基本定点型、基本浮点型、高附加值型、专用型和高性能型。每一部分的代表型号分别是 'C6201、'C6701、'C6411/6412、'DM640/641/642、'C6414T/6515T/6416T。'C6201 和 'C6701 是该系列的基本型号, 其他的高性能芯片均是这两款 DSPs 的扩展和增强, 并且这些器件间的程序代码是互相兼容的, 即为 'C6201 和 'C6701 编写的代码可直接通过 CCS 编译器移植到其他型号的 DSPs 上。'C6201 和 'C6701 分别代表了 TI 公司 'C6000 平台的基本定点型和浮点型。这两种型号间还含有其他的多款器件, 分别如 'C6201、'C6211、'C6212、'C6213 和 'C6701、'C6711、'C6712、'C6713 等。这些对应的器件间不仅代码兼容, 而且在片外部设备、引脚与封装都是相同的, 可以用基本浮点型直接替换基本定点型的对应芯片。所以掌握 'C6201/6701 器件是了解 DSPs 的关键所在。

'C6201/6701 不愧为 'C6000 家族的基本代表器件。它的 CPU 结构和 VLIW 指令集不仅是 'C6000 平台的基础, 并且外围设备编程和定义的方法也是其他各增强器件的榜样。构造采用以 DSPs 为核心的用户系统时, 首要的硬件设计任务是为 DSPs 设计外部存储器, 其性能直接影响 DSPs 系统的数据处理效率。'C6201/6701 与外部存储器的接口也是同系列 DSPs 接口的典范和模板。可以说, 掌握了这种 DSPs 的设计方法也就深入了解了其他 DSPs 的接口要点和所涉及的关键器件。

全书分为 3 部分共 21 章。第 1 部分为 DSPs 概论和 'C6201/6701 的基本结构。从横向与纵向、历史与现代两方面介绍了 DSPs 的概貌, 突出了 'C6201/6701 在业界的核心位置。针对 'C6201/6701 芯片详细讲述了其 CPU 结构、在片外围设备、存储器接口 (EMIF) 和主机接口 (HPI) 的概念。

第 2 部分是 DSPs 核心系统的硬件设计。该部分以常用的多种存储器, 如程序存储器 Flash ROM; 突发式静态 RAM; 动态 RAM; 深度 FIFO 为实例, 全面而详细地讲述了构成 'C6201/6701 核心系统的各技术要点, 包括接口逻辑、典型电路、读写时序、编程方法、操作电源、封装与功耗等各方面的工程技术。这部分还详细讲述了构成 'C6201/6701 DSPs 系统时的复位电路、时钟电路、电源与去耦、调试仿真接口, DSPs 的 BGA 封装与目标系统

PCB 的设计原理和具体电路。

第 3 部分是 DSPs 核心系统的调试和仿真技术。这部分通过定浮点运算、FFT、IIR、FIR 的简洁通用算法与仿真,讲述了如何利用 CCS 的断点、观察窗等基本调试技术及使用 DSP/BIOS、LOG、STS 模块对 DSPs 系统的故障排除和硬件调试技术。

附录中给出了'C6201/6701 的定、浮点指令集;本书中经过验证的可执行程序代码、部分主要的与 DSPs 相关的字典,以及核心系统电路结构设计索引。

为本书的编写提供大量基础实验工作的有李莹、陈凯、袁小辉、陈亮、郭丹英等人。上海大学-美国德州仪器数字信号处理实验室(Texas Instruments-Shanghai University DSPs Laboratory),合众达国际(上海)有限公司的工程师也为本书的编写提供了许多有益的帮助。

虽然本书经过了认真核对,但由于作者水平有限,难免还会有不足与疏漏之处,欢迎来信指正。如需要更多的技术资料,请联系作者,其电子邮箱 16301098@163.com。

作 者

2007 年 4 月于上海大学

目 录

第 1 章 实时数字信号处理与 DSPs 芯片	1
1.1 实时数字信号处理	1
1.1.1 实时数字信号处理对 DSPs 的要求	1
1.1.2 DSPs 处理器与模拟信号处理电路的比较	2
1.1.3 DSPs 处理器与通用处理器的比较	2
1.1.4 DSPs 的性能指标	5
1.2 DSPs 的发展历史	6
1.2.1 初期的 DSP 结构和第一代 DSPs 产品	6
1.2.2 增强的第二代 DSPs	7
1.2.3 第三代 DSPs 的创新设计	7
1.2.4 当今 DSP 技术的新特点和应用领域	8
1.3 TI 公司的 DSPs 及开发环境、工具	11
1.3.1 TI 的 CCS 开发工具	11
1.3.2 MATLAB DSP 模块对 TI DSPs 的支持	12
1.3.3 LabView DSP 模块对 TI DSPs 的支持	13
思考题 1	13
第 2 章 中央处理单元的基本结构	14
2.1 TMS320C62x 和 TMS320C67x 系列中央处理单元的基本结构	14
2.2 数据通路	15
2.2.1 通用寄存器组	15
2.2.2 功能单元	17
2.2.3 存储器读取/存储数据通路	18
2.2.4 数据寻址通路	18
2.2.5 寄存器组交叉通路	18
2.3 控制寄存器组	18
2.3.1 AMR、CSR	19
2.3.2 IFR、ISR、ICR、IER、ISTP、IRP	20
2.3.3 PCE1	20
思考题 2	20

第 3 章 程序和数据存储器结构	21
3.1 程序和数据存储器的基本结构	21
3.2 程序存储器控制器	22
3.3 片内程序存储器	22
3.3.1 映射模式	22
3.3.2 cache 使能模式	23
3.3.3 cache 冻结模式	23
3.3.4 cache 旁路模式	23
3.4 数据存储器控制器	23
3.5 片内数据存储器	24
3.6 片外程序和数据存储器	25
思考题 3	25
第 4 章 片外存储器接口(EMIF)	26
4.1 EMIF 的功能和接口信号	26
4.2 EMIF 的寄存器	28
4.2.1 GBLCTL	28
4.2.2 CECTLn	28
4.2.3 SDCTL、SDTIM	30
思考题 4	32
第 5 章 EMIF 与 SDRAM 的接口和地址分配	33
5.1 TMS320C6201/6701 EMIF 与 SDRAM 接口的设计原理	33
5.1.1 SDRAM 的特点和 TMS320C6201/6701 支持的类型	33
5.1.2 EMIF 与 SDRAM 接口信号和说明	34
5.2 SDRAM(MT48LC4M16A2)的工作原理、主要参数和时序	34
5.2.1 SDRAM 器件 MT48LC4M16A2 简介	35
5.2.2 MT48LC4M16A2 的读操作	36
5.2.3 MT48LC4M16A2 的写操作	36
5.2.4 MT48LC4M16A2 的刷新操作	37
5.2.5 MT48LC4M16A2 的初始化	37
5.3 EMIF 与 MT48LC4M16A2 的实际接口电路和地址配置	37
5.4 EMIF 与 MT48LC4M16A2 接口时序的计算	38
5.4.1 TMS320C6201/6701 对 SDRAM 输出数据的时序计算	39
5.4.2 TMS320C6201/6701 由 SDRAM 输入数据的时序计算	39
5.5 EMIF 与 MT48LC4M16A2 对 MT48LC4M16A2 接口的寄存器配置	40
5.5.1 GBLCTL 的设置	40
5.5.2 CECTLn 的设置	41

5.5.3	SDCTL 的设置	41
5.5.4	SDTIM 的设置	42
5.6	EMIF 对 MT48LC4M16A2 接口的初始化程序	42
5.7	MT48LC4M16A2 的工作电源、复位、功耗和体积	44
	思考题 5	45
第 6 章	EMIF 与 SBSRAM 的接口和地址分配	46
6.1	TMS320C6201/6701 EMIF 与 SBSRAM 接口的设计原理	46
6.1.1	EMIF 与 SBSRAM 的接口特点	46
6.1.2	EMIF 与 SBSRAM 接口信号	46
6.2	SBSRAM(MT58L256L32P)的工作原理、主要参数和时序	47
6.2.1	SBSRAM 器件 MT58L256L32P 简介	47
6.2.2	MT58L256L32P 的操作模式	48
6.3	TMS320C6201/6701 与 MT58L256L32P 的实际接口电路和地址配置	49
6.4	EMIF 与 MT58L256L32P 接口时序和计算	50
6.4.1	TMS320C6201/6701 对 SBSRAM 输出数据的时序计算	50
6.4.2	TMS320C6201/6701 对 SBSRAM 输入数据的时序计算	51
6.5	EMIF、MT48LC4M16A2 与 MT58L256L32P 接口的寄存器配置	51
6.5.1	GBLCTL 的设置	52
6.5.2	CECTL0 的设置	52
6.6	EMIF 与 MT58L256L32P 接口的初始化程序	53
6.7	MT58L256L32P 的工作电源、复位、功耗和封装	53
	思考题 6	55
第 7 章	EMIF 与异步存储器的接口和地址分配	56
7.1	TMS320C6201/6701 EMIF 与异步存储器接口的设计原理	56
7.1.1	TMS320C6201/6701 EMIF 与异步存储器接口信号	56
7.1.2	TMS320C6201/6701 EMIF 支持的异步存储器模式	57
7.2	异步存储器(AM29LV160DB)的工作原理、主要参数和时序	58
7.2.1	AM29LV160DB 简介	58
7.2.2	AM29LV160DB 的工作模式和通用命令	59
7.3	EMIF 与 AM29LV160DB 的接口逻辑和地址分配	63
7.4	EMIF 与 AM29LV160DB 的接口时序和计算	64
7.4.1	DSPs 和 AM29LV160DB 相关时间参数	64
7.4.2	读周期时间参数的计算	65
7.4.3	写周期时间参数的计算	66
7.5	EMIF 与 AM29LV160DB 接口的寄存器配置	67
7.5.1	GBLCTL 的设置	67
7.5.2	CECTL1 的设置	67

7.6	EMIF 与 AM29LV160DB 接口的初始化程序相关程序	68
7.7	AM29LV160DB 的操作电源、复位、功耗和封装	72
	思考题 7	73
第 8 章	EMIF 与 FIFO 的接口和地址分配	74
8.1	TMS320C6201/6701 EMIF 与 FIFO 接口的设计原理	74
8.2	FIFO(CY7C4245-10ASC)的工作原理、主要参数和时序	75
8.2.1	CY7C4245-10ASC 简介	75
8.2.2	CY7C4245-10ASC 的读/写操作	76
8.2.3	CY7C4245-10ASC 的标志操作	76
8.3	EMIF 与 FIFO(CY7C4245-10ASC)的接口逻辑和地址分配	78
8.4	TMS320C6201/6701 与 CY7C4245-10ASC 接口的寄存器配置	79
8.5	FIFO 的操作电源、功耗和封装	80
	思考题 8	82
第 9 章	直接存储器访问(DMA)	83
9.1	DMA 控制器的基本结构和功能特点	83
9.2	DMA 配置寄存器	84
9.3	DMA 的数据传输过程	85
9.3.1	DMA 自动初始化	85
9.3.2	DMA 运行模式控制	85
9.3.3	DMA 通道重载寄存器	85
9.4	DMA 的操作方式	85
9.4.1	同步触发 DMA 传输	85
9.4.2	通道分裂操作	86
9.4.3	资源仲裁与优先级配置	86
	思考题 9	86
第 10 章	中断控制器(Interrupt Controller)	87
10.1	TMS320C6201/6701 中断类型和优先权	87
10.2	中断控制寄存器组	89
10.2.1	CSR 中的中断控制位	89
10.2.2	IER、IFR、ISR、ICR、ISTP、IRP、NRP	90
10.2.3	中断服务表(IST)	91
10.3	中断的响应和返回过程	92
10.3.1	复位($\overline{\text{RESET}}$)	92
10.3.2	非屏蔽中断(NMI)与可屏蔽中断(INT4~INT15)	92
10.4	中断嵌套	93
10.5	陷阱	94

思考题 10	94
第 11 章 流水线	95
11.1 TMS320C6201/6701 流水线的基本结构	95
11.2 流水线运行注意事项	96
思考题 11	97
第 12 章 DSPs 主机端口(HPI)的原理及应用	98
12.1 HPI 的结构	98
12.2 HPI 的信号	99
12.2.1 数据总线 HD[15:0]	99
12.2.2 访问控制选择信号 HCNTRL[1:0]	99
12.2.3 半字识别选择信号	100
12.2.4 地址选通输入信号	100
12.2.5 选通信号	100
12.2.6 字节使能位 HBE[1:0]	101
12.2.7 读/写选择信号 HR/W	101
12.2.8 准备信号 HRDY	101
12.2.9 主机中断信号 HINT	101
12.3 HPI 寄存器	101
12.3.1 HPI 数据(HPID)寄存器	102
12.3.2 HPI 地址(HPIA)寄存器	102
12.3.3 HPI 控制(HPIC)寄存器	102
12.4 HPI 的存取操作	103
12.5 HPI 的自举(boot)加载操作	103
12.6 HPI 应用实例	103
12.6.1 双 DSPs 的连接	103
12.6.2 主从 DSPs 的启动	105
思考题 12	106
第 13 章 片内外部设备	107
13.1 多通道缓冲串口(McBSPs)	107
13.1.1 TMS320C6201/6701 多通道缓冲串口的技术特性	107
13.1.2 多通道缓冲串口的接口信号	107
13.1.3 多通道缓冲串口的寄存器	108
13.1.4 数据的发送与接收	109
13.2 通用定时器(Timers)	109
13.2.1 TMS320C6201/6701 通用定时器基本技术特性	109
13.2.2 通用定时器的运行	111

第 14 章 DSPs 芯片模式、时钟、电源及相关技术	113
14.1 端格式、芯片模式	113
14.1.1 端格式配置	113
14.1.2 芯片模式配置概述	113
14.2 电源系统设计	114
14.2.1 加电次序设计	114
14.2.2 供电系统设计	115
14.2.3 Power-Down 模式	115
14.3 时钟电路	116
14.4 Reset	117
14.4.1 RESET 电路	117
14.4.2 系统复位时间的确定	118
14.5 BGA 封装与焊接	119
14.6 TMS320C6201/6701 电源去耦合电容和地线	121
14.7 TMS320C6201/6701 的散热	121
14.8 DSPs 的 JTAG 调试接口	122
思考题 14	123
第 15 章 前端信号处理技术及 ADC	124
15.1 信号前端处理中的截止频率、采样频率、采样分辨率的关系	124
15.2 模拟信号和 ADC 的极性	126
15.2.1 单极性模式的 ADC 输入端	126
15.2.2 差分模式的 ADC 输入端	126
15.2.3 准差分模式的 ADC 输入	127
思考题 15	128
第 16 章 指令、算法标准和 DSP BIOS 的工程性	129
16.1 TMS320C62x 和 TMS320C67x 指令概述	129
16.1.1 指令的格式与并、串行操作规则	129
16.1.2 寻址方式	131
16.2 TI DSP 算法标准(XDAIS)	131
16.2.1 XDIAS 的工程概念	131
16.2.2 Ti 通用算法标准的特征和 4 层编程规范	133
16.2.3 XDAIS 的主要规则和建议	133
16.2.4 DSPs 的软件工程模块	137
16.3 TI DSP 上的实时操作系统内核 DSP/BIOS	137
16.3.1 DSP/BIOS 的版本及提供形式	137
16.3.2 DSP/BIOS 的 5 个功能模块	138

16.3.3	DSP/BIOS 的 4 类程序线程和优先级	140
16.3.4	线程类型的选择方法	141
16.3.5	任务线程的工作状态转换及调度说明	142
16.3.6	DSP/BIOS 的 3 种协调机制	143
思考题 16		144
第 17 章	利用 CCS 开发 DSP 程序	145
17.1	开发程序前的准备	145
17.1.1	安装 TMS320 C6201/6701 的硬件仿真设备	145
17.1.2	新建一个工程文件	146
17.1.3	向工程中添加各类文件	148
17.2	用 CCS 的基本工具开发 DSP 程序	149
17.2.1	使用基本调试工具	149
17.2.2	修改编译选项及更改语法错误	151
17.2.3	使用断点和观察窗口	152
17.2.4	使用文件输入/输出探针	154
17.2.5	使用图形工具显示图形	154
第 18 章	利用 TMS320C6201/6701 核心系统的定浮点运算程序的设计 与分析	158
18.1	DSP 的定、浮点表示方式	158
18.1.1	定点表示方式	158
18.1.2	IEEE 标准的浮点数表示方式	159
18.2	定点小数乘法程序的设计与分析	159
18.2.1	定点小数乘法程序的设计	159
18.2.2	程序的运行分析(存储器、寄存器、单步运行方式)	160
18.3	64 位整数加减法程序的设计与分析	164
18.3.1	64 位整数加减法程序的设计	164
18.3.2	程序的运行分析	164
18.4	浮点运算程序的设计与分析	166
18.4.1	浮点乘除法运算程序的设计	166
18.4.2	程序的运行分析	167
第 19 章	利用 TMS320C6201/6701 核心系统的 FFT 运算程序的设计 与分析	169
19.1	FFT 运算的原理	169
19.2	FFT 运算程序的设计	171
19.2.1	主程序	171
19.2.2	倒序子程序	171

19.2.3	FFT 算法程序	171
19.3	程序的运行分析	172
19.3.1	设置断点	172
19.3.2	添加 Watch Window 观察变量	172
19.3.3	单步运行程序	173
19.3.4	添加 View Graph 比较输入输出波形	173
第 20 章	IIR 和 FIR 数字滤波器程序的设计与仿真	175
20.1	数字滤波器的表示方法	175
20.2	IIR 数字滤波器 DSP 程序的设计	175
20.3	用 CCS 对 IIR 数字滤波器程序进行仿真	177
20.4	FIR 数字滤波器程序的设计	178
20.5	用 CCS 对 FIR 数字滤波器程序进行仿真	180
第 21 章	基于 DSP/BIOS 测试 FIR 数字滤波器程序	182
21.1	DSP/BIOS 功能及其组件	182
21.1.1	DSP/BIOS 实时库和 API	182
21.1.2	DSP/BIOS 的配置工具	183
21.1.3	DSP/BIOS 插件——实时分析工具	184
21.2	DSP/BIOS 测试模块——LOG	185
21.3	DSP/BIOS 测试模块——STS	185
21.4	用 DSP/BIOS 模块测试 FIR 数字滤波器程序	187
21.4.1	创建关于 FIR 数字滤波器程序的 DSP/BIOS 工程文件	187
21.4.2	FIR 数字滤波器程序添加 DSP/BIOS 模块函数	188
21.4.3	FIR 数字滤波器程序添加 DSP/BIOS 模块对象	191
21.4.4	用统计观察窗观察 FIR 数字滤波器程序的统计数据	192
21.4.5	用 Message Log 显示 FIR 数字滤波器程序的统计信息	195
附录 A	TMS320F2812 和 ADSP-BF506F 的 CPU 结构	197
A.1	The CPU's structure of TMS320F2812	197
A.1.1	Brief Descriptions	197
A.1.2	F2812 CPU Structure	197
A.1.3	Registers	199
A.1.4	External Memory Interface (XINTF)	200
A.1.5	FlashROM, SARAMs, and Boot ROM in Chip	200
A.1.6	Peripheral and External Interrupt Expansion (PIE)	201
A.1.7	PLL Clocking and Low-Power	201
A.1.8	General-Purpose Input/Output (GPIO) Multiplexer and peripherals in chip	201

A. 2	The CPU's structure of ADSP-BF506F	202
A. 2. 1	Grief Description	202
A. 2. 2	the Core of Blackfin in the BF506F	202
A. 2. 3	the core clock (CCLK) and system peripheral clock (SCLK) ...	206
A. 2. 4	BOOT mode	208
附录B	TMS320F2812 和 ADSP-BF506 的存储器结构	209
B. 1	TMS320F2812 memory structure and mode	209
B. 1. 1	F2812 Memory Map	209
B. 1. 2	XMP/MC# pin and MODE	211
B. 2	ADSP-BF506F MEMORY ARCHITECTURE	211
B. 2. 1	BF506F Memory map	211
B. 2. 2	Internal (Core-Accessible) Memory	212
B. 2. 3	External (Interface-Accessible) Memory	212
B. 2. 4	I/O Memory Space	213
附录C	TMS320F2812 和 ADSP-BF506F 的中断结构	214
C. 1	TMS320F2812 Interrupts	214
C. 1. 1	Interrupt sources	214
C. 1. 2	Flow of a Interrupt Request From a Peripheral to the CPU	215
C. 1. 3	Registers for interrupts	217
C. 1. 4	The Interrupt Vector	217
C. 2	ADSP-BF506F 's Event or Interrupt Control Mechanism	218
C. 2. 1	Two-level Interrupt Processing	218
C. 2. 2	Events and Sequencing	218
C. 2. 3	System Peripheral Interrupts	219
C. 2. 4	System Interrupt Processing	221
C. 2. 5	System Interrupt Controller Registers	223
附录D	TMS320F2812 和 ADSP-BF506F 的 ADC 结构	225
D. 1	TM320F2812 ADC Module	225
D. 1. 1	ADC Module Function	225
D. 1. 2	ADC pins for external circuit	226
D. 1. 3	ADC Control, Status and Result Buffer Register	228
D. 2	BF506F ADC AND ACM INTERFACE	228
D. 2. 1	The ADC control module (ACM)	228
D. 2. 2	Internal ADC	228
D. 2. 3	ADC Connected with Serial Interface and the Timing	230