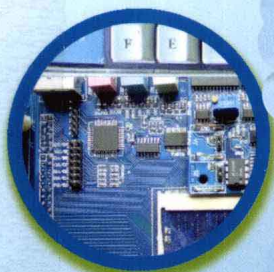
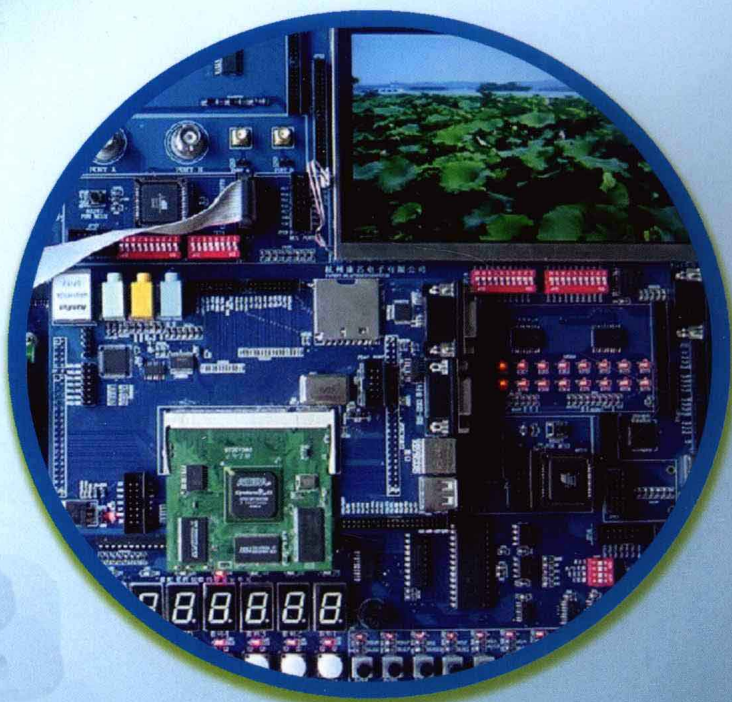


高等院校培养应用型人才电子技术类课程系列规划教材

# EDA 技术实验教程

编著 张静秋 吕向阳 尹向东 田汉平



中南大学出版社  
www.csupress.com.cn

高等院校培养应用型人才电子技术类课程系列规划教材

# EDA 技术实验教程

编 著 张静秋 吕向阳  
尹向东 田汉平  
主 审 陈明义



中南大学出版社  
[www.csupress.com.cn](http://www.csupress.com.cn)

---

**图书在版编目(CIP)数据**

EDA 技术实验教程/张静秋,吕向阳,尹向东,田汉平编著.  
—长沙:中南大学出版社,2011.4  
ISBN 978-7-5487-0237-5

I. E... II. ①张..②吕...③尹...④田... III. 电子电路—  
电路设计:计算机辅助设计—教材 IV. TN702

中国版本图书馆 CIP 数据核字(2011)第 056434 号

---

**EDA 技术实验教程**

张静秋 吕向阳 编著  
尹向东 田汉平

---

责任编辑 邓立荣

责任印制 文桂武

出版发行 中南大学出版社

社址:长沙市麓山南路

邮编:410083

发行科电话:0731-88876770

传真:0731-88710482

印 装 长沙市华中印刷厂

---

开 本 787×1092 1/16 印张 14 字数 346 千字

版 次 2011 年 4 月第 1 版 2011 年 4 月第 1 次印刷

书 号 ISBN 978-7-5487-0237-5

定 价 28.00 元

---

图书出现印装问题,请与经销商调换

# 高等院校培养应用型人才 电子技术类课程系列规划教材编委会

丛书主编：吴新开

丛书副主编：张一斌 郭照南

编委会人员：(排名不分先后)

吴新开(湖南科技大学)	刘安玲(长沙学院)
欧青立(湖南科技大学)	张志刚(长沙学院)
沈洪远(湖南科技大学)	张丹(长沙学院)
姚屏(湖南科技大学)	张跃勤(长沙学院)
韦文祥(湖南科技大学)	张海涛(长沙学院)
陈婷(湖南科技大学)	瞿翌(长沙学院)
曾屹(中南大学)	周继明(邵阳学院)
张静秋(中南大学)	江世明(邵阳学院)
吕向阳(中南大学)	余建坤(邵阳学院)
张一斌(长沙理工大学)	罗邵萍(邵阳学院)
王小华(长沙理工大学)	石炎生(湖南理工学院)
刘晖(长沙理工大学)	张国云(湖南理工学院)
贺科学(长沙理工大学)	湛腾西(湖南理工学院)
夏向阳(长沙理工大学)	陈日新(湖南文理学院)
刘奇能(湘潭大学)	王南兰(湖南文理学院)
张福阳(南昌大学)	伍宗富(湖南文理学院)
郭瑞平(辽宁科技学院)	周志刚(湖南文理学院)
吴舒辞(中南林业科技大学)	熊振国(湖南文理学院)
朱俊杰(中南林业科技大学)	王莉(湖南商学院)
李颖(中南林业科技大学)	何静(湖南商学院)
任嘉(中南林业科技大学)	蒋冬初(湖南城市学院)
曹才开(湖南工学院)	雷蕾(湖南城市学院)
罗雪莲(湖南工学院)	尹向东(湖南科技学院)
刘海波(湖南工学院)	田汉平(湖南科技人文学院)
郭照南(湖南工程学院)	朱承志(湘潭职业技术学院)
孙胜麟(湖南工程学院)	祖国建(娄底职业技术学院)
余晓霏(湖南工程学院)	刘理云(娄底职业技术学院)
刘辉(长沙学院)	张玲玲(郴州职业技术学院)

# 总序

随着我国科学技术不断地发展、完善，以及教育体系不断地更新，社会用人单位对高校人才培养模式提出了更高更新的要求。复合型、创新型、实用型人才日益受到用人单位的青睐。这种发展趋势必将使高校的人才培养模式面临着新的挑战，这就意味着如何提高高等学校毕业生的实际工作能力显得尤为重要。诚然，除了努力加强实践教学之外，还应着力加强和推进理论教学及其教材的建设与更新，显然，它是提高高等学校教学质量的一个必不可少的重要环节。根据教育部、财政部《关于实施高等学校本科教学质量与教学改革工程的意见》的文件精神，启动“万种新教材建设项目，加强新教材和立体化教材建设”工程，积极组织好教师编写新教材。

鉴于此，中南大学出版社特邀请湖南省及外省部分高等学校从事电工电子技术教学、实验和应用研究的教授、专家和教学第一线的骨干教师、高级实验师组成了教材编委会，编写了电工电子技术等系列教材。

本系列教材的主要特点为：

1. 充分吸取了教学改革、课程设置与教材建设等方面的经验成果，在内容的选材上(如例题和习题)力求理论紧密联系实际、注重实用技术的讲解和实用技能的训练。同时也能较好地反映出电子



电气信息领域的最新研究成果，体现了电子电气应用领域的新知识、新技术、新工艺与新方法。


2. 根据专业特点，对传统教材的内容进行了精选、整合、优化，以满足理论教学与实验教学的需求。同时，注意到与相关课程内容之间的衔接，从而保证了教学的系统性，有利于理论教学。

3. 编写与电子技术类课程设计相配套的指导性教材，有利于实践性教学。

4. 该系列教材中，基本概念的阐述较清晰，层次分明，语言表述做到了通俗易懂，有利于学生自学。

目前，我国高等教育的模式还有赖于日趋完善，教材体系尚未完全建立，教材编写还处于不断探索的阶段，仍需要我国高等学校的广大教师持之以恒、不懈地努力、辛勤地耕耘，编写出更多更好的能满足新形势下教学需要的实用教材。

我相信并殷切地期望该系列教材的出版，它不仅会受到广大教师的欢迎，满足教学的需要，而且还将会对我国高等学校的教材建设起到积极的促进作用。最后，预祝《高等院校培养应用型人才电子技术类课程系列规划教材》出版项目取得成功，为我国高等教育事业和信息产业的蓬勃发展与繁荣昌盛培土施肥。同时，也恳切地希望广大读者、同仁，对该系列教材的不足之处提出中肯的意见和有益的建议，以便再版时更正。



谨识

教育部中南地区高等学校电子电气基础课教学研究会理事长  
武汉大学电子信息学院 教授/博士生导师

# 前 言

电子设计自动化(Electronic Design Automation, EDA)是指以计算机为工作平台,以 EDA 软件工具为开发环境,以硬件描述语言 VHDL 为设计基础,以可编程器件 FPGA/CPLD 为实验载体,以 ASIC 和 SOC 芯片为目标器件,对电子产品进行自动化设计。

本实验教程主要分为两大块:一是基础实验,主要侧重于程序设计与仿真,从设计最简单的组合逻辑电路译码器、数据选择器和最简单的时序逻辑电路十进制计数器入手,到具有较完整功能的交通信号控制器、硬件奏乐器、电机正反转控制、乒乓球游戏机、彩色 LCD 控制器等;二是综合实验,主要侧重于 FPGA 与一些常用芯片如 ADC、DAC、LCD 等的接口,从简单的正弦信号发生器,到基于单片机核的等精度频率计等系统级设计。在宏功能模块的使用上,从 LPM\_ROM, ALTPLL, 到 8051CPU 核的应用;在对设计的逻辑功能验证方面,从时序仿真器 Simulation 入手,到在线存储器编辑器和嵌入式逻辑分析仪的使用。

本实验教程的主要特色是,由浅入深,由简到繁,从易到难,逐步完成从功能模块到系统级的设计。给出了设计文件,并详细介绍了主要模块的仿真方法。针对杭州康芯有限公司的 GW48-PK4 SOPC/EDA 实验开发系统中 CycloneII EP2C35FBGA 484 芯片,说明了具体的管脚锁定方法,以及在开发箱上的硬件测试方法。

在本实验教程中,基础实验部分的 1.1~1.13 和综合实验部分的 2.1~2.7 由中南大学张静秋副教授编写;综合实验的 2.8~2.11 和第 3 章由中南大学吕向阳高级实验师编写。全书由中南大学陈明义教授负责主审。在编写此书的过程中,得到杭州康芯有限公司姜兆刚先生的帮助,在此表示衷心的感谢!

本实验教程主要面向大专以上院校的师生,以及从事 EDA 工作的相关工程技术人员。由于时间仓促,书中不足之处在所难免,欢迎同行及专家批评和指导。

编 者  
2011. 2. 28

# 目 录

<b>第 1 章 基础实验</b> .....	(1)
1.1 以 3/8 线译码器设计为例介绍 Quartus II 的使用方法 .....	(1)
1.2 二选一数据选择器设计 .....	(18)
1.3 带有异步清 0 和同步时钟使能的 10 进制加法计数器 .....	(20)
1.4 数码管动态扫描显示电路 .....	(24)
1.5 数控分频器设计 .....	(28)
1.6 8 位 16 进制频率计设计 .....	(31)
1.7 乐曲硬件演奏电路设计 .....	(35)
1.8 交通信号控制系统 .....	(44)
1.9 直流电机和步进电机正/反转控制电路设计 .....	(49)
1.10 数字时钟 .....	(54)
1.11 乒乓球游戏电路设计 .....	(62)
1.12 基于宏功能模块的锁相环设计 .....	(73)
1.13 彩色 LCD 显示控制电路设计 .....	(83)
<b>第 2 章 综合实验</b> .....	(95)
2.1 正弦信号发生器设计 .....	(95)
2.2 基于状态机的 A/D 采样控制电路设计 .....	(99)
2.3 数据采集和数据存储电路设计 .....	(104)
2.4 直流电机 PWM 控制及测速电路设计 .....	(110)
2.5 步进电机细分驱动控制电路设计 .....	(120)
2.6 基于 FPGA 的 IP 核型 MCS51 单片机的基本应用实验 .....	(128)
2.7 等精度频率计与 LCD 显示电路设计 .....	(134)
2.8 基于 DDS 的正弦信号发生器的设计 .....	(155)
2.9 PS/2 鼠标与 VGA 控制显示设计 .....	(161)
2.10 VGA 彩色信号显示控制器 .....	(182)
2.11 8 层电梯控制器的设计 .....	(191)



<b>第 3 章 EDA 实验开发箱介绍</b> .....	(196)
3.1 GW48 PK4 EDA/SOPC 实验箱面板介绍 .....	(196)
3.2 GW48 PK4 EDA/SOPC 实验箱工作模式介绍 .....	(201)
3.3 GW48 PK4 的万能接插口与结构图信号及芯片引脚对照表 .....	(210)
<b>参考文献</b> .....	(213)

## 第1章 基础实验

### 1.1 以3/8线译码器设计为例介绍 Quartus II 的使用方法

#### 1.1.1 实验原理

3/8线译码器的功能表如表1-1所示。S1、S2和S3是片选信号，当 $S1=1$ 、 $S2=S3=0$ 时，芯片工作，根据输入的3位代码A2A1A0确定8位译码输出Y0~Y7，输出低电平有效。要求用VHDL设计一个译码器，实现表1-1的功能。

表1-1 3/8线译码器的功能表

输入					输出							
S1	$\overline{S2+S3}$	A2	A1	A0	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$
0	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

#### 1.1.2 参考程序

```
LIBRARY IEEE;
USE IEEE.std_logic_1164.all;

Entity decoder3to8 is
port(a, b, c : in std_logic;    -- 对应功能表中的 A0、A1 和 A2 代码输入
      s1, s2, s3 : in std_logic; -- 3 个片选控制信号
```

```

        y: out std_logic_vector( 7 downto 0 )); -- 8 位译码输出
End decoder3to8;
Architecture behave3to8 OF decoder3to8 is
Signal indata: std_logic_vector(2 downto 0);
Begin
    indata <= c&b&a;
    Process( indata, S1, S2, S3 )
    begin
        If ( s1 = '1' and s2 = '0' and s3 = '0' ) then
            Case indata is
                when "000" => y <= "11111110"; -- 原码输入
                when "001" => y <= "11111101"; -- 输出低电平有效
                when "010" => y <= "11111011";
                when "011" => y <= "11110111";
                when "100" => y <= "11101111";
                when "101" => y <= "11011111";
                when "110" => y <= "10111111";
                when "111" => y <= "01111111";
                when others => y <= "XXXXXXXX";
            End case; else y <= "11111111";
        End if;
    End process;
End behave3to8;

```

### 1.1.3 实验步骤

#### 1. 利用新建工程向导创建一个新工程

打开建立新工程管理窗口。选择 File→New Project Wizard, 如图 1-1 所示, 即弹出新建

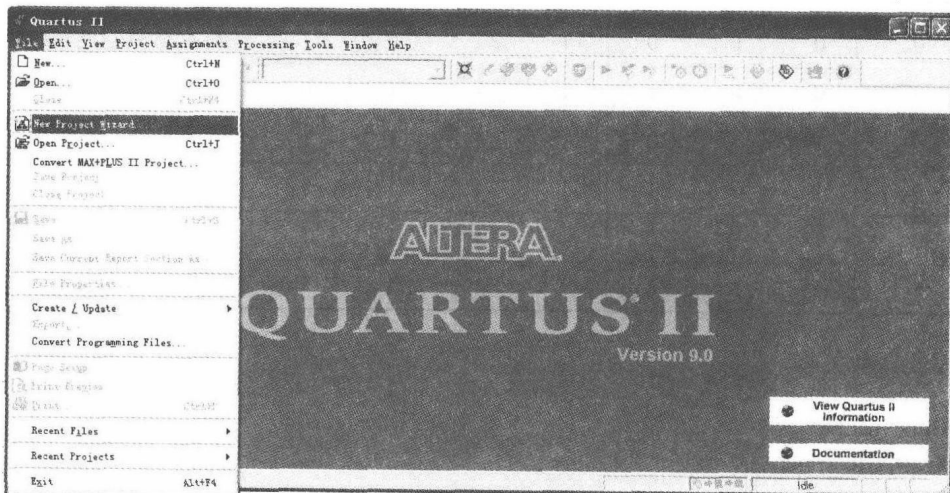


图 1-1 选择新建工程向导

工程向导说明窗口如图 1-2 所示, 熟悉以后可以选择以后不必显示该窗口, 点击 Next 进入建立工程文件夹、工程名和实体名窗口, 如图 1-3 所示。任何一项设计都是一项工程(project), 必须首先为此工程建立一个放置与此工程相关的所有文件的文件夹, 此文件夹将被 QuartusII 默认为工作库(Work Library)。图 1-3 中的第一行设置工程库文件夹(如: S1\_138), 第二行为此项工程设置工程名(如: decoder3to8), 第三行为当前工程顶层文件的实体名, 默认与工程名一致。

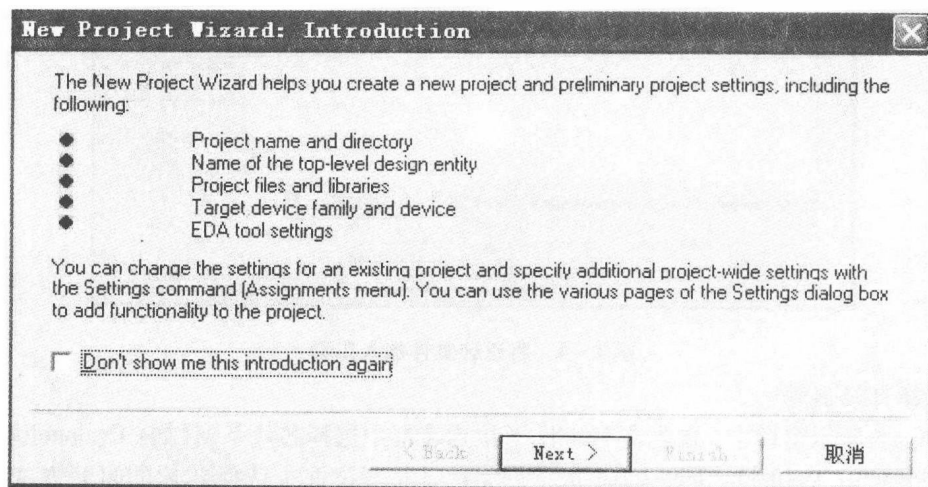


图 1-2 工程向导介绍

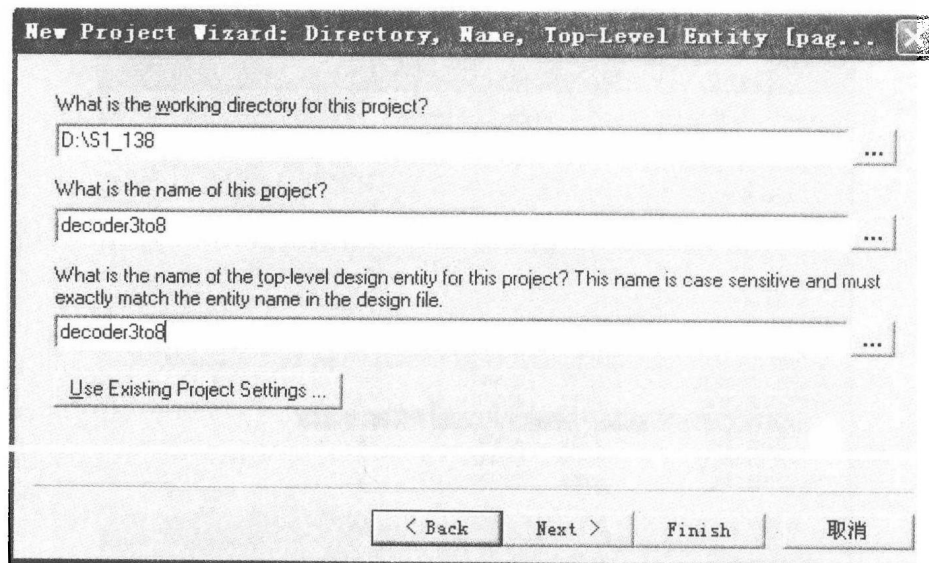


图 1-3 建立工程文件夹、工程名和实体名

## 2. 将设计文件加入工程

如果此前已经设计了一些此工程的设计文件, 则可点击图 1-4 File name 栏右边的按钮,

查找与工程相关的所有设计文件加入到工程中。如果没有，则直接点击 Next 进入下一步。

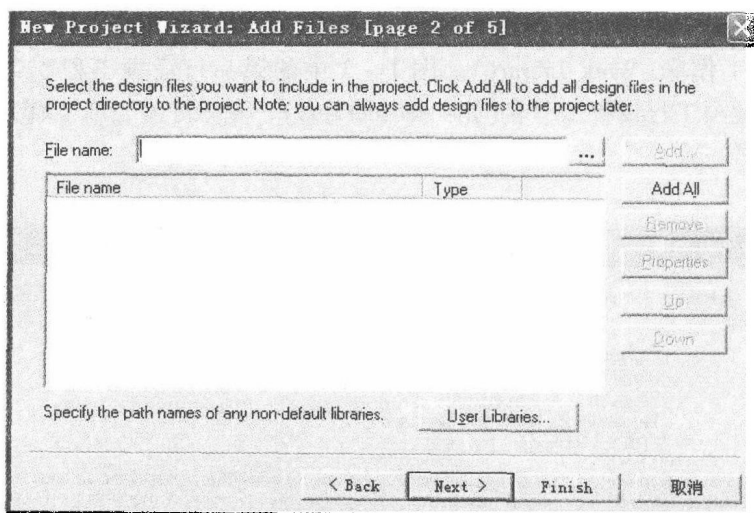


图 1-4 将设计文件加入工程

### 3. 选择目标器件

在图 1-5 所示窗口中，首先在 Family 下拉列表框中选择芯片系列(如: CycloneII 系列)。在窗口右侧 Show in Available device list 的 Package 项的下拉框中选择芯片的封装方式(如: FBGA); 在 Pin count 项的下拉框中选择芯片的管脚数(如: 484); 在 Speed grade 项的下拉框中选择芯片速度级别(如: 8)。在 Available devices 框中将显示符合以上条件的一些芯片，从中选择与 EDA 实验开发箱上一致的 FPGA 芯片，然后点击 Next 进入下一步。

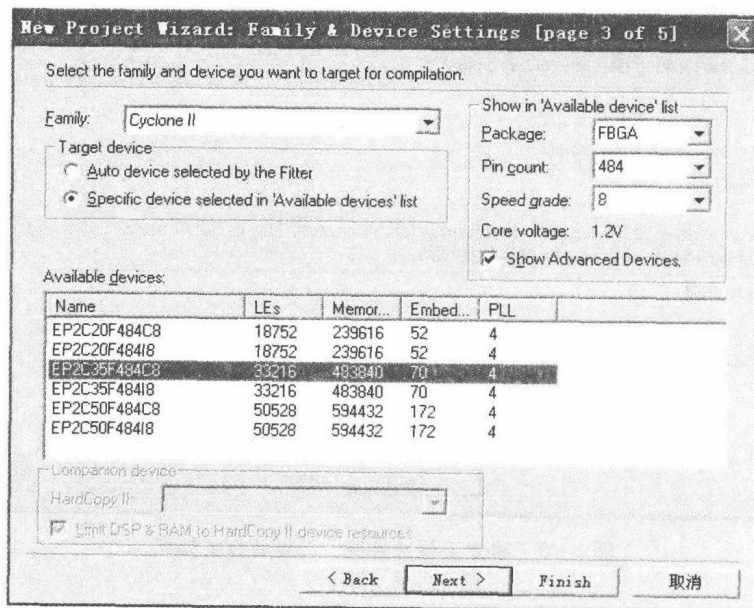


图 1-5 选择目标器件

#### 4. 设置其他 EDA 工具

在如图 1-6 所示的窗口中, 有 3 项选择: Design Entry/Synthesis 用于选择输入的 HDL 类型和综合工具; Simulation 用于选择仿真工具; Timing Analysis 用于选择时序分析工具。这是除 Quartus II 自带的所有设计工具以外, 还可以外加的工具。Quartus II 是一个集成的 EDA 工具, 包含从设计输入、编译、综合、仿真、直至下载的系统设计与实现的过程, 当采用 Altera 公司的 FPGA 和 CPLD 芯片设计时, 一般不需要选择其他工具。如果都不选择, 就表示仅使用 Quartus II 自带的所有设计工具, 点击 Next 进入下一步。

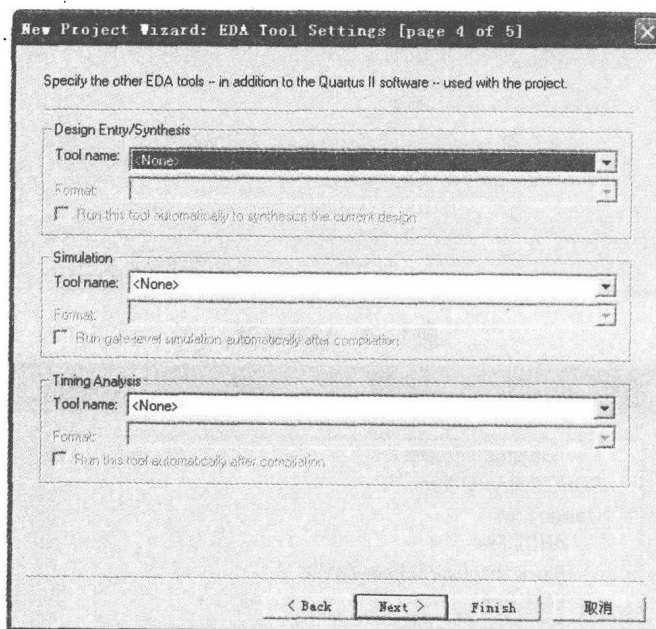


图 1-6 其他 EDA 工具设置

#### 5. 结束设置

在如图 1-7 所示的窗口中, 列出了此项工程相关的设置情况。最后单击 Finish 按钮, 就设定好了此工程, 并出现 decoder3to8 的工程管理窗口 Project navigator。可以选择 View→Utility Window→Project navigator 开/关此管理窗口。在工程管理窗口的 Hierarchy 页, 主要显示芯片资源占用情况; 在 Files 页, 显示工程中设计文件和仿真文件等; 在 Design Unites 页, 主要显示本工程项目的层次结构和各层次的实体名。

#### 6. 新建 VHDL 设计文件并保存

选择 File→New 得到如图 1-8 所示的文件选择窗口, 在 Design Files 项目中选择 VHDL, 点击 OK 进入 VHDL 文本编辑窗口, 如图 1-9 所示, 第一次打开 VHDL 文件编辑器时的默认文件名为 vhdl1.vhd。在 VHDL 文本编辑窗口中键入设计文件, 保存时注意文件名与实体名必须一致。如图 1-10 所示, 可以看到文本编辑窗口上方的文件名变为 decoder3to8.vhd。

#### 7. 启动全程编译

QuartusII 编译器是由一系列处理模块构成, 包括: 对设计项目检错、逻辑综合、结构综合、输出结果的编辑配置, 以及时序分析。在这一过程中, 将设计项目适配到 FPGA/CPLD

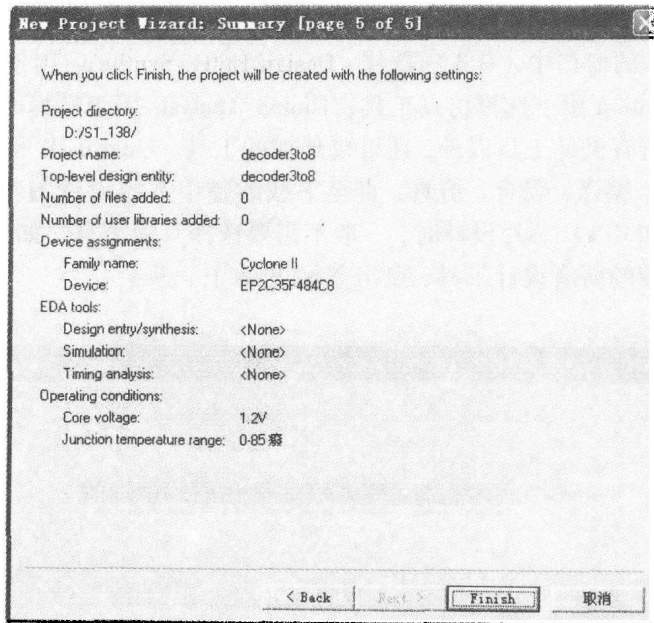


图 1-7 结束设置

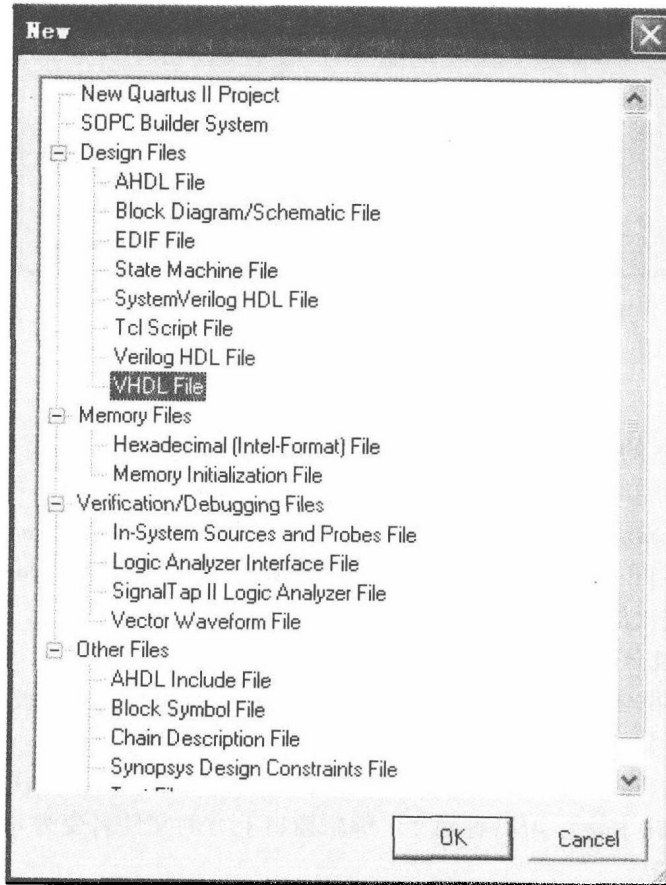


图 1-8 选择 VHDL 文件



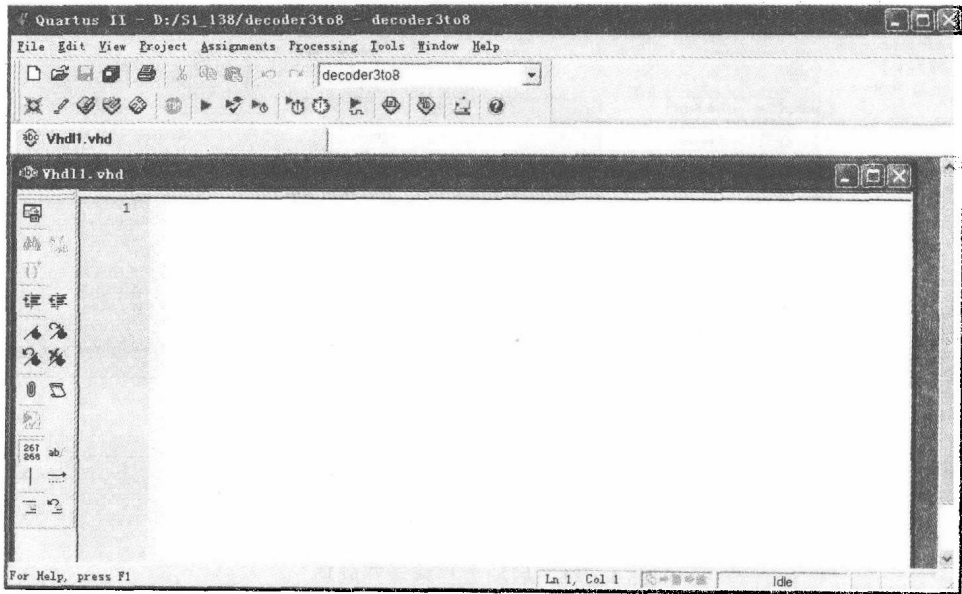


图 1-9 VHDL 文本编辑窗口

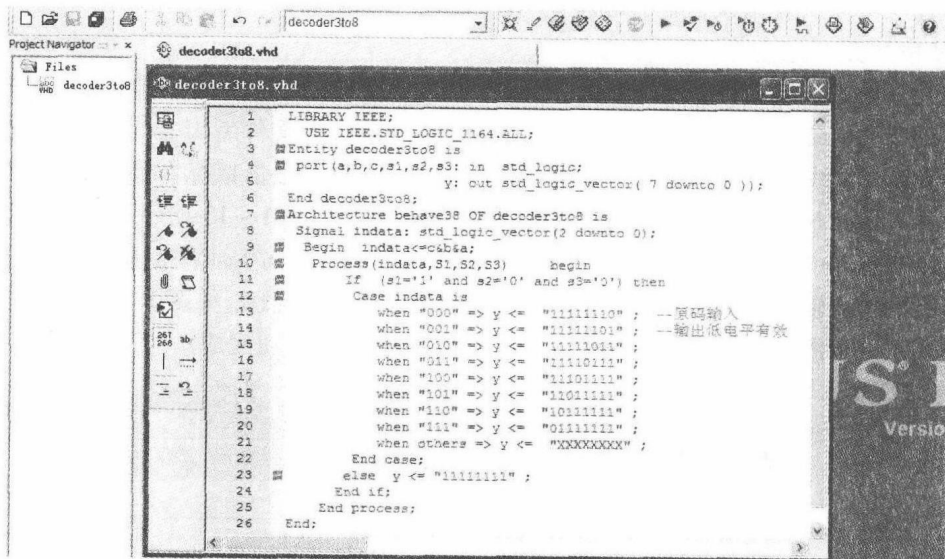



图 1-10 编辑 VHDL 文件并保存

目标器件中，同时产生多种用途的输出文件，如功能和时序信息文件、器件编程目标文件等。选择 Processing→Start Compilation 命令或图标  启动全程编译，如图 1-11 所示。QuartusII 将对设计项目进行多项处理，其中包括：排错，数据网表文件提取、逻辑综合、适配、装配文件(仿真文件与编程配置文件)生成以及基于目标器件的工程时序分析等。

在编译过程中，要注意工程管理窗口下方的 Processing 栏中的编译信息，如果设计文件有错误，将会在其中用红色字显示出来。对于 Processing 栏显示的语句格式错误，可以双击

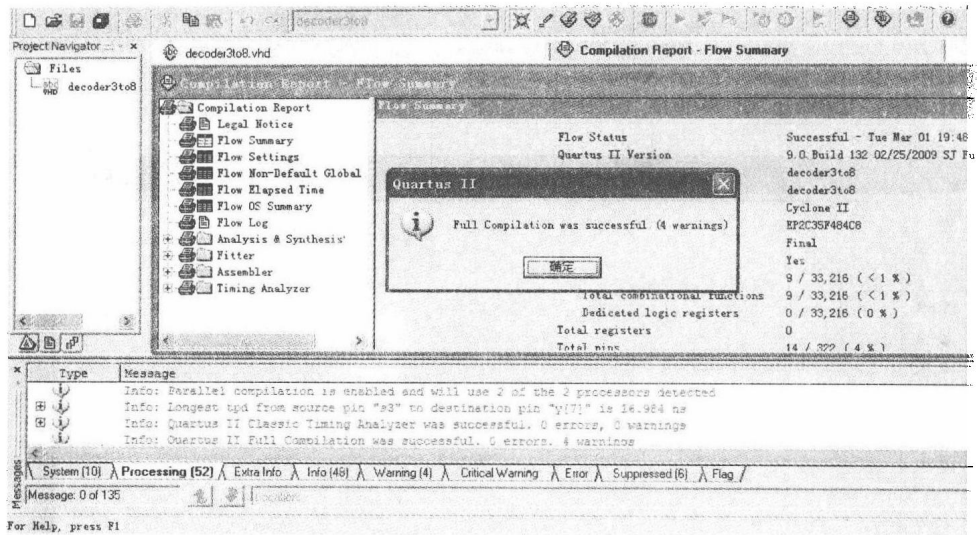


图 1-11 启动全程编译并成功

此条信息，即弹出对应的 VHDL 文件，在深色标记处即为文件中的错误所在，改正后再次启动编译，直至排除所有错误，显示编译成功。

### 8. 时序仿真

首先建立仿真波形文件，选择 File→New，在 New 窗口的 Verification/Debugging Files 项目中选择 Vector Waveform File，可以打开如图 1-12 所示的波形文件编辑器。添加需要观察的输入、输出节点或总线。在波形文件编辑窗口的左区 Name 下方点击鼠标右键，在弹出的菜单中选择 Insert→Insert Node or Bus，弹出添加节点或总线窗口如图 1-13 所示，在其中点击 Node Finder 后弹出图 1-14 所示窗口，在 Filter 栏选择 Pins: all，点击 List 按钮后将在 Nodes Found 栏列出所有的输入输出引脚信号，可以选择全部或部分进行观察，如图 1-15 所示。点击 OK 按钮后进入下一步添加多个项目，如图 1-16 所示，点击 OK 按钮完成添加。

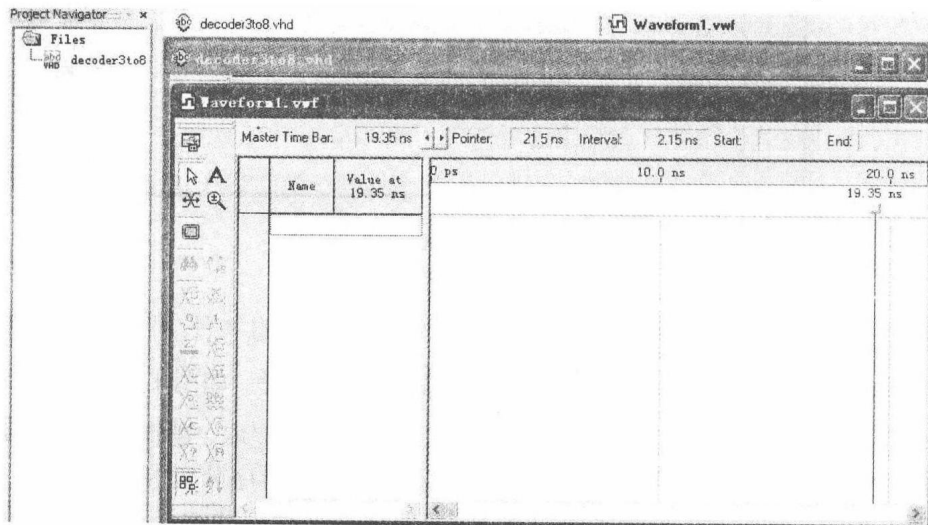


图 1-12 波形编辑器窗口