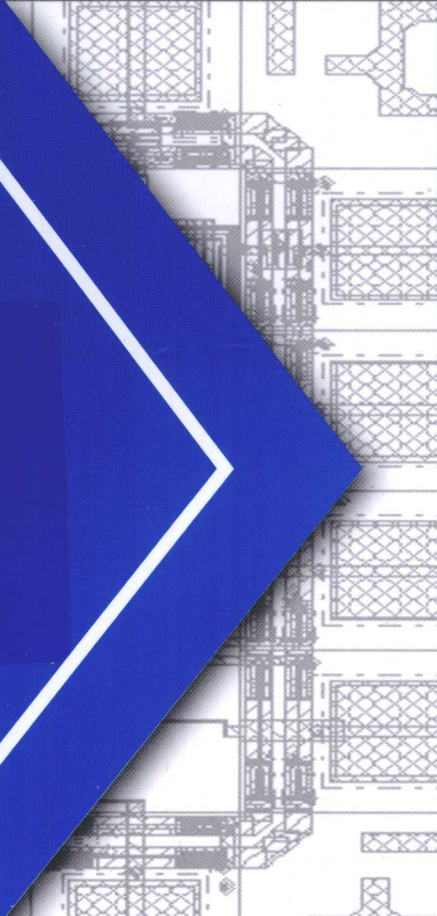


MOS管 集成电路设计

梁竹关 赵东风 编著



科学出版社



MOS 管集成电路设计

梁竹关 赵东风 编著



YZLI0890146430

科学出版社

北京

内 容 简 介

本书根据集成电路设计的特点,结合集成电路制造和封装测试的有关知识和技术,系统介绍了MOS管集成电路设计的有关基础理论知识、半导体集成电路基本加工工艺和设计规则、MOS管集成电路版图设计的一些方法和技巧、MOS管数字集成电路的基本逻辑单元、MOS管模拟集成电路的基本元器件和基本电路单元,分析了典型数字集成电路和模拟集成电路的设计方法及实现过程,引入了一些常见的数字集成电路和模拟集成电路设计技术。书中既介绍了集成电路设计的有关理论知识,又介绍了集成电路设计的一些实用方法和技术。

本书可作为高等院校电子科学与技术、电子信息科学与技术、电子信息工程及通信工程等专业的本科生和研究生教材,也可供有关科研人员和工程技术人员参考。

图书在版编目(CIP)数据

MOS管集成电路设计/梁竹关,赵东风编著. —北京:科学出版社,2011

ISBN 978-7-03-032779-6

I. ①M… II. ①梁…②赵… III. ①MOS集成电路-电路设计 IV. ①TN432.02

中国版本图书馆CIP数据核字(2011)第233173号

责任编辑:潘斯斯/责任校对:郭瑞芝

责任印制:张克忠/封面设计:迷底书装

科学出版社出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

北京市文林印务有限公司印刷

科学出版社发行 各地新华书店经销

*

2011年11月第一版 开本:720×1000 1/16

2011年11月第一次印刷 印张:14 1/2

字数:290 000

定价:29.00元

(如有印装质量问题,我社负责调换)

前 言

集成电路是现代信息社会的基石。集成电路的应用已渗透到工业、农业、国防以及人们生活的方方面面。发展我国集成电路产业,急需掌握集成电路设计理论和技术的专业人才。

从广义的角度来看,集成电路设计不只涵盖电路设计和版图设计两大内容,还涵盖了工艺设计内容。集成电路的工艺设计与电路设计和版图设计所涉及知识和内容有所不同,但它们又是相互关联的。对初学者来说,了解集成电路的基本加工工艺和设计规则等内容,对学习和掌握集成电路的电路设计和版图设计的理论知识和应用技术有很大帮助作用。

本书主要介绍 MOS 管集成电路设计的基础理论知识,以及 MOS 管模拟集成电路和数字集成电路的基本设计方法和技术。

第 1 章绪言,介绍集成电路设计的有关概念、集成电路的发展与分类、集成电路常用的设计方法,以及模块化设计的概念。

集成电路的主体材料是半导体硅或砷化镓。第 2 章介绍有关集成电路的半导体基本知识,如本征半导体、杂质半导体概念及半导体 PN 结的形成与特性。

MOS 管集成电路的主要器件是 MOS 晶体管。第 3 章介绍 MOS 晶体管的结构和工作原理、MOS 晶体管的电流电压关系,并介绍描述 MOS 晶体管的主要特性参数。

MOS 管反相器是构成各种数字集成电路逻辑单元的基础。第 4 章首先介绍几种静态 MOS 管反相器,如 NMOS 反相器和 CMOS 反相器;在静态 MOS 管反相器的基础上,介绍 MOS 管动态反相器;然后分析 MOS 管反相器产生延迟的原因,介绍计算 MOS 管反相器延迟的方法;最后介绍 MOS 管反相器的功耗。

第 5 章介绍半导体集成电路的基本加工工艺、CMOS 工艺流程、版图设计规则、阱工艺 CMOS 反相器的闩锁效应和防止方法,以及集成电路版图设计的过程和方法、版图与工艺的对应关系。

第 6 章首先介绍 MOS 管数字集成电路基本单元电路的结构与设计方法,以及 MOS 管组合逻辑电路的基本单元电路,如 NMOS 逻辑电路、CMOS 逻辑电路、MOS 管改进型逻辑电路、MOS 管传输逻辑电路等;然后介绍 MOS 管时序逻辑电路基本单元,如锁存器、触发器和寄存器;最后介绍集成电路芯片的输入输出单元。

第 7 章介绍 MOS 管数字集成电路子系统设计的概念,以及常用子系统(如加法器、乘法器和存储器)的结构、设计方法和实现过程。

第 8 章介绍 MOS 管模拟集成电路的基本元器件种类和工艺实现方法,并介绍

MOS 管模拟集成电路的基本单元电路结构和工作特点、MOS 管运算放大器和电压比较器的组成及工作特点。

第 9 章介绍模拟集成电路和数字集成电路的基本测试内容和测试仪器，以及故障模型和可测性设计概念。

第 10 章介绍集成电路设计常用的一些软件工具和语言，用实例简单说明了集成电路设计的过程和方法。

本书出版得到云南大学“211 工程”三期建设项目“网络通信理论与智能信息处理技术研究”项目的支持，在此深表感谢。

知识的海洋是浩瀚无边的，而人的精力和认识总是有限的。恳请广大读者对本书提出宝贵的意见和建议。

作 者

2011 年 7 月

目 录

前言

第 1 章 绪言	1
1.1 集成电路设计的有关概念	1
1.2 集成电路的分类	3
1.3 集成电路的发展	4
1.4 集成电路的设计方法	5
1.5 模块化设计的概念	8
习题与思考题	9
第 2 章 半导体预备知识	10
2.1 引言	10
2.2 本征半导体	11
2.2.1 本征半导体的概念	11
2.2.2 本征激发	12
2.3 杂质半导体	13
2.3.1 P 型半导体	14
2.3.2 N 型半导体	14
2.3.3 杂质的补偿作用	15
2.4 PN 结的形成及其特性	15
2.4.1 PN 结的形成	15
2.4.2 PN 结的特性	17
习题与思考题	21
第 3 章 MOS 晶体管	22
3.1 引言	22
3.2 MOS 晶体管的结构	22
3.3 MOS 晶体管的工作原理	25
3.3.1 栅极电压 v_{GS} 对导电沟道的控制作用	25
3.3.2 漏极电压 v_{DS} 对导电沟道的影响	26
3.4 MOS 晶体管的电流电压关系	28
3.4.1 NMOS 晶体管的电流电压关系	28
3.4.2 MOS 晶体管的电流电压关系对比分析	31
3.5 MOS 晶体管的主要特性参数	33
3.5.1 阈值电压	33

3.5.2	跨导	34
3.5.3	MOS 晶体管的直流导通电阻	34
3.5.4	MOS 晶体管的交流电阻	35
3.5.5	MOS 晶体管的最高工作频率	35
3.5.6	MOS 晶体管的沟道长度调制因子 λ	36
	习题与思考题	36
第 4 章	MOS 管反相器	37
4.1	引言	37
4.1.1	MOS 管反相器的通用结构和特点	37
4.1.2	MOS 管反相器的性能评价	38
4.2	NMOS 反相器	40
4.2.1	增强型 NMOS 管负载反相器	40
4.2.2	耗尽型 NMOS 管负载反相器	42
4.3	CMOS 反相器	43
4.3.1	CMOS 反相器的结构特点	43
4.3.2	CMOS 反相器的直流电压传输特性	44
4.4	动态反相器	45
4.4.1	动态有比反相器	45
4.4.2	动态无比反相器	46
4.5	延迟	46
4.5.1	延迟时间的定义	46
4.5.2	延迟时间的分析方法	47
4.6	功耗	49
	习题与思考题	50
第 5 章	集成电路基本加工工艺与设计规则	51
5.1	引言	51
5.2	集成电路基本加工工艺	51
5.2.1	半导体晶体材料的制备	51
5.2.2	版图与制版	52
5.2.3	图形转换(光刻与刻蚀工艺)	53
5.2.4	掺杂	56
5.2.5	热氧化工艺	57
5.2.6	薄膜淀积工艺	57
5.2.7	金属化工艺	58
5.2.8	自对准工艺	58
5.2.9	后部工序	59
5.3	CMOS 工艺流程	61

5.3.1	CMOS 工艺技术	61
5.3.2	CMOS 工艺流程举例	62
5.4	设计规则	66
5.4.1	设计规则的概念	66
5.4.2	设计规则的表示方法	66
5.4.3	设计规则的描述	67
5.5	CMOS 反相器的门锁效应	69
5.6	版图设计	70
5.6.1	版图与版图	70
5.6.2	版图设计技巧	72
	习题与思考题	74
第 6 章	MOS 管数字集成电路基本逻辑单元设计	75
6.1	NMOS 逻辑电路	75
6.1.1	NMOS 与非门	75
6.1.2	NMOS 或非门	76
6.1.3	NMOS 逻辑电路设计	77
6.2	静态 CMOS 逻辑电路	77
6.2.1	静态 CMOS 与非门	78
6.2.2	静态 CMOS 或非门	78
6.2.3	静态 CMOS 逻辑电路设计	80
6.3	改进型 MOS 管逻辑门	84
6.3.1	伪 NMOS 逻辑门	84
6.3.2	动态 CMOS 逻辑电路	85
6.3.3	多米诺逻辑电路	86
6.4	MOS 管传输逻辑电路	87
6.4.1	NMOS 传输门和 PMOS 传输门	87
6.4.2	CMOS 传输门	89
6.5	锁存器和触发器	90
6.5.1	锁存器	90
6.5.2	触发器	97
6.6	寄存器	98
6.7	输入输出 (I/O) 单元	99
6.7.1	输入单元	99
6.7.2	输出单元	100
6.7.3	通用 I/O 单元	101
	习题与思考题	101
第 7 章	MOS 管数字集成电路子系统设计	103

7.1 引言	103
7.1.1 结构化和层次化设计思想	103
7.1.2 结构化和层次化设计思想举例	104
7.2 加法器	106
7.2.1 半加器和全加器	106
7.2.2 串行数据加法器	109
7.2.3 并行数据加法器	109
7.3 乘法器	115
7.3.1 简单乘法器	115
7.3.2 改进型乘法器	120
7.3.3 快速乘法器	121
7.4 存储器	122
7.4.1 ROM	122
7.4.2 RAM	125
习题与思考题	129
第8章 MOS管模拟集成电路设计基础	130
8.1 概述	130
8.1.1 电子系统的组成	130
8.1.2 运算放大器的有关概念	131
8.2 MOS管模拟集成电路中的基本元器件	133
8.2.1 模拟集成电路中的电阻器	133
8.2.2 模拟集成电路中的电容器	137
8.2.3 模拟集成电路中的场效应晶体管	140
8.3 MOS管模拟集成电路基本单元电路	143
8.3.1 基本偏置电路	143
8.3.2 放大电路	153
8.4 MOS管运算放大器	163
8.5 电压比较器	167
8.5.1 电压比较器的特性	167
8.5.2 电压比较器电路	169
习题与思考题	171
第9章 集成电路的测试与可测性设计	173
9.1 引言	173
9.2 模拟集成电路的测试	174
9.3 数字集成电路的测试	176
9.3.1 概述	176
9.3.2 故障模型和测试向量生成	177

9.4 数字集成电路的可测性设计	185
习题与思考题.....	186
第 10 章 集成电路的计算机辅助设计	187
10.1 引言.....	187
10.2 数字集成电路设计与硬件描述语言.....	190
10.2.1 数字系统设计流程.....	190
10.2.2 硬件描述语言 HDL	191
10.3 模拟集成电路设计与 SPICE 语言	204
10.3.1 MOS 管模拟集成电路版图设计	204
10.3.2 SPICE 语言	206
10.4 MOS 管集成电路设计举例	217
习题与思考题.....	221
参考文献.....	222

第 1 章 绪 言

集成电路 (integrated circuit, IC) 是指采用半导体工艺, 把电路有源器件、无源元件及互连布线以相互不可分离的状态制作在半导体 (如硅或砷化镓) 或绝缘材料基片上, 最后封装在一个管壳内, 构成一个完整的具有特定功能的电路、组件、子系统或系统。

集成电路于 1959 年问世, 10 年以后, 即 1970 年, 1Kbit 的存储器问世。接着微处理器 (micro processor) 于 1971 年投入市场, 标志集成电路生产进入大规模集成电路时代。自那时起, 集成电路的集成度一直按著名的摩尔定律以每 10 年翻一番的惊人速度发展着。

本章从简要介绍集成电路设计的有关概念开始, 介绍集成电路发展、集成电路分类、集成电路设计方法以及模块化设计的概念。

1.1 集成电路设计的有关概念

1. 集成电路设计

MOS 管集成电路设计工作包括工艺设计、电路设计和版图设计三个方面, 与双极型集成电路的设计有许多相似之处。进行工艺设计时, 要根据各器件参数的要求, 决定满足这些器件参数的工艺参数、工艺流程和工艺条件。电路设计是根据电路的工作条件和性能指标 (如最高工作频率、电源电压和功耗等), 决定组成电路各器件的参数, 包括电参数和几何参数, 如晶体管阈值电压 V_T 、晶体管几何尺寸 W/L 。在电路设计中还要确定电路的结构和类型, 例如, NMOS 或 CMOS 电路。版图设计的任务是按照电路设计和确定的工艺流程, 把电路的 MOS 管、电阻和电容等元件及互连线布置在硅晶片上, 画出相应的版图来, 用以制造光刻掩模版。

2. 描述集成电路工艺技术的五个技术指标

(1) 集成度 (integration level)。集成度以每块集成电路芯片所包含的元器件 (晶体管或门/数) 数目来衡量 (包括有源和无源元件)。随着集成度的提高, 集成电路及使用集成电路的电子设备的功能增强、速度和可靠性提高、功耗降低、体积和重量减小、产品成本下降, 从而提高了性能/价格比, 不断扩大其应用领域, 因此集成度是集成电路技术进步的标志。为了提高集成度采取了增大芯片面积、缩小器件特征尺寸、改进电路及结构设计等措施。为节省芯片面积普遍采用了多层布线结构, 硅晶片集成 (wafer scale integration, WSI) 和三维集成技术也正在研究开发。从电子系统的角度来看, 集成度的提高使集成电路进入系统集成或片上系统 (system on chip, SoC) 时代。

(2) 特征尺寸 (feature size/critical dimension)。特征尺寸定义为器件中最小的线条宽度 (对 MOS 晶体管而言, 通常指器件栅电极所决定的沟道几何长度), 也可定义为最小线条宽度与线条间距之和的一半。减小特征尺寸是提高集成度、改进器件性能的关键。特征尺寸的减小主要取决于光刻技术的改进。特征尺寸下降因子是, 大约每 3 年减小至原来的 70%, 换句话说, 每个晶体管所需的面积将下降 50%。集成电路的特征尺寸向深亚微米发展, 目前的规模化生产是 $0.18\mu\text{m}$ 、 $0.13\mu\text{m}$ 和 $0.09\mu\text{m}$ 工艺。光学光刻能达到 $0.1\mu\text{m}$ 的精度。随着特征尺寸的减小, 取代光学光刻有 X 射线、电子束直写、电子束投影和极紫外光刻 (extreme ultraviolet, EUV) 等技术。

(3) 晶圆片直径 (wafer diameter)。为了提高集成度, 可适当增大芯片面积。然而, 芯片面积的增大导致每个晶圆片内包含的芯片数减少, 从而使生产效率降低, 成本提高。采用更大直径的晶圆片可解决这一问题。

(4) 芯片面积 (chip area)。随着集成度的提高, 每个芯片所包含的晶体管数不断增多, 平均芯片面积也随之增大。芯片面积的增大也带来一系列新的问题, 如大芯片封装技术、成品率以及由于每个晶圆片所含大芯片数减少而引起的生产效率降低等。但后一问题可通过增大晶片直径来解决。

(5) 封装 (package)。IC 的封装最初采用插孔封装 THP (through-hole package) 形式。为适应电子设备高密度组装的要求, 表面安装封装 (surface mounted package, SMP) 技术迅速发展起来。在电子设备中, 使用 SMP 的优点是能节省空间、改进性能和降低成本, 因 SMP 不仅体积小而且可安装在印制电路板的两面, 使电路板的费用降低 60%, 并使性能得到改进。

3. 集成电路的无生产线设计与代工制造

集成电路产业有三个非常重要的环节: 集成电路设计、芯片制造和封装测试。集成电路设计是以人为主的智力密集型产业, 位于产业链的上游。

随着集成电路规模的爆炸式扩展, 模拟数字混合集成系统的广泛需要, 知识密集型的芯片设计变得比技术密集型的芯片制造重要起来。另外, 集成电路生产的高利润前景引发了众多生产线在世界各地建造, 从而导致集成电路产业生产能力的剩余, 即生产线“无米下锅”局面的出现。人们需要更多的功能芯片设计, 从而促进了集成电路设计的发展, 并使得不少集成电路设计公司应运而生。这些设计公司拥有设计人才和技术, 但不拥有生产线, 成为无生产线 (Fabless) 集成电路设计公司。在国外, 现在已有众多这样的公司在运作, 如美国硅谷就有 200 多家 Fabless 集成电路设计公司, 其中有 50 多家上市公司, 台湾有这样的中型公司 100 多家。芯片设计单位和工艺制造单位的分离, 即芯片设计单位可以不拥有生产线而存在和发展, 而芯片制造单位致力于工艺实现 (代客户加工, 简称代工), 已成为集成电路技术发展的一个重要特征。

无生产线设计和代工制造之间的关系简述如下。首先, 代工单位将经过前期开发确定的一套工艺设计文件 PDK (process design kits) 通过因特网传送 (或光盘

等媒质邮寄)给设计单位,这是一次信息流过程。PDK 文件包括工艺电路模拟用器件的 SPICE 参数,版图设计用的层次定义,设计规则,晶体管、电阻、电容等元件和通孔(via)、焊盘等基本结构的版图,与设计工具关联的设计规则检查 DRC (design rule check)、参数提取和版图电路图对照 LVS (layout vs. schematic) 用的文件。设计单位根据研究项目提出的技术指标,在自己掌握的电路和系统知识基础上,利用 PDK 提供的工艺数据和 CAD/EDA 工具,进行电路设计、电路仿真(或称为“模拟”)和优化、版图设计、设计规则检查 DRC、参数提取和版图电路图对照 LVS,最终生成一种通常称为 GDS-II 格式的版图文件,目前基本上都是通过因特网传送给代工单位。这也是一次信息流过程。

代工单位根据设计单位提供的 GDS-II 格式的版图数据,首先制作掩膜版(mask),将版图数据定义的图形固化到铬板等材料的一套掩膜版上。一张掩膜版一方面对应于版图设计中一层的图形,另一方面对应于芯片加工制作中的一道或多道工序。正是在一张张掩膜版的参与下,工艺工程师完成芯片的流水式加工,将版图数据定义的图形最终有序地固化到芯片上,这一过程通常简称为“流片”。根据掩膜版的数目和工艺的自动化程度,一次“流片”的周期约为 2 个月。代工单位完成芯片加工后,根据路程远近,利用飞机等不同的快速运输工具寄送给设计单位。

设计单位对芯片进行参数测试和性能评估,符合技术要求时,进入系统应用。从而完成一次集成电路设计、制造和测试与应用的全过程。否则就需进行改进和优化,再进入下一次设计、制造和测试循环。

1.2 集成电路的分类

集成电路的分类方法有多种。

1. 按器件结构类型分类

(1) 双极集成电路。主要由双极型晶体管(bipolar junction transistor, BJT)构成。

- ① 只含 NPN 型晶体管的双极集成电路(数字电路);
- ② 含 NPN 型及 PNP 型晶体管的双极集成电路(模拟电路)。

(2) 金属-氧化物-半导体(metal oxide semiconductor, MOS)集成电路。主要由 MOS 晶体管(单极型晶体管)构成。

- ① NMOS 晶体管集成电路;
- ② PMOS 晶体管集成电路;
- ③ CMOS(互补 MOS)晶体管集成电路。

(3) 双极-MOS(Bi-MOS)集成电路。同时包括双极和 MOS 晶体管的集成电路为 Bi-MOS 集成电路,综合了双极和 MOS 器件两者的优点,但制作工艺复杂。

尽管第一块集成电路是由 BJT 晶体管组成的,但现在, MOS 晶体管已经成为构建集成电路的主要器件。相对于 BJT 器件来说, MOS 器件具有更高的集成密

度、更低的工作功耗和更大的电路设计灵活性。BJT 器件目前在模拟电路以及其他个别应用领域中还在继续使用,但在市场上占据的份额会持续减少。因此,当前集成电路领域各种新技术的开发工作大多集中在 MOS 器件工艺上,这也是本书把 MOS 晶体管作为讨论重点的原因。

2. 按集成电路规模分类

实际上,电子电路经历了从分立元件到集成电路的发展阶段,其中尤以数字集成电路的发展更为引人注目。按规模分类,集成电路则可分为以下几种。

(1) 小规模集成电路 (small scale IC, SSI), 几十个逻辑门以内。

(2) 中规模集成电路 (medium scale IC, MSI), 几百个逻辑门。

(3) 大规模集成电路 (large scale IC, LSI), 几万个逻辑门。

(4) 超大规模集成电路 (very large scale IC, VLSI), 几十万个逻辑门以上。

(5) 甚大规模集成电路 (ultra large scale IC, ULSI) 和巨大规模集成电路 (gigantic scale IC, GSI), 百万个逻辑门以上。

尽管英语中有 VLSI、ULSI 和 GSI 之分,但 VLSI 使用最频繁,其含义往往包括了 ULSI 和 GSI。中文中把 VLSI 译为超大规模集成电路,更是包含了 ULSI 和 GSI 的意义。

3. 按生产目的分类

(1) 通用集成电路。

(2) 专用集成电路。

生产厂家以供应市场为目的生产的芯片大多属于通用集成电路,如微处理器芯片、存储器芯片及计算机外围电路芯片等。为某个或某些用户的专门用途而生产的芯片则属于专用集成电路。通用集成电路生产批量大,设计费用分摊在每个芯片上就不大。因此,它对设计成本和设计周期要求可以放宽。而后者则着重于设计成本和设计周期。

此外,还有按其他一些集成电路分类的标准,如按电路功能和所处理信号的不同,可分为数字或逻辑集成电路 (digital/logic IC)、模拟集成电路 (analog IC) 和数模混合集成电路 (digital-analog mixed IC)。

1.3 集成电路的发展

1947 年,贝尔实验室肖克莱等发明了半导体晶体管,这是微电子技术发展中第一个里程碑,为电子电路从分立元件到集成电路的发展奠定良好基础。

1958 年,美国德州仪器公司展示了全球第一块集成电路板,这标志着世界从此进入到了集成电路的时代。

20 世纪 60 年代, TTL (transistor transistor logic)、ECL (emitter couple logic) (TTL 和 ECL 都是双极型集成电路) 出现并得到广泛应用。1964 年,英特尔 (Intel) 创始人之一戈尔·摩尔提出了著名的摩尔定律,预测晶体管集成度将会

每 18 个月增加 1 倍。自从被发明以来, 集成电路一直按照摩尔定律飞速发展。1966 年 MOS LSI 发明, MOS 管集成电路以高集成度、低功耗的优良性能而得到广泛应用和研究。

70 年代, MOS LSI 得到大发展 (出现集成化微处理器、存储器), 典型产品有 64KB 的 DRAM, 16 位的 MPU。

80 年代, VLSI 出现, 使集成电路进入了崭新阶段 (其标志为特征尺寸小于 $2\mu\text{m}$, 集成度大于 10^5 个元件/片), 典型产品 4MB DRAM (集成度 8×10^6 , 芯片面积 91mm^2 , 特征尺寸 $0.8\mu\text{m}$, 晶片直径 150mm) 于 1989 年开始商业化生产, 1MB DRAM 进入市场。

90 年代, ASIC、ULSI 和 GSI 等代表更高技术水平的集成电路不断涌现, 并成为集成电路应用的主流产品。1GB DRAM (集成度 2.2×10^9 , 芯片面积 700mm^2 , 特征尺寸 $0.18\mu\text{m}$, 晶片直径 200mm) 2000 年开始商业化生产, 2004 年达到生产顶峰。集成电路的规模不断提高, CPU (P4) 已超过 4000 万晶体管, DRAM 已达 GB 规模。集成电路的速度不断提高, 采用 $0.13\mu\text{m}$ CMOS 工艺实现的 CPU 主时钟已超过 2GHz, 实现的超高速数字电路速率已超过 10GB/s, 射频电路的最高工作频率已超过 6GHz。

随着集成电路技术的发展和应用, 集成电路复杂度不断增加, 系统芯片或称芯片系统 SoC 成为开发目标, 纳米器件与电路等领域的研究已展开。现在的 SoC 芯片有三种主要类型: 一种是以 MPU 为核心, 集成各种存储器、控制电路、时钟电路, 乃至 I/O 和 A/D、D/A 功能于一个芯片上; 一种是以 DSP 为核心, 多功能集成成为 SoC; 还有一种则是上两种的混合或者把系统算法与芯片结构有机地集成为 SoC。它们在 IP 利用率、通用性、芯片利用率、性能以及设计周期等方面各具优缺点, 因此兼容共存。

沿着摩尔定律发展, 必然会提出微电子加工尺度和器件尺度的缩小有无极限的问题。对于加工技术极限, 主要是光刻精度, 随着技术的不断发展, 其体现为 EUV (特短紫外光) 的发展和电子束投影曝光技术的发展。现在看来, 这一极限在近期内将不会影响芯片的进步。另外, 来自器件结构 (MOS 晶体管) 的某些物理本质上的限制, 如量子力学测不准原理和统计力学热涨落等, 可能会使 MOS 晶体管缩小到一定程度后不能再正常工作, 这就有可能改变今日硅芯片以 MOS 晶体管为基础的局面。

1.4 集成电路的设计方法

人们在谈论集成电路的迅猛发展时, 其实主要还是指数字集成电路。数字集成电路的飞速发展促使人们不断提出新的设计方法, 纵观起来, 这些设计方法可归纳于两类: 全定制设计方法和半定制设计方法。在设计集成电路时, 为了使芯片实现特定的算法或逻辑功能, 虽然几种设计方法都可以考虑, 但每种设计方法都有各自

的优点和缺点，因此，为了以最低的成本和可选的方法实现特定的功能和性能，设计者必须选择一种合适的设计方法。

1. 全定制设计方法

全定制设计方法就是按所要设计的集成电路规定功能、性能要求，对电路的结构布局、布线均进行专门的最优化设计，整个掩膜设计都是重新做的，不采用任何库，以达到芯片的最佳利用。这种设计方法适用于要求得到最高速度、最低功耗和最省面积的芯片设计，但这是以花费大量的设计时间为代价的。

2. 半定制设计方法

半定制设计方法就是利用一定规格的功能块，如门阵列、标准单元、可编程逻辑器件等，按用户要求利用专门设计的软件进行必要的连接，从而设计出所需要的集成电路。半定制设计方法需要较短的设计时间。

(1) 可编程逻辑器件的设计法。现场可编程逻辑门阵列 (FPGA) 芯片包含成百上千甚至更多具有可编程互连的逻辑门，用户可以用它进行常规的硬件编程来实现所要求的功能。这种设计风格为快速原型设计和节约芯片成本的设计，尤其是为低产量的应用设计提供了一种方法。典型的现场可编程逻辑门阵列芯片包括 I/O 缓冲器、可配置逻辑块 (CBL) 阵列以及可编程互连结构。

(2) 门阵列的设计法。门阵列是指在一个芯片上把形状和尺寸完全相同的单元排列成阵列，每个单元内部含有若干器件，单元之间留有纵向尺寸固定的布线通道。FPGA 芯片的设计实现主要是用户编程，而门阵列需要金属掩膜设计和工艺制造。门阵列的实现需要两个制造阶段：第一个阶段是基于标准掩膜在每个门阵列芯片上生成一个未连接的晶体管阵列，这些未连接的芯片可以保存起来以备下一阶段的开发使用；第二个阶段是通过定义晶体管阵列之间的金属互连完成的。

(3) 标准单元的设计法。标准单元设计法是一种库单元设计方法。在这种设计中，通常把所有常用的逻辑单元都开发出来，明确其功能和特性，并存储在一个标准单元库中。一个典型的标准单元库中可能包含成百上千种单元，有如反相器、与非门、或非门、与或非门、或与或非门等组合逻辑电路单元，也有如锁存器、触发器等时序逻辑电路单元。

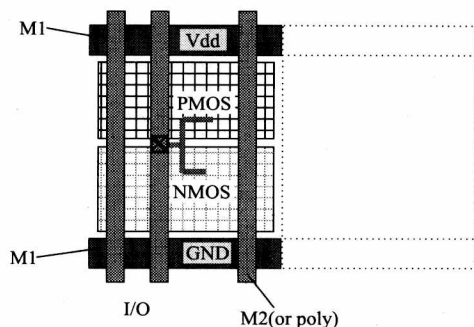


图 1.4.1 一个标准单元版图布局

这些标准单元的电路和版图经过反复设计、验证成功后，存储在标准单元库中，供给更复杂电路的设计反复调用。每一个标准单元的 NMOS 晶体管一般被安排在地线附近，PMOS 晶体管安排在电源线附近，如图 1.4.1 所示。这种安排有利于 MOS 晶体管的衬底连接要求，即 NMOS 晶体管的 P 衬底接电路的低电平，PMOS 晶体管的 N 衬底接电路的高电平。

为了使单元的布局和单元之间的连接布线做到自动化,通常把每个单元的版图都设计成同一高度、不同宽度的形状,以便大量的单元能一个挨一个排成整齐的一行(或一列);电源线和地线安排在单元的顶边和底边并与单元的顶边和底边平行,以便相邻的单元共用电源线和地线;输入输出线可以引到单元的顶边和底边,如图 1.4.2 所示。

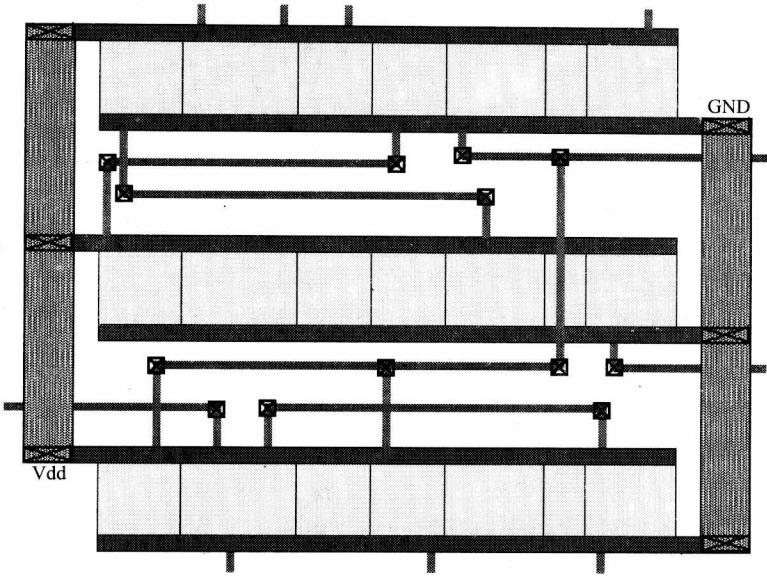


图 1.4.2 基于标准单元设计的版图规划图

尽管基于标准单元的设计有时也称为全定制的设计,但从严格意义上来讲,由于通常使用的单元预先已被设计好,并且在不同芯片的设计中常常使用同样的单元,所以基于标准单元的设计还不完全是全定制的设计。在一个真正的全定制设计中,整个掩膜设计都是重新做的,不采用任何库,因而这种设计方式的开发成本非常高。在真正的全定制版图设计中,每个晶体管的几何形状、方向以及位置选择都是由设计者逐个完成的,因此设计效率非常低。

为了降低开发成本和减短设计周期,现在流行着设计重用的概念。存储单元的设计采用最严格的全定制设计,不管是动态的还是静态的。由于总是重复同样的存储单元版图,所以对高密度存储芯片的版图设计来说必须重用。对逻辑芯片的设计来说,通过在同一芯片中运用标准单元、数据通道单元以及可编程逻辑阵列(PLA)等不同设计风格的组合是一个折中的办法。

究竟采用哪一种设计方法比较合适?这取决于产品的性能要求、使用的技术、产品的寿命以及工程的造价。