

EDA 应用技术

<http://www.phei.com.cn>

Cadence

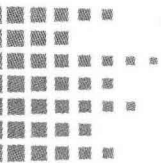
高速电路板设计与仿真 (第4版)

——原理图与PCB设计

周润景 刘梦男 苏良昱 编著



 电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY



EDA 应用技术

Cadence

高速电路板设计与仿真 (第4版) ——原理图与PCB设计

周润景 刘梦男 苏良昱 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Cadence Allegro SPB 16.3 为基础,从设计实践的角度出发,以具体电路为范例,由浅入深地详尽讲解元器件建库、原理图设计、布局、布线、规则设置、报告检查、底片文件输出、后处理等 PCB 设计的全过程,内容包括原理图输入及元器件数据集成管理环境的使用,中心库的开发,PCB 设计工具的使用,以及后期电路设计处理需要掌握的各项技能等。无论是对前端设计开发(原理图设计),还是对 PCB 板级设计,PCB 布线实体的架构,本书都有全面的讲解,极具参考和学习价值。

本书适合对 PCB 设计有一定基础的中、高级读者阅读,也可作为电子及相关专业 PCB 设计的培训用书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Cadence 高速电路板设计与仿真:原理图与 PCB 设计 / 周润景,刘梦男,苏良昱编著. —4 版. —北京:电子工业出版社,2011.7

(EDA 应用技术)

ISBN 978-7-121-13900-0

I. ①C… II. ①周…②刘…③苏… III. ①印刷电路—计算机辅助设计②印刷电路—计算机仿真
IV. ①TN410.2

中国版本图书馆 CIP 数据核字(2011)第 120477 号

责任编辑:张 剑(zhang@phei.com.cn)

印 刷:北京市顺义兴华印刷厂

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:30.5 字数:781 千字

印 次:2011 年 7 月第 1 次印刷

印 数:4 000 册 定价:68.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zllts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

序 言

Allegro PCB 产品是 Cadence 公司在 PCB 设计领域的旗舰产品，因其功能强大、易学易用，得到了广大电子工程师的厚爱。

Allegro PCB 产品涵盖了完整的 PCB 设计流程，包括电路图输入，PCB 编辑及布线，PCB 板级系统电源完整性及信号完整性分析，PCB 设计制造分析，以及 PCB 制造输出等。

电子工程领域的 PCB 设计有繁、有易，Cadence 公司为了适应不同市场需求，分别提供如下 3 个集成的、从前端到后端的 Allegro PCB 设计解决方案，帮助用户应对不同设计要求。

- Allegro OrCAD 系列：满足主流用户 PCB 设计要求。
- Allegro L 系列：适用于对成本敏感的小规模到中等规模的设计团队，同时具有随着工艺复杂度增加而伸缩的灵活性。
- Allegro XL/GXL：满足先进的高速、约束驱动的 PCB 设计，依托 Allegro 具有鲜明特点的约束管理器管理解决方案，能够跨设计流程同步管理电气约束，如同一个无缝的过程。

面对日益复杂的高速 PCB 设计要求，Cadence 公司的上述产品包提供的都是一个统一且集成的设计环境，能够让电子工程师从设计周期开始到布线持续解决高速电路设计问题，以提高电子工程师的设计效率。

由于 Allegro PCB 软件功能强大，本书的作者周润景教授总结了多年的 Allegro 平台工具教学和使用心得，在结合《Cadence 高速电路板设计与仿真》前三版经验的基础上，特意将 Allegro PCB 拆分成两本书来写，即《Cadence 高速电路板设计与仿真（第 4 版）——原理图与 PCB 设计》和《Cadence 高速电路板设计与仿真（第 4 版）——信号与电源完整性分析》，以满足不同层级读者的需要。这两本书分别以 PCB 物理设计及 PCB 分析为出发点，围绕 Allegro PCB 这个集成的设计环境，按照 PCB 最新的设计流程，通俗易懂地讲解利用 Allegro PCB 软件实现高速电路设计的方法和技巧。

作为 Cadence Allegro/OrCAD 在中国的合作伙伴，我向各位推荐此书作为学习 Allegro/OrCAD 的桌面参考书。

北京迪浩永辉技术有限公司技术经理 王鹏

前 言

随着工程技术的电子化、集成化和系统化的迅速发展，电路设计已经进入了一个全新的时代，尤其是高速电路设计业已成为了电子工程技术发展的主流，而 Cadence 以其强大的功能和高级的绘图效果，逐渐成为了 PCB 设计行业中的主导软件。Cadence 完善的集成设计系统和强大的功能符合高速电路设计速度快、容量大、精度高等要求，使它成为 PCB 设计方面的优秀代表。本书以 Cadence 公司最新发布的 Allegro SPB 16.3 作为开发平台，以实际案例贯穿整个 PCB 设计开发的全过程，设计思路清晰，更加具有应用性。

最新版 Cadence 软件在使用制程方面的全新优化和增强，可以使读者在原有基础上进一步提高设计的稳定性，缩短开发周期，完善系统的综合性能。

1) 优化布线及约束规则的设置 最新版 Allegro SPB 16.3 设计平台增强了在布线方面的调整功能，包括单一布线圆弧角度和群组布线等方面的优化功能。尤其是针对差分布线，Allegro SPB 16.3 新版本中使用了 Dynamic Phase Check 动态相位反馈检查技术，对整体差分布线过程进行检查，对于差分布线产生差距的部分进行差动补偿和报告，实时回馈差分布线的数量、线宽、间距等方面的信息。在改善布线焊点之间的连接方面，新增选项的设置避免了出现尖角及所有非圆形焊点的连接方式。在约束管理器的设置方面，强化了物理、电气、间距等约束规则的设定，方便对多层次过孔结构、版图、绝缘层、焊锡层设计及检查。本书对过孔数量匹配及安全间距、锡膏层间距检查等方面做了重点介绍。

2) 先进的图形化过孔显示功能 Allegro SPB 16.3 设计平台在堆栈的显示功能方面增加了先进的图形化演示功能，通过对过孔堆栈颜色、可视性的设置，更加清楚地了解过孔中的堆栈分布情况。通过删除由于设计更新产生的多余堆栈，控制不同尺寸的堆栈之间的分布设定来减少在信号方面的干扰。对于未满足电气检查的过孔，运用 DRC 检查的 V-N 符号对出现电气错误的部分进行标示。

3) 3D 立体空间环境显示功能 本书对该平台全新推出的 Open GL 模式下的 3D 立体空间环境显示功能做了由浅入深，通俗易懂的介绍，可以使读者进行各种视角和显示效果的观察，在 3-D Viewer 窗口中对 PCB，包括元器件、过孔、布线等进行翻转、放大、缩小的空间操作，检查 PCB 及过孔的堆栈结构，提高了设计的可靠性。

本书共 18 章，其中第 5 章~第 18 章由周润景编写；刘梦男编写了第 1 章和第 2 章，并对书中的例子作了全面的验证；苏良昱编写了第 3 章和第 4 章。全书由周润景负责统稿。参加本书编写的还有张丽娜、张红敏、张丽敏、徐宏伟、吕小虎、王伟、张鹏飞、任冠中、丁莉、王志军、胡训智、李琳和宋志清。

本书的出版得到了北京迪浩永辉科技公司执行董事黄胜利先生、技术经理王鹏先生和

电子工业出版社张剑先生的大力支持，也有很多读者提出了宝贵的意见，在此一并表示衷心感谢！

为便于读者阅读、学习，特提供本书实例下载资源。请访问 <http://yydz.phei.com.cn> 网站，到“资源下载”栏目下载。

由于 Cadence 公司的 PCB 工具性能非常强大，不可能通过一本书完成全部内容的详尽介绍，加上时间与水平有限，书中难免有不妥之处，还望广大读者批评指正。

编著者

目 录

第1章	Cadence Allegro SPB 16.3 简介	1
1.1	概述	1
1.2	功能特点	1
1.3	设计流程	3
1.4	Cadence Allegro SPB 新功能介绍	4
第2章	Capture 原理图设计工作平台	26
2.1	Design Entry CIS 软件功能介绍	26
2.2	原理图工作环境	27
2.3	设置图纸参数	28
2.4	设置设计模板	31
2.5	设置打印属性	35
第3章	制作元器件及创建元器件库	37
3.1	创建单个元器件	37
3.1.1	直接新建元器件	38
3.1.2	用电子表格新建元器件	46
3.2	创建复合封装元件	48
3.3	大元器件的分割	50
3.4	创建其他元器件	52
	习题	53
第4章	创建新设计	54
4.1	原理图设计规范	54
4.2	Capture 基本名词术语	54
4.3	建立新项目	56
4.4	放置元器件	57
4.4.1	放置基本元器件	58
4.4.2	对元器件的基本操作	61
4.4.3	放置电源和接地符号	62
4.4.4	完成元器件放置	63

4.5	创建分级模块	64
4.6	修改元器件序号与元器件值	73
4.7	连接电路图	74
4.8	标题栏的处理	79
4.9	添加文本和图像	80
4.10	建立压缩文档	81
4.11	平坦式和层次式电路图设计	81
4.11.1	平坦式和层次式电路特点	82
4.11.2	电路图的连接	83
	习题	84
第5章	PCB 设计预处理	86
5.1	编辑元器件的属性	86
5.2	Capture 到 Allegro PCB Editor 的信号属性分配	98
5.3	建立差分对	102
5.4	Capture 中总线(Bus)的应用	105
5.5	原理图绘制后续处理	114
5.5.1	设计规则检查	114
5.5.2	为元器件自动编号	119
5.5.3	回注(Back Annotation)	121
5.5.4	自动更新元器件或网络的属性	122
5.5.5	生成网络表	123
5.5.6	生成元器件清单和交互参考表	125
5.5.7	属性参数的输出/输入	128
	习题	129
第6章	Allegro 的属性设置	130
6.1	Allegro 的界面介绍	130
6.2	设置工具栏	135
6.3	定制 Allegro 环境	136
6.4	编辑窗口控制	149
	习题	160
第7章	焊盘制作	161
7.1	基本概念	161
7.2	热风焊盘的制作	163
7.3	通过孔焊盘的制作	165
7.4	贴片焊盘的制作	173

第8章	元器件封装的制作	177
8.1	封装符号基本类型	177
8.2	集成电路封装 (IC) 的制作	177
8.3	连接器 (IO) 封装的制作	190
8.4	分立元器件 (DISCRETE) 封装的制作	209
8.4.1	贴片的分立元器件封装的制作	209
8.4.2	直插的分立元器件封装的制作	213
8.4.3	自定义焊盘封装制作	218
	习题	226
第9章	PCB 的建立	227
9.1	建立 PCB	227
9.2	输入网络表	249
	习题	252
第10章	设置设计规则	253
10.1	间距规则设置	253
10.2	物理规则设置	257
10.3	设定设计约束 (Design Constraints)	260
10.4	设置元器件/网络属性	262
	习题	268
第11章	布局	269
11.1	规划 PCB	270
11.2	手工摆放元器件	273
11.3	快速摆放元器件	278
	习题	285
第12章	高级布局	286
12.1	显示飞线	286
12.2	交换	287
12.3	使用 ALT_SYMBOLS 属性摆放	292
12.4	按 Capture 原理图页进行摆放	294
12.5	原理图与 Allegro 交互摆放	298
12.6	自动布局	302
12.7	使用 PCB Router 自动布局	308
	习题	310

第 13 章	敷铜	311
13.1	基本概念	311
13.2	为平面层建立 Shape	313
13.3	分割平面	315
13.4	分割复杂平面	329
	习题	333
第 14 章	布线	334
14.1	布线的基本原则	334
14.2	布线的相关命令	335
14.3	定义布线的格点	335
14.4	手工布线	337
14.5	扇出 (Fanout By Pick)	341
14.6	群组布线	343
14.7	自动布线的准备工作	347
14.8	自动布线	353
14.9	控制并编辑线	363
14.9.1	控制线的长度	363
14.9.2	差分布线	370
14.9.3	高速网络布线	377
14.9.4	45° 角布线调整 (Miter By Pick)	380
14.9.5	改善布线的连接	382
14.10	优化布线 (Gloss)	387
	习题	393
第 15 章	后处理	394
15.1	重命名元器件序号	394
15.2	文字面调整	397
15.3	回注 (Back Annotation)	401
	习题	402
第 16 章	加入测试点	403
16.1	产生测试点	403
16.2	修改测试点	409
	习题	413



第17章	PCB 加工前的准备工作	414
17.1	建立丝印层	414
17.2	建立报告	417
17.3	建立 Artwork 文件	418
17.4	建立钻孔图	429
17.5	建立钻孔文件	431
17.6	输出底片文件	432
17.7	浏览 Gerber 文件	434
17.8	在 CAM350 中检查 Gerber 文件	437
	习题	453
第18章	Allegro 其他高级功能	454
18.1	设置过孔的焊盘	454
18.2	更新元器件封装符号	456
18.3	Net 和 Xnet	458
18.4	技术文件的处理	458
18.5	设计重用	463
18.6	DFA 检查	469
18.7	修改 env 文件	470
18.8	Skill 的程序安装及功能说明	471
18.9	数据库写保护	474
	习题	476

第1章 Cadence Allegro SPB 16.3 简介

1.1 概述

Cadence 新一代的 Allegro SPB 16.3 系统互连设计平台优化并加速了高性能、高密度的互连设计，建立了从 IC 制造、封装和 PCB 的一整套完整的设计流程。Cadence Allegro 可提供新一代的协同设计方法，以便建立跨越整个设计链，包括 I/O 缓冲区、IC、封装及 PCB 设计人员的合作关系。Cadence 公司著名的软件有 Cadence Allegro，Cadence LDV，Cadence IC 5.0，Cadence OrCAD 等。

功能强大的布局布线设计工具 Allegro PCB 是业界领先的 PCB 设计系统。Allegro PCB 是一个交互的环境，用于建立和编辑复杂的多层 PCB。Allegro PCB 丰富的功能可以满足当今世界设计和制造的需求。针对目标按时完成系统协同设计，使 Cadence Allegro 平台能协同设计高性能的集成电路、封装和 PCB 的互连，降低成本并加快产品上市时间。

Cadence Allegro 系统互连平台能够跨集成电路、封装和 PCB 协同设计高性能互连。应用平台的协同设计方法，工程师可以迅速优化 I/O 缓冲器之间，或者跨集成电路、封装和 PCB 的系统互连，从而避免硬件设计返工，并降低硬件成本和缩短设计周期。约束驱动的 Allegro 流程可用于设计捕捉、信号完整性和物理实现。由于它还得到 Cadence Encounter 与 Virtuoso 平台的支持，Allegro 协同设计方法使得高效的设计链协同成为现实。

系统互连是一个信号的逻辑、物理和电气连接，及其相应的回路和功率配送系统。目前，集成电路与系统团队在设计高速系统互连时面临前所未有的挑战。由于集成电路的集成度不断增长，芯片的 I/O 和封装引脚数量也在迅速增加。千兆赫兹速度的数据传输速率同样导致极高速的 PCB 与系统需求增加。同时，平均的 PCB 大小不断缩小，功率配送要求也随着芯片晶体管数目的攀升不断提高。

解决这些复杂的问题和应对不断增长的上市时间压力的需要，使得传统的系统组件设计方法变得过时和不合时宜。在高速系统中完成工作系统互连需要新一代的设计方法，它应该让设计团队把注意力集中在提高跨 3 个系统领域的系统互连的效率上。

1.2 功能特点

Cadence 公司的 Allegro SPB 16.3 软件对 PCB 板级的电路系统设计流程，包括原理图输入，数字、模拟及混合电路仿真，FPGA 可编程逻辑器件设计，自动布局、布线，PCB 版图及生产制造数据输出，以及针对高速 PCB 的信号完整性分析与电源完整性分析等，从前到后提供了完整的输入、分析、版图编辑和制造的全线 EDA 辅助设计工具。

1. 功能模块

整个软件系统主要分以下 18 个功能模块。

(1) Design Entry HDL: Design Entry HDL 提供了一个原理图输入和分析环境。它的功能与扩展模拟（数字电路和模拟电路），以及 PCB 版图设计解决方案集成在一起，是作为所有与系统和高速设计流程相关的 CAE 要求的任务中心。原理图设计方法已经通过若干提高效率的措施得以简化，Design Entry HDL 使得设计的每一个阶段流水线化。

(2) Design Entry CIS: Design Entry CIS 是世界上领先的在 Windows 操作系统上实现的原理图输入解决方案，直观、简单易用且具有先进的部件搜索机制，是迅速完成设计捕捉工具的选择。Design Entry CIS 对应于以前版本的 Capture 和 Capture CIS，是 Cadence 公司收购原 OrCAD 公司的产品，是国际上通用的标准的原理图输入工具，设计快捷方便，图形美观，与 Allegro 实现了无缝链接。

(3) Design Entry HDL Rules Checker: Design Entry HDL 的规则检查工具。

(4) Layout Plus: 原 OrCAD 公司的 PCB 设计工具。

(5) Layout Plus SmartRoute Calibrate: Layout Plus 的布线工具（Smart Route）。

(6) Library Explorer: 进行数字设计库管理的软件，可以调用 Design Entry HDL、PCB Librarian、PCB Designer、Allegro System Architect 等工具建立的元器件符号和模型。

(7) Online Documentation: 在线帮助文档。

(8) Model Integrity: 模型编辑与验证工具。

(9) Package Designer: 芯片和封装的设计分析软件，它把芯片级的 I/O 可行性和规划功能与业界领先的集成电路封装设计工具组合到一起，形成一种强大的协同设计方法。该产品家族包括一个嵌入式、经过验证的 3D 场计算器，允许工程师在电气与物理设计要求之间做出折中选择，以满足成本和性能目标。

(10) PCB Editor: 一个完整的高性能 PCB 设计软件。通过顶尖的技术，为创建和编辑复杂、多层、高速、高密度的 PCB 设计提供了一个交互式、约束驱动的设计环境。它允许用户在设计过程的任意阶段定义、管理和验证关键的高速信号，并能抓住最关键的设计问题。

(11) PCB Librarian: Allegro 库开发，包括焊盘、自定义焊盘形状、封装符号、机械符号、Format 符号和 Flash 符号的开发。

(12) PCB Router: CCT 布线器。

(13) PCB SI: 提供了一个集成的高速设计与分析环境。它能流水线化完成高速数字 PCB 系统和高级集成电路封装设计，方便电气工程师在设计周期的所有阶段探究、优化和解决电气性能相关的问题。约束驱动的设计流程提高了首次成功的概率，并降低产品的整体成本。

(14) Allegro Physical Viewer: Allegro 浏览器模块。

(15) Project Manager: Design Entry HDL 的项目管理器。

(16) SigXplorer: 网络拓扑的提取和仿真。

(17) AMS Simulator: 工业标准的模拟、数字及模拟/数字混合信号仿真系统，具有仿

真速度快，精度高，功能强大等特点。仿真库内所含元器件种类丰富，数量众多。

(18) PCB Editor Utilities: 包含 Pad Designer、DB Doctor 和 Batch DRC 等工具。

2. 特有功能

Allegro SPB 15.7 以后的版本的 18 个模块不仅提供了强大的 PCB 设计功能，还提供了以下特有功能。

(1) 混合设计输入工具支持从结构到电路的模拟/数字设计，框图编辑工具可以自动按 HDL 语言描述生成模块框图，或者由高端框图生成 HDL 语言文本。

(2) 自顶向下设计可以由混合级的设计直接生成 Verilog 或 VHDL 网络表，用户在仿真时不需要进行数据转换工作。

(3) 可以在原理图中驱动物理设计的属性和修改约束条件，包括 PCB 设计所必需的布线优先级，终端匹配规则等。

(4) 可以检查终端匹配、电流不足、短路、未连引脚、DRC 错误等。

(5) 自动高亮自定义检查规则。

(6) 电气物理规则驱动设计。

(7) 自动/交互式布局，自动/交互式布线。

(8) 用有布线长度的设计规则来满足电路的时序要求。

(9) 在线分析工具包括物理设计规则检查，信号噪声、时序分析，可靠性、可测试性、可生产性、热学分析，对高速系统可以计算布线的传输延时、寄生电容、电阻、电感和特征阻抗等电气参数。

(10) 可以计算网络的窜扰，电源/地，电磁兼容，热漂移，信号的上升沿、下降沿、过冲及其前向、后向的窜扰等。

通过这些特有功能，可以较好地完成以下工作。

(1) 对数字电路进行逻辑分析。以 Verilog-XL 和 NC Simulator 为核心，配以直观、易用的仿真环境，构成顺畅的数字电路分析流程。

(2) 针对模拟电路的功能验证。采用非常符合工程技术人员使用的工具界面，配合高精度、强收敛的模拟仿真器所提供的直流、交流、瞬态功率分析、灵敏度分析及参数优化等功能，可以辅助用户完美地实现模拟电路及数字/模拟混合电路的分析。

(3) 针对“设计即正确”的思想，Cadence 在 PCB 布局、布线设计领域的传统的物理约束的基础上扩充了电气约束能力，可以更好地解决高速 PCB 电路设计中遇到的信噪、热、电磁兼容等问题，配以智能化的无网格布局方式和 SPECCTRA 布线工具可以大大提高设计成功率。

(4) 针对高速、高密度 PCB 系统设计，Cadence 改变了传统的先设计、再分析的方法，提供了设计与分析紧密结合的全新设计方法和强有力的设计工具 PCB SI。

1.3 设计流程

整个 PCB 的设计流程可分为以下 3 个主要部分。

1. 前处理

此部分主要是开始 PCB 设计前的准备工作。

- 1) **原理图的设计** 设计者根据设计要求用 Capture 软件绘制电路原理图。
- 2) **创建网络表** 绘制好的原理图经检查无误后,可以生成送往 Allegro 的网络表,网络表文件包含 3 个部分,即 pstxnet.dat、pstxprt.dat 和 pstchip.dat。
- 3) **建立元器件封装库** 在创建网络表之前,每个元器件都必须有封装。由于实际元器件的封装是多种多样的,如果元器件的封装库中没有所需的封装,就必须自己动手创建元器件封装,并将其存放在指定目录下。
- 4) **创建机械设计图** 设置 PCB 外框及高度限制等相关信息,产生新的机械图文件(Mechanical Drawing)并存储到指定目录下。

2. 中处理

此部分是整个 PCB 设计中最重要的一部分。

- 1) **读取原理图的网络表** 将创建好的网络表导入 Allegro 软件,取得元器件的相关信息。
- 2) **摆放机械图和元器件** 先摆放创建好的机械图,其次摆放比较重要的或较大的元器件,如 I/O 端口器件,集成电路,最后摆放小型的元器件,如电阻、电容等。
- 3) **设置 PCB 的层面** 对于多层的 PCB,需要添加 PCB 的层面,如添加 VCC、GND 层等。
- 4) **进行布线(手工布线和自动布线)** 手工布线可以考虑到整个 PCB 的布局,使布线最优化,但缺点是布线时间较长;自动布线可以使布线速度加快,但会使用较多的过孔。有时自动布线的路径不一定是最佳的,故经常需要把这两种方法结合起来使用。
- 5) **放置测试点** 放置测试点的目的是检查该 PCB 能否正常工作。

3. 后处理

此部分是输出 PCB 的最后工作。

- 1) **文字面处理** 为了使绘制的电路图清晰易懂,需要对整个电路图的元器件序号进行重新排列,并使用回注(Back Annotation)命令,使修改的元器件序号在原理图中也得到更新。
- 2) **底片处理** 设计者必须设定每一张底片是由哪些设计层面组合而成的,再将底片的内容输出至文件,然后再将这些文件送至 PCB 生产车间制作 PCB。
- 3) **报表处理** 产生该 PCB 的相关报表,以提供给后续的工厂工作人员必要的信息。常用的报表有元器件报表(Bill of Material Report)、元器件坐标报表(Component Location Report)、信号线接点报表(Net List Report)、测试点报表(Testpin Report)等。


1.4 Cadence Allegro SPB 新功能介绍


本节将介绍自 Cadence Allegro SPB 15.7 以后的 Cadence Allegro SPB 版本的主要新功

能。Allegro V16.3 新版本在 Allegro V16.2 版本基础上增强了约束驱动的高密度互连 HDI (High Density Interconnect) 设计的约束条件的功能, 有助于为 PCB 设计提供更短、更具可预测性的设计周期; 包含了新的目标、大量面向微过孔的全新规则, 以及改良的过孔转换使用模型, 并且对整个 PCB 设计流程进行了改动, 实现了全面的约束驱动 HDI 设计流程; 为了提高协同设计效率, 设计分割也经过了改良, 加入了新功能, 可以将设计进行横向分割, 并添加了软边界, 让用户更高效地并行工作, 进一步缩短了设计周期; 增加了 Same net Spacing 来强化 Constraint Manager 功能, 增强了 Etch edit 和远见摆放、颜色管理操作界面、制造生产的应用等功能, 推出基于 3D 空间的 3D 建模显示、分析、仿真功能, 可制造性设计 (DFM) 参量变化验证平台。

1. 导入/导出数据库参数

自 16.01 版本起, 数据库参数, 包括设计设置、光绘文件、颜色设置、文本设置及综合应用, 都能在新版本上实现从设计中导出, 以及导入到新的设计文件中。“File” → “Import” → “Parameters” 和 “File” → “Export” → “Parameters” 这两个菜单命令在所有的 Allegro PCB Editor 层中都是可用的。技术文件能够适当的转换为 I/O 参数文件。参数文本文件以 XML 格式保存, 扩展名是 .prm。

执行菜单命令 “File” → “Import” → “Parameters”, 弹出 “Import Parameter File” 对话框, 单击输入文本栏后面的按钮 , 可设置所要导入的参数文件的路径, “Import” 按钮执行导入, “Viewlog” 按钮可以查看 “Viewlog” 文件, 如图 1-4-1 所示。

执行菜单命令 “File” → “Export” → “Parameters”, 弹出 “Export Allegro Parameters” 对话框, 在 “Output File Name” 栏中输入导出文件的名称, 单击按钮  设置保存路径, 在 “Available Parameters” 区域选择所要导出参数文件的内容选项, 单击 “Export” 按钮执行导出, 如图 1-4-2 所示。

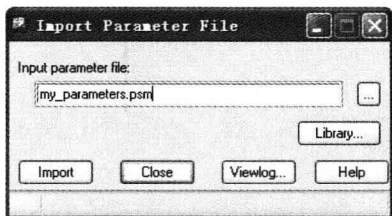


图 1-4-1 “Import Parameter File” 对话框

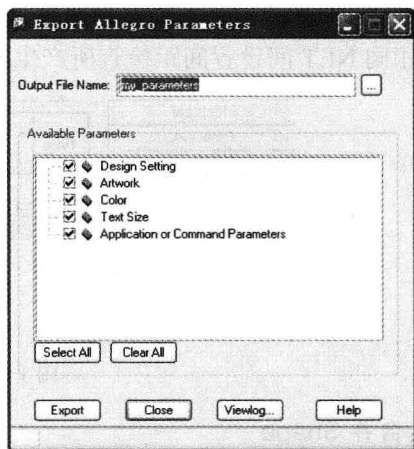


图 1-4-2 “Export Allegro Parameters” 对话框

2. 新增 MicroVia 选项

在 Padstack Designer 里, 为了增强 HDI 的约束条件, 增加了新的分类选项 “Microvia”,

以方便连接到 Constraint Manager 里使用，如图 1-4-3 所示。

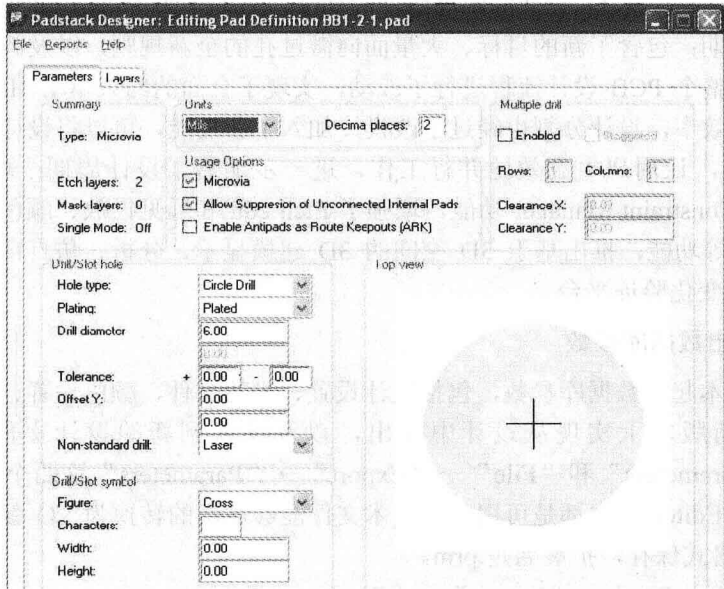


图 1-4-3 增加新的分类选项“Microvia”

3. 将 Same Net Spacing 增至 Constraint Manager

在 Allegro16.0 版本时已将 Physical 和 Spacing 这两个规则整合到 Constraint Manager 里，如图 1-4-4 所示。在 Allegro16.3 中，除了继续对此二项的延伸外，也将 Same Net Spacing 整合到 Constraint Manager 中的工作表区进行设定，以方便达到 HDI 设计需求。Same Net 规则可设定 Net to Net Spacing 之间的规则，而各自的 Net to Net Spacing 也可以有自己的 Same Net 规则。在约束管理器中，可以对比在不同 NET 间设置间距检查所产生的结果和在相同 NET 间设置间距检查所产生的结果的不同之处。

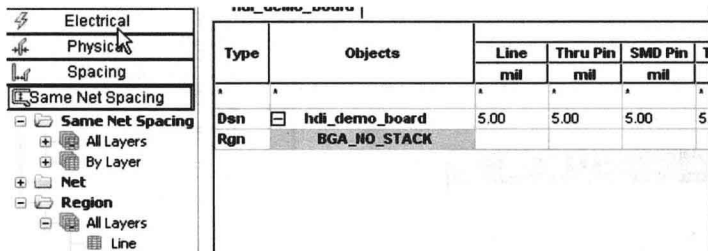


图 1-4-4 约束管理器

4. 合并 Shape

使用“Shape”→“Merge Shape”菜单命令可以实现 static shape 的合并。

如图 1-4-5 所示，两个 Shape（两个 Shape 必须有交叉的部分才能够合并）需要合并在一起，执行菜单命令“Shape”→“Merge Shape”，单击其中一个 Shape，再单击另一个 Shape，单击鼠标右键，选择“Done”，即可实现两个 Shape 的合并，如图 1-4-6 所示。