



XILINX大学合作计划指定教材

基于Xilinx FPGA的多核嵌入式 系统设计基础

■张亮 沈沛意 肖潇 刘春红 编著

XILINX



西安电子科技大学出版社
<http://www.xduph.com>

XILINX 大学合作计划指定教材

基于 Xilinx FPGA 的多核嵌入式 系统设计基础

张亮 沈沛意 肖潇 刘春红 编著

西安电子科技大学出版社

内 容 简 介

本书系统地介绍了基于 Xilinx 公司 FPGA 的多核嵌入式系统设计的方法、步骤和相关软件的使用方法。在讲述搭建多核架构,核间通信,软、硬件协同调试的基础上,深入讨论了多核设计中的实际工程问题和许多实用的调试技巧。

本书内容包括: Xilinx 软、硬核处理器介绍; Xilinx FPGA 产品介绍; 多核嵌入式通信系统的开发环境; 软、硬件设计流程介绍; 相关总线与通信机制介绍及对多核架构前景的展望。

本书是在 Xilinx 公司大学计划的支持下完成的。由于是针对教学和科研中的实际问题进行讨论和阐述,因此本书中所有的工程和例程都在本书随书光盘中给出并全部经过实际测试。本书可作为高等院校电子类和通信类专业本科生、研究生的教材,亦可作为相关科研人员的工具书和参考书。

图书在版编目(CIP)数据

基于 Xilinx FPGA 的多核嵌入式系统设计基础 / 张亮等编著. —西安: 西安电子科技大学出版社, 2011.5

XILINX 大学合作计划指定教材

ISBN 978-7-5606-2560-7

I. ① 基… II. ① 张… III. ① 微型计算机—系统设计 IV. ① TP360.21

中国版本图书馆 CIP 数据核字(2011)第 048023 号

策 划 戚文艳

责任编辑 戚文艳

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com

电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2011 年 5 月第 1 版 2011 年 5 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 14

字 数 325 千字

印 数 1~3000 册

定 价 32.00 元(含光盘)

ISBN 978-7-5606-2560-7/TP · 1275

XDUP 2852001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜,谨防盗版。

序

进入 21 世纪第二个十年以来,随着云计算,物联网,移动计算等新兴领域的兴起,对高性能嵌入式计算,提出了越来越高的要求。在集成电路工艺受限,运行频率无法继续显著提高,绿色高效计算比高性能计算更重要等要求的挤压下,如何充分发挥硬件、软件、计算机体系结构各个层次的并行性,成为业界和学界的关注重点。在各种并行层次中,底层是电路级的并行,高层是多核(multi core)的并行。更近一步,近年来发展的众核(many core)系统的并行,更引人关注。

系统设计师面临着各种并行层次的选择时,往往需要一种能够涵盖各种并行模式的开发系统,进行设计空间探索(Design Space Exploration, DSE),而目前能够具有这种既能作显微镜,又能作望远镜的探索能力的,非 FPGA 莫属。作为 FPGA 的领军企业 Xilinx,长期以来,与世界上著名大学和企业合作,共同推动着这个领域的创新和发展。

作为 Xilinx 中国区大学计划的负责人,近年来,我明显感到基于 Xilinx FPGA 的多核技术在国内越来越受到大家的关注。正是在这种情况下,我非常高兴地得到了本书即将付梓的好消息。兴奋之余,我仔细看了本书的电子版书稿,感到作者们在仔细斟酌相关内容的时候,着力强调了多核技术的实际工程应用,并在本书中给出了详尽的工程项目介绍。

难能可贵的是,考量到从事多核研究的人员,不少对硬件设计,尤其是 Xilinx 的 FPGA 的设计,仍然比较陌生,本书花了不少篇幅进行基础知识的介绍,并结合实际工程加以细化,降低了本书的学习门槛,体现了作者深厚的教学功底。

作为 Xilinx 大学计划的推动者和参与者,我非常高兴地看到在 Xilinx 大学计划的支持下,一批既有学术意义又有工程价值的关于 Xilinx FPGA 相关开发技术的书籍陆续出版。能为学校的教学和科研工作的推进贡献自己的绵薄之力,我感到非常欣慰。能在自己感兴趣的工作中感受到内心的欢欣与愉悦,我感到非常满足!

由于工作的性质,我经常奔波于不同的地方,我曾数次接到本书的作者给我打来的电话,希望我能到实验室指导工作。我也常因食言而惴惴不安。但是,我亲眼看到这个团队的和谐的工作氛围,亲身感受到他们踏实的工作作风和细致认真、顽强拼搏的科研精神。本书的出版,证明了这是一个做实事的团队。我衷心希望他们能出更多更好的成果。

Xilinx 大学计划在大家的支持下,逐渐地走向深入。我自己也希望能在更深的层次上、更广的层面上来支持大家进行与 Xilinx FPGA 相关的工作。在絮絮叨叨写下以上文字的时刻,我非常希望能回到西电-Xilinx 联合实验室,看看他们。

最后,再次感谢大家对 Xilinx 大学计划的支持。在大家繁忙的工作之余,也还请继续和我联系。能做一点对大家有用的事情,我非常高兴。

仅以此,作为本书的序言。

赛灵思(Xilinx, Inc)中国区大学计划经理
谢凯年博士
2011 年 3 月

前 言

目前基于 FPGA 的嵌入式系统开发的教材和相关参考书已经很多,但是,针对基于 FPGA 的多核嵌入式系统开发的教材和参考书尚不多见。近年来,随着多核嵌入式系统在航空航天等特殊领域的广泛应用,面向多核的开发研究和工程应用显得尤为紧迫。我们结合自己的科研和教学,在本书中重点讲述了基于 Xilinx FPGA 的多核嵌入式系统的开发基础、应用实例和多核环境下的软件开发流程以及相关的调试技巧。

本书作为国内首本介绍基于 Xilinx FPGA 平台的多核嵌入式系统设计的教材,在详细阐述多核嵌入式系统的创建流程和步骤的同时,重点介绍了目前 Xilinx FPGA 多核嵌入式系统中丰富的通信机制以及基于不同通信方式的多核嵌入式系统的构建方法。在引导读者系统掌握多核嵌入式系统创建流程,多核嵌入式系统的软、硬件协同调试过程和调试技巧的基础上,给出了大量的具体实例和工程应用,使读者能够自主开发出一套完整的核间通信模型,并构建一个完整的多核嵌入式系统。

此外,本书在嵌入式软件开发方面重点介绍了以多核处理为目标的图像处理算法、颜色转换算法、DCT 变换等内容。所有的实例和工程应用均在随书光盘中给出。本书的出版,一方面可以极大地促进相关的科研工作,解决科研工作中没有相关参考书的紧迫需求,同时,也填补了目前在教学工作中相关教材匮乏的空白。

同时,本书重在针对目前主流的 FPGA 开发平台——Xilinx ISE10.1 开发套件展开介绍,所有的设计流程和应该注意的细节都将在每章的实验中一一展开论述。

本书的另一特色是,在有关多核嵌入式系统的硬件系统设计介绍中,为读者展示了如何搭建基于不同通信机制的各个通信系统,并且进一步引导读者自行比较各个通信系统之间的利弊差异,启迪读者开发出自己的一套通信机制。为了增强本书的实用性,提高读者的实际动手能力和为读者提供一套自学的软件工具和环境,我们结合 Xilinx 公司捐赠的 Spartan-3E 和 Virtex II 实验板,开发了大量的实际工程和实验例程。

本书第 1 章由张亮、沈沛意编写,第 2 章由刘春红、张亮编写,第 3 章和第 4 章由张亮、肖潇编写,第 5~7 章由张亮、刘春红和沈沛意编写。西安电子科技大学吴成柯教授、李云松教授在百忙中审阅了全书,提出了许多宝贵的意见。

本书在撰写的过程中,得到了 Xilinx 公司大学计划负责人谢凯年博士、Xilinx 公司亚太区总裁杨飞博士、南京远立科技有限公司邬刚先生、西安电子科技大学杨刚教授的大力支持和帮助。Xilinx 公司向本书的作者提供了相关的硬件开发板、开发软件和现场支持。西安

电子科技大学的董洛兵、陈旭、白建华、薛安喜、华磊、周海龙、杨钊、周扬、窦航、周灵飞等研究生对本书的内容作了大量的校对工作，同时，对光盘中和授课辅导中的所有例程进行了验证。

在结束了长达八年的留学生活后，屈指算来，回国已经两年了。在从事科研和教学的同时，我得到了西安电子科技大学武波教授的大力支持和帮助，得到了软件学院许多老师们的帮助和鼓励。因此，本书也是编者对他们所表达的一份真诚的感谢。

希望本书能够为读者带来切实的参考价值，欠妥之处还望读者体谅并及时指正，我们将不甚感激。

沈沛意

2010年11月5日

目 录

第 1 章 绪论	1	2.4.4 修改 MSS 中的驱动文件	41
1.1 FPGA 的发展历程及特性介绍	1	2.4.5 下载比特流, 配置 FPGA	42
1.2 Microblaze 软核的介绍	2	2.5 本章小结	48
1.2.1 Microblaze 的流水线结构	3		
1.2.2 Microblaze 中断机制	4	第 3 章 总线机制与核间通信机制	49
1.2.3 Microblaze 的缓存机制和 MMU	5	3.1 总线机制	49
1.3 PowerPC405 硬核介绍	6	3.1.1 OPB 总线	49
1.4 Xilinx FPGA 产品介绍	6	3.1.2 PLB 总线	49
1.4.1 Spartan 系列产品	6	3.1.3 XCL 总线	50
1.4.2 Virtex 系列产品	12	3.1.4 FSL 总线	50
1.5 本章小结	19	3.1.5 OCM 总线	50
		3.1.6 LMB 总线	50
第 2 章 多核系统设计环境与设计流程	20	3.2 核间通信机制介绍	51
2.1 开发软件简介	20	3.2.1 Mailbox	51
2.1.1 ISE 开发软件简介	21	3.2.2 Mutex	52
2.1.2 ISE 的安装	22	3.2.3 Shared Memory	53
2.2 利用 ISE 进行硬件逻辑设计的流程	26	3.2.4 Interrupt	54
2.2.1 创建新工程	26	3.2.5 PLBv46_PLBv46 Bridge	55
2.2.2 新建 HDL 源文件	28	3.2.6 FSL 互连体系	56
2.2.3 对源文件进行综合以及仿真	29	3.2.7 DAM Controller	57
2.3 利用 XPS 向导进行多核硬件系统设计的 流程	30	3.2.8 混合衍生体系	58
2.3.1 利用 BSB 新建一个工程	31	3.3 本章小结	59
2.3.2 选择必要外设, 并进行参数配置	33		
2.3.3 配置启动内存, 并选用内存测试文件	34	第 4 章 基于 PowerPC 的单核 系统设计	60
2.3.4 编译源文件, 生成硬件网表	37	4.1 简单硬件系统设计	60
2.3.5 下载比特流, 配置 FPGA	37	4.1.1 用 BSB 创建工程	61
2.4 利用 EDK 套件进行多核软件开发的 流程	38	4.1.2 分析已创建的工程	66
2.4.1 在单核基础上添加工程应用	39	4.1.3 生成硬件 IP 网表文件	67
2.4.2 编辑 .c 文件并编译	39	4.1.4 下载测试程序	67
2.4.3 编写用户约束文件	40	4.2 添加 IP 核到硬件系统	69
		4.2.1 打开工程	70

4.2.2 扩展硬件系统.....	70	5.2.5 下载比特流, 配置 FPGA.....	150
4.2.3 分析 MHS 文件.....	76	5.3 基于 Mutex 体系的多核系统设计.....	151
4.2.4 下载比特流.....	76	5.3.1 建立单核硬件系统.....	152
4.3 自定义 IP 核的设计与添加.....	77	5.3.2 添加 Mutex 核.....	152
4.3.1 新建一个自定义 IP 核.....	78	5.3.3 添加 MB1, 搭建双核系统.....	153
4.3.2 添加自定义 IP 核.....	83	5.3.4 添加核间通信测试程序.....	154
4.3.3 在硬件系统中开发应用测试程序.....	85	5.3.5 下载比特流, 配置 FPGA.....	156
4.4 基本的应用软件设计.....	85	5.4 基于 Interrupt 体系的多核系统设计.....	157
4.4.1 打开一个工程.....	85	5.4.1 打开多核工程.....	158
4.4.2 创建一个 BSP.....	85	5.4.2 添加 Interrupt 和 Timer 核.....	158
4.4.3 升级基本的 C 文件.....	87	5.4.3 添加测试核间通信的程序.....	160
4.4.4 连接器脚本.....	89	5.4.4 下载比特流, 配置 FPGA.....	161
4.5 使用 SDK 进行软件设计.....	92	5.5 基于 Shared Memory 体系的多核系统设计.....	162
4.5.1 打开工程.....	93	5.5.1 打开上个实验中的双核工程.....	163
4.5.2 添加定时器和中断控制器.....	93	5.5.2 添加 BRAM 以及 xps_bram_cntlr.....	163
4.5.3 配置 BSP.....	95	5.5.3 添加 MB2, 搭建三核工程体系.....	163
4.5.4 运行 SDK.....	95	5.5.4 添加测试核间通信的程序.....	167
4.5.5 创建一个 C 工程.....	95	5.5.5 下载比特流, 配置 FPGA.....	168
4.5.6 管理编译配置.....	95	5.6 本章小结.....	178
4.5.7 添加源程序.....	96		
4.5.8 编写中断程序并编译代码.....	97		
4.5.9 生成 ELF 文件.....	100		
4.5.10 硬件测试.....	101		
4.5.11 SDK 调试.....	101		
4.6 本章小结.....	107		
第 5 章 多核嵌入式系统硬件设计实践	108	第 6 章 多核嵌入式系统软件开发	179
5.1 基于 FSL 体系的多核系统设计.....	108	6.1 图像格式介绍.....	179
5.1.1 建立单核硬件系统.....	109	6.1.1 BMP 图片格式.....	179
5.1.2 EDK 工程中创建自定义 FIFO.....	112	6.1.2 JPEG 图片格式.....	180
5.1.3 利用 ISE 设计自定义 FIFO.....	115	6.2 RGB 与 YCrCb 颜色模型.....	180
5.1.4 添加多 MB, 搭建多核系统.....	115	6.2.1 RGB 颜色模型.....	181
5.1.5 添加测试核间通信的程序.....	118	6.2.2 YCrCb 颜色模型.....	181
5.1.6 下载比特流, 配置 FPGA.....	120	6.3 RGB2YCrCb 算法设计实验.....	181
5.2 基于 Mailbox 体系的多核系统设计.....	142	6.3.1 在双核通信系统上添加软件应用.....	182
5.2.1 建立单核硬件系统.....	143	6.3.2 重要宏定义、数据结构设计.....	182
5.2.2 添加 Mailbox 核.....	143	6.3.3 算法设计、编译与部署.....	184
5.2.3 添加 MB1, 搭建双核系统.....	144	6.3.4 下载比特流, 配置 FPGA.....	187
5.2.4 添加核间通信测试程序.....	147	6.4 DCT 算法设计实验.....	189
		6.4.1 在双核通信系统上添加软件应用.....	189
		6.4.2 重要宏定义、数据结构设计.....	189
		6.4.3 算法设计、编译与部署.....	190
		6.4.4 下载比特流, 配置 FPGA.....	191
		6.5 单核执行图像处理算法以及时间测量.....	193

6.5.1 解析算法执行的流程.....	193	7.1.3 基于实验的多核体系架构的 几点改进	205
6.5.2 修改 shm.c 文件	193	7.2 多种嵌入式处理器性能对比.....	206
6.5.3 下载比特流, 配置 FPGA.....	196	7.2.1 Actel 软硬核处理器	206
6.6 多核执行图像处理算法以及时间测量.....	197	7.2.2 Altera 软硬核处理器	208
6.6.1 解析算法执行的流程.....	198	7.2.3 Lattice 嵌入式处理器.....	210
6.6.2 修改 shm.c 文件	199	7.2.4 Actel、Altera、Lattice 和 Xilinx 嵌入式 处理器性能比较	212
6.6.3 下载比特流, 配置 FPGA.....	203	7.3 基于 Tilera 的众核体系	212
6.7 本章小结.....	203	7.4 本章小结.....	213
第 7 章 多核结构的价值与发展前景	204	参考文献.....	214
7.1 单核/多核体系的性能指标对比	204		
7.1.1 单核/多核体系执行时间对比.....	204		
7.1.2 单核/多核体系占用资源对比.....	204		

第1章 绪 论

1.1 FPGA 的发展历程及特性介绍

随着数字化技术的不断普及,当今社会已经步入了一个数字集成电路广泛应用的时代。数字集成电路经历了由小中规模集成电路到超大规模集成电路(VLSIC)及诸多拥有特定功能的专用集成电路的发展历程,其本身的变化就是翻天覆地的。一方面,微电子技术日新月异的发展使得半导体厂商已经无力独立承担设计与制造集成电路的艰巨任务。另一方面,系统设计师们更愿意自己设计专用集成电路(ASIC)芯片,并希冀设计周期尽可能短以提升设计效率,满足实时的需求。基于诸多因素的促进,使得现场可编程逻辑器件的应用成为大势所趋,而这其中应用最为广泛的莫过于现场可编程逻辑阵列(FPGA)和复杂可编程逻辑器件(CPLD)。

FPGA 作为专用集成电路(ASIC)领域中的一种半定制电路,既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点。在技术上,它采用了逻辑单元阵列(LCA, Logic Cell Array)这一新理念,内部包括可配置逻辑模块(CLB, Configurable Logic Block)、输入/输出模块(IOB, Input Output Block)和内部连线(Interconnect)三部分。其主要特点如下:

- 采用 FPGA 设计 ASIC 电路,用户不需要投片生产,就能得到合适的芯片;
- FPGA 可作为其他全定制或半定制 ASIC 电路的中试样片;
- FPGA 内部拥有丰富的触发器和 I/O 引脚;
- FPGA 是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一;
- FPGA 采用高速 CHMOS 工艺,功耗低,可以与 CMOS、TTL 电平兼容。

设计师之所以青睐 FPGA,重要的是看中了其高度的灵活性。在 I/O 功能上,FPGA 支持多种不同的 I/O 标准;在存储器需求上,大多数 FPGA 提供了嵌入式 BRAM Block 存储器,使得用户有实现片上存储器的可能;而在配置上,由于 FPGA 在掉电后立即恢复成白片,内部逻辑关系尽失,因而可实现反复使用,产生不同的电路功能。此外,拥有多种配置模式也是其出色之处,例如:

- 并行主模式:一片 FPGA 加一片 EPROM 的方式;
- 主从模式:可支持一片 PROM 编程多片 FPGA;
- 串行模式:采用串行 PROM 编程 FPGA;
- 外设模式:将 FPGA 作为微处理器的外设,由微处理器对其编程。

1.2 Microblaze 软核的介绍

Microblaze 嵌入式软核是一个经 Xilinx 公司优化过的、可直接嵌入在 FPGA 中的 RISC 处理器软核，具有运行速度快、占用资源少、可配置性强等优点，广泛应用于通信、军事、高端消费市场等领域。此外，Xilinx 公司的 Microblaze32 位软处理器核也支持 CoreConnect 总线的标准外设集合。Microblaze 处理器运行在 150 MHz 时钟下，可提供 125D-MIPS 的性能，非常适合针对网络、电信、数据通信和消费市场的复杂嵌入式系统设计。

Microblaze 片上系统的架构图如图 1.2.1 所示。

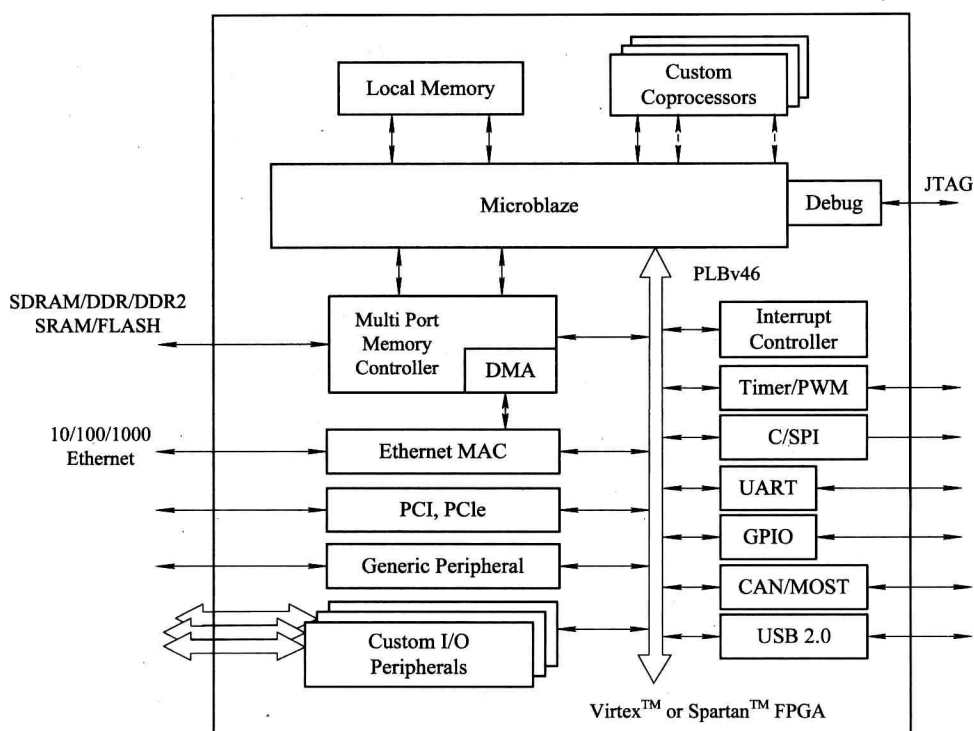


图 1.2.1 Microblaze 片上系统的架构图

Microblaze 采用 32 位哈佛 RISC 架构，32 位独立的地址总线 and 数据总线。采用缓存模式时，独立的指令和数据可以缓存并通过 XCL(Xilinx Cache Link)接口连接到内存。不采用缓存模式时，地址和数据总线直接通过 PLBv46 总线访问内存。Microblaze 并没有将数据接口区分为 I/O 接口和存储接口，所以处理器存储的接口是 PLB 和 LMB，且 LMB 的存储地址空间不和 PLB 重合。另外，Microblaze 还提供最大 256K 的片上本地内存接口和片上 BRAM 连接，对于简单的设计，可以将代码直接存放在片上 BRAM 中，也可以将复杂设计的 BOOTLOADER 放在片上 BRAM 中。用户 IP 可以通过 PLBv46 总线或快速点对点连接总线(FSL)接入系统。一般而言，PLBv46 总线比较适合基于总线形式的用户 IP 开发；FSL 总线则比较适合基于简单点对点输入/输出或协处理器的用户 IP 开发。有关 Microblaze 的内部连接图如图 1.2.2 所示。

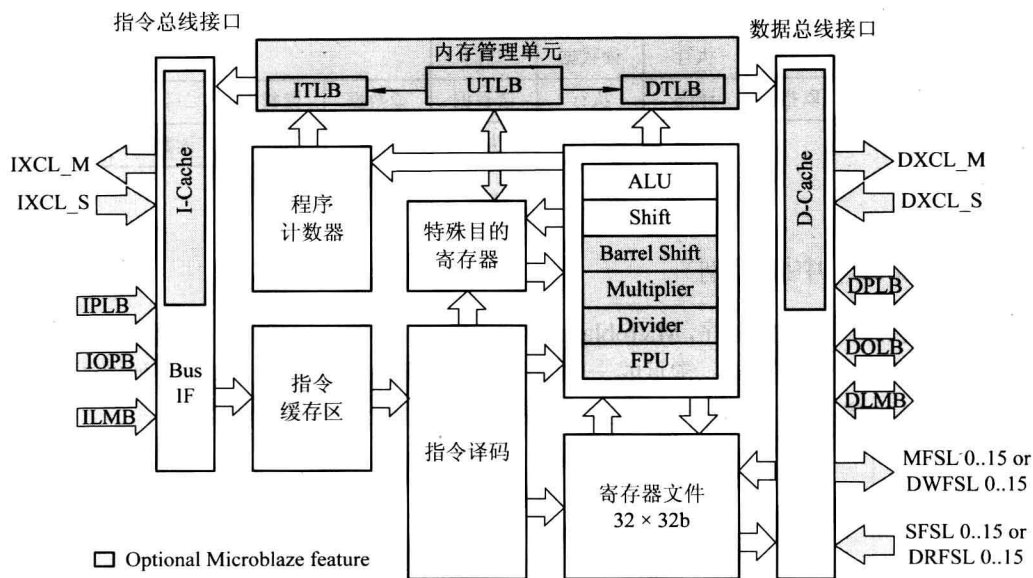


图 1.2.2 Microblaze 的内部连接图

1.2.1 Microblaze 的流水线结构

Microblaze 的指令采用流水线结构。多数情况下，一条指令在一个时钟周期内完成；特殊情况下，一些指令的执行时间超过一个时钟周期，比如执行除法指令时，流水线会暂停并等待这个指令的完成。

当指令存储在片外的内存时，例如 DDR 外存，取指令的操作就会占用很多个时钟周期。此时，利用 Microblaze 内的一个取指令的缓冲就能减少存储器读取速度对处理器的影响。当 Microblaze 在执行一个多周期的指令时，预取指令缓存区就会持续地按顺序取指令。当流水线继续执行的时候，Microblaze 就从内部的指令缓存直接得到指令而不是从片外的存储器得到指令。值得注意的是，这个指令缓存处于 Microblaze 内部并且一直保持有效。

Microblaze 可以配置成两种流水线深度，即 3 级流水线和 5 级流水线。

当使用面积优化使能时，Microblaze 配置成 3 级流水线，3 级分别是取指、译码和执行，如图 1.2.3 所示。

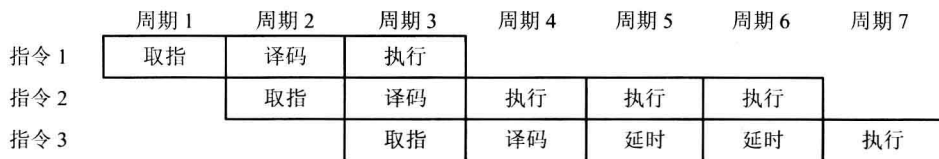


图 1.2.3 3 级流水线

当不使用面积优化使能时，Microblaze 配置成 5 级流水线以取得最佳的性能，5 级分别是取指、译码、执行、读数据和写回，如图 1.2.4 所示。

另外，当跳转发生时，流水线的取指令和译码都是流水运行的。跳转指令使得流水线必须重新启动并在新的地址取指令。Microblaze 需要 3 个时钟周期去完成跳转，其中 2 个周期是用于重新使流水正常工作的。

	周期 1	周期 2	周期 3	周期 4	周期 5	周期 6	周期 7	周期 8	周期 9
指令 1	取指	译码	执行	读数据	写回				
指令 2		取指	译码	执行	读数据	读数据	读数据	写回	
指令 3			取指	译码	执行	延时	写回	读数据	写回

图 1.2.4 5 级流水线

1.2.2 Microblaze 中断机制

按照优先级由高到低的顺序, Microblaze 分别支持重置、硬件异常、不可屏蔽暂停、暂停(硬、软件)、中断和用户异常等机制。常见的一些中断机制的返回地址寄存器和实例如表 1.2.1 所示。

表 1.2.1 Microblaze 中断机制的返回地址寄存器和实例

事件	向量地址	寄存器文件 返回地址	实 例
重置	0x00000000~ 0x00000004	—	PC<-0x00000000 MSR<-C_RESET_MSR EAR<-0 ESR<-0 FSR<-0
用户异常	0x00000008~ 0x0000000C	Rx	Rx<-PC PC<-0x00000008
中断	0x00000010~ 0x00000014	R14	R14<-PC PC<-0x00000010 MSR[IE]<-0
不可屏蔽暂停	0x00000018~ 0x0000001C	R16	R16<-PC
硬件暂停			PC<-0x00000018
软件暂停			MSR[BIP]<-1
硬件异常	0x00000020~ 0x00000024	R17 或 BTR	ESRDS<-exception in delay slot If ESRDS then BTR<-branch target PC R17<-invalid value Else R17<-PC + 4 PC<-0x00000020 MSREE<-0 MSREIP<-1 ESREC<-exception specific value ESRESS<-exception specific value EAR<-exception specific value FSR<-exception specific value
Xilinx 保留	0x00000028~ 0x0000004F	—	

Microblaze 支持一个外接中断源(与中断入口相连)。处理器只有在状态寄存器中的中断允许(IE)被置为 1 时才能对中断响应。中断时,在执行阶段的指令完成而在编译阶段的指令

被指向中断向量的地址(0x10)的分支代替。中断返回地址(在中断的时候与在编译阶段的指令联合的 PC(Program Counter))自动载入到通用寄存器 R14。另外, 处理器通过清除 MSR 中的 IE 位禁止其他中断, 当执行 RTID 指令时, IE 位又自动置 1。

如果在 MSR 中的进程中断(BIP)位或进程例外(EIP)位中任一被置为 1, 中断将会被处理器忽略掉。从一个中断产生到进入中断服务程序(ISR), Microblaze 所花费的时间取决于处理器的配置和存储中断向量的内存控制器的反应时间。如果 Microblaze 配置有一个硬件除法器, 当在执行除法指令时产生中断, 反应时间就会很长。

1.2.3 Microblaze 的缓存机制和 MMU

Microblaze 支持可配置的数据和指令 Cache, 用来执行 LMB 地址空间外的代码和数据。图 1.2.5 和图 1.2.6 分别为数据 Cache 与指令 Cache 的结构图。

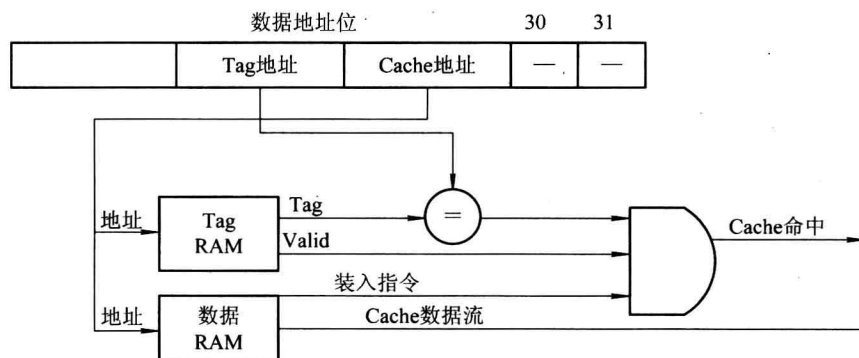


图 1.2.5 数据 Cache 结构

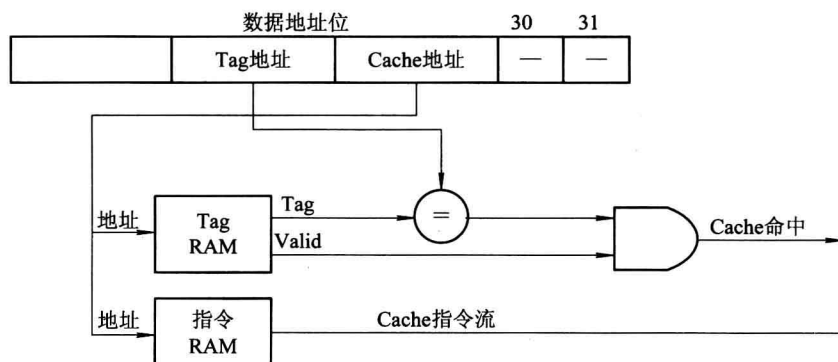


图 1.2.6 指令 Cache 结构

Cache 具有如下特征:

- 直接映射(1 路联合);
- 使用可选择的 Cache 存储地址空间;
- 可配置 Cache 和 Tag 大小;
- 通过 XCL 总线接口连接 Cache;
- 可选择 4 或 8 字节 Cache-line;
- MSR 中的任一比特位可以用来控制 Cache 的使用和关闭;

- 可选择用 WIC/WDC 指令使 Cache-line 中的指令无效;
- 直接写入(只是数据 Cache 的特点)。

在 Microblaze 中,当 C_USE_MMU 被置为 3 时,内存管理单元(MMU)将执行虚拟模式。MMU 控制有效地址转化为物理地址布局,同时也支持内存保护。因此,系统软件可以执行所需要页面尺寸的虚拟内存和其他内存管理配置。

MMU 的特征如下:

- 将有效地址译成物理地址;
- 在地址编译时控制页面等级的存取;
- 在区域使用中提供附加的虚拟模式保护控制;
- 为指令地址和数据地址编译和保护提供独立的控制;
- 支持 8 种页面尺寸: 1 KB、4 KB、16 KB、64 KB、256 KB、1 MB、4 MB 和 16 MB。

1.3 PowerPC405 硬核介绍

PowerPC 是一种精简指令集(RISC)架构的中央处理器(CPU),其基本的设计源自 IBM(国际商用机器公司)的 Power 架构。20 世纪 90 年代,IBM、Apple 和 Motorola 公司成功地开发了 PowerPC 芯片,并制造出基于 PowerPC 的多处理器计算机。PowerPC 架构的特点是可伸缩性好、方便、灵活。

PowerPC405 是 IBM 公司推出的一款硬核处理器。这一嵌入式硬核为 32 位 RISC 指令集架构,并且集成了一个 PowerPC405 CPU、独立的指令和数据 Cache、一个 JTAG 端口、跟踪 FIFO、多个定时器以及一个内存管理单元(MMU)。另外,PowerPC405 核可以执行 PowerPC 用户指令集。

Xilinx PowerPC405 硬核处理器具有以下几点特性:

- 支持 PLBv4.6 接口;
- 支持双指令和数据的 PLB 接口,同时支持对用户可选择的地址范围和时钟频率的译码;
- 支持存放指令与数据的片上内存(OCM)接口,地址范围可供用户自选;
- 实现参数控制 DCR 接口的同步。

1.4 Xilinx FPGA 产品介绍

Xilinx 的主流 FPGA 分为两类:

- (1) Spartan 系列,侧重于低成本应用,容量中等,可以满足一般的逻辑设计要求;
- (2) Virtex 系列,侧重于高性能应用,容量较大,可以满足各式各样的高端应用。

用户在选择 FPGA 系列产品时,需要根据自己实际工程的应用情况,在满足需求的情况下,优先选择低成本器件。下面分别介绍 Xilinx 公司的这两类 FPGA 产品。

1.4.1 Spartan 系列产品

Spartan 作为 Xilinx 旗下的主流系列产品之一,在电子、医疗、军事以及众多商业领域均有广泛的应用,超高的性价比是其深受青睐的原因之一,下面给出几种常见的系列成员。

1. Spartan-II

Spartan-II 可编程逻辑门阵列给用户提供了高性能、丰富的逻辑资源和充足的特征集。该系列家族中的六大器件类型的系统门级密度从 15 000 到 200 000 不等，如表 1.4.1 所示；可支持的最大系统性能上限达到了 200 MHz；具有块内存、分布式内存、16 种可选的 I/O 标准以及 4 个 DLL 等，可满足多种时序需求。

表 1.4.1 Spartan-II FPGA 系列成员

Device	Logic Cells	System Gates (Logic and RAM)	CLB Array (R × C)	Total CLBs	Maximum Available User I/O(1)	Total Distributed RAM Bits	Total Block RAM Bits
XC2S15	432	15 000	8 × 12	96	86	6144	16K
XC2S30	972	30 000	12 × 18	216	92	13 824	24K
XC2S50	1728	50 000	16 × 24	384	176	24 576	32K
XC2S100	2700	100 000	20 × 30	600	176	38 400	40K
XC2S150	3888	150 000	24 × 36	864	260	55 296	48K
XC2S200	5292	200 000	28 × 42	1176	284	75 264	56K

总的来说，Spartan-II 系列是专用集成电路设计的一种较为出色的选择。FPGA 器件不仅降低了最初的成本、缩短了开发周期，也消除了常规集成电路带来的一些潜在风险。同时，FPGA 的可编程性使得设计能够随时更新，而无需任何硬件的替换(这一点仅凭集成电路是做不到的)。

所有 Spartan-II 家族的 FPGA 器件均有一个规则的、灵活的、可编程的可配置型逻辑块架构，并且周界布有可编程的输入/输出块(IOBs)。以 XC2S15 为例，基本的块图如图 1.4.1 所示。

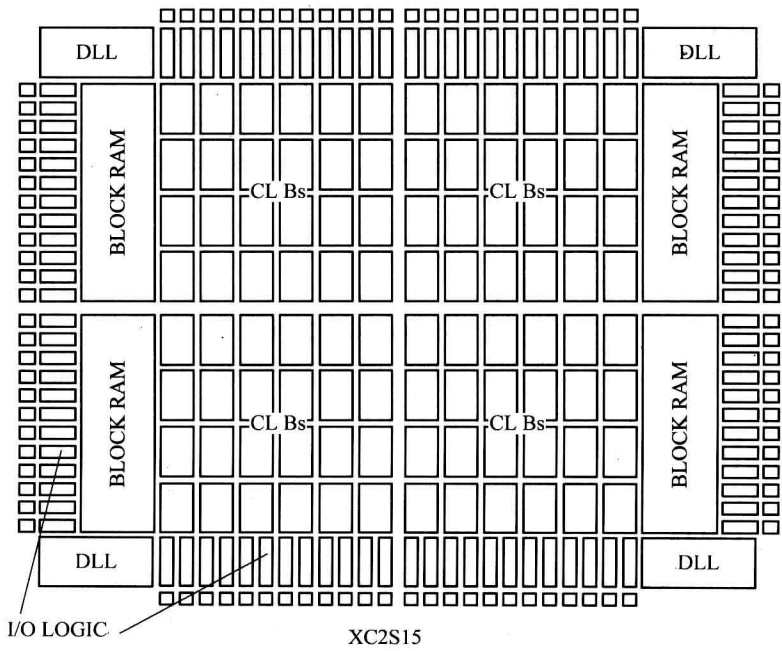


图 1.4.1 Spartan-II 系列 FPGA 器件的块图

2. Spartan-3

Spartan-3 FPGA 采用 90 nm 技术, 被广泛应用于消费类、数字视频、工业、医疗、通信与计算机等市场。作为低成本的 Spartan-3 器件, 它可以提供以下特性使总体系统成本保持最低:

- 嵌入式 18×18 乘法器支持高性能 DSP 应用;
- 片上数字时钟管理(DCM), 无需外部时钟管理器件;
- 分布式的存储器和 SRL16 移位寄存器逻辑能够更高效执行 DSP 功能;
- 18 KB 块 RAM, 可以用作缓存或是高速缓存;
- 数字片上终端能够替代多个外部电阻器的功效;
- 8 个独立的 I/O 阵列支持 24 种不同的 I/O 标准。

低成本与丰富性能的结合意味着 Spartan-3 能够以最高的性价比实现完整的系统功能。如今, 要想在激烈的竞争中保持领先越来越困难。成本压力、不断变化的标准和器件过时只是诸多挑战中的几个。为保持领先地位, 需要一个低成本且有竞争力的处理器解决方案, 可支持在整个设计周期中进行定制并且可快速投入大批量生产。Spartan-3 器件恰恰满足了这样的需求。

Xilinx Spartan-3 FPGA 中集成的 Microblaze32 位软处理器将完整的处理引擎、全部的控制功能与附加支持逻辑集成到单个成本效益型平台内, 这提供了: 成本非常低廉地在 Spartan-3 FPGA 中组合 Microblaze32 位软处理器的核心部分; 带有硬件、软件、工具与设计实例的完整定制解决方案, 带有 Microblaze 的 Spartan 系列 FPGA 和 Virtex- II Pro PowerPC 解决方案。

3. Spartan-3A/3ADSP/3AN

Spartan-3A 在 Spartan-3 和 Spartan-3E 平台的基础上, 整合了各种创新特性, 帮助客户极大地削减了系统总成本; 利用独特的器件 DNA ID 技术, 实现了业内首款 FPGA 电子序列号; 提供了经济、功能强大的机制来防止发生窜改、克隆和过度设计的现象, 并且具有集成式看门狗监控功能的增强型多重启动特性。支持商用 Flash 存储器, 有助于削减系统总成本。Spartan-3A 的主要特性为:

- 采用 90 nm 工艺, 密度高达 74 880 逻辑单元;
- 工作时钟范围为 5~320 MHz;
- 领先的连接功能平台, 具有广泛的 I/O 标准(26 种, 包括 TMD5、PPDS)支持;
- 利用独特的 Device DNA 序列号实现业内首个功能强大的防克隆安全特性;
- 具有高达 1.4 M 个的系统门和 502 个 I/O;
- 灵活的功耗管理。

此外, Spartan-3A DSP 的主要特性为:

- 内嵌的 DSP48A 可以工作到 250 MHz;
- 采用结构化的 SelectRAM 架构, 提供了大量的片上存储单元;
- VCCAUX 的电压支持 2.5 V 和 3.3 V, 对于 3.3 V 的应用简化了设计;
- 低功耗效率, Spartan-3A DSP 器件具有高信号处理能力(4.06GMACs/mW)。

最后, Spartan-3AN FPGA 是一个特性齐全的单芯片 FPGA 平台, 代表了基于 SRAM 的