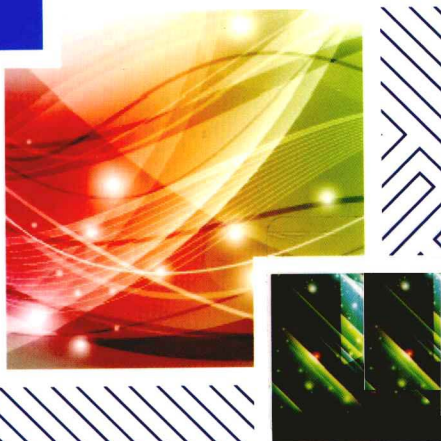


21世纪高等院校信息与通信工程规划教材  
21st Century University Planned Textbooks of Information and Communication Engineering

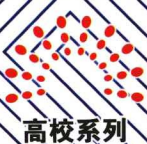
# 实用EDA技术与 VHDL教程

赵岩 林白 王志强 编著

EDA Technology and VHDL



人民邮电出版社  
POSTS & TELECOM PRESS



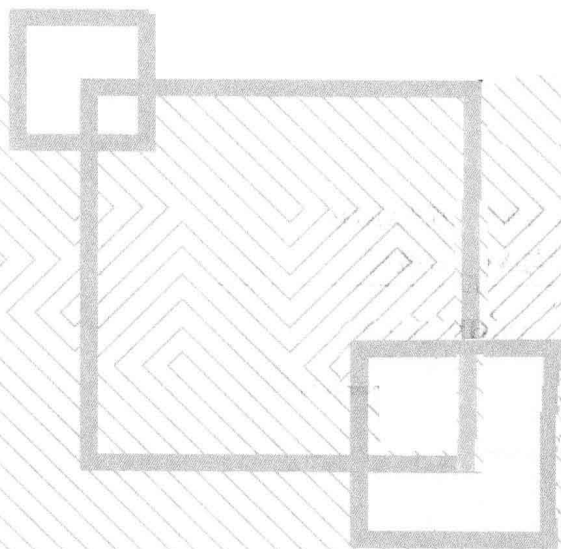
高校系列

21世纪高等院校信息与通信工程规划教材  
21st Century University Planned Textbooks of Information and Communication Engineering

# 实用EDA技术与 VHDL教程

赵岩 林白 王志强 编著

EDA Technology and VHDL



人民邮电出版社  
北京



高校系列

## 图书在版编目(CIP)数据

实用EDA技术与VHDL教程 / 赵岩, 林白, 王志强编著

— 北京: 人民邮电出版社, 2011.5

21世纪高等院校信息与通信工程规划教材

ISBN 978-7-115-24848-0

I. ①实… II. ①赵… ②林… ③王… III. ①电子电路—电路设计: 计算机辅助设计—高等学校—教材②硬件·描述语言, VHDL—程序设计—高等学校—教材 IV. ①TN702②TP312

中国版本图书馆CIP数据核字(2011)第032782号

## 内 容 提 要

本书系统地介绍 EDA 应用技术。全书共 6 章, 第 1 章介绍了 EDA 技术及 CPLD/FPGA 器件原理、结构和特点; 第 2 章介绍了 EDA 常用设计软件的设计开发流程; 第 3 章和第 4 章对 VHDL 设计 FPGA 功能模块进行了讲解; 第 5 章系统地讲解了 VHDL 规范化方法以及常见的编程的 Warning 分析, 有效地提高了 EDA 技术设计水平; 第 6 章为教学实验指导, 并使读者对一种开源的 SOPC 系统有一个初步的认识, 对进一步深入学习 EDA 技术构筑良好基础。

本书取材广泛、全面系统、内容新颖, 以培养学生的设计和应用开发能力为主线, 重视普及与提高, 实用性强, 可供高等院校电子工程、通信工程、计算机应用、自动化、仪器仪表等信息类及相关专业的本科生或研究生使用, 也可作为 EDA 设计人员的自学参考书。

21 世纪高等院校信息与通信工程规划教材

### 实用 EDA 技术与 VHDL 教程

- 
- ◆ 编 著 赵 岩 林 白 王志强  
责任编辑 蒋 亮
  - ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号  
邮编 100061 电子邮件 315@ptpress.com.cn  
网址 <http://www.ptpress.com.cn>  
中国铁道出版印刷厂印刷
  - ◆ 开本: 787×1092 1/16  
印张: 20.5  
字数: 501 千字
- 2011 年 5 月第 1 版  
2011 年 5 月北京第 1 次印刷

---

ISBN 978-7-115-24848-0

定价: 38.00 元

读者服务热线: (010) 67170985 印装质量热线: (010) 67129223  
反盗版热线: (010) 67171154

EDA (Electronic Design Automation) 技术包括电路系统设计、仿真、综合、电路板图设计和制版的整个自动化流程。随着计算机和电子技术的快速发展, EDA 技术经历了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 等发展历程。目前基于 EDA 技术的电子信息产品应用广泛, 已逐步形成重要的产业链, 极大地促进了电子信息行业的发展。

现在, 应用较广泛的是复杂可编程逻辑器件 (CPLD) 和现场可编程门阵列 (FPGA), 硬件描述语言 (HDL) 主要有 ABEL、AHDL、VHDL、Verilog HDL、System Verilog 和 System C 等, 常用的 EDA 集成开发软件有 ISE、QuartusII、Libero 和 ispDesignExpert 等。本教材根据教学和实验要求, 以掌握国内外目前流行的 EDA 技术为教学目标, 注重提高设计实践能力, 采用 VHDL 对电路和系统进行设计和描述, 重点介绍了 ISE、QuartusII、Libero 三种常用的 EDA 设计开发工具软件, 通过多个实例对 EDA 技术进行了系统、详细、深入的讲解。

全书共 6 章, 第 1 章介绍了 EDA 技术及 CPLD/FPGA 器件原理、结构和特点; 第 2 章介绍了 EDA 常用设计软件的设计开发流程; 第 3 章对 VHDL 语言设计 FPGA 功能模块进行了讲解; 第 4 章结合实例对两种状态机的原理、设计实现方法进行了介绍, 并介绍了一个状态机典型设计实例; 第 5 章系统地讲解了 VHDL 语言规范化方法以及常见的编程的 Warning 分析, 可以有效地提高 EDA 技术设计水平; 第 6 章为教学实验指导, 给出了两个典型的 EDA 设计实验项目, 可作为综合设计实验和课程设计的实践。这些实验项目的学习和实践对学生进一步深入学习 EDA 技术起到一个良好的促进作用。

本书取材广泛、全面系统、内容新颖、实用性强, 可作为高等院校电子工程、通信工程、计算机应用、自动化、仪器仪表等信息类及相关专业的本科生或研究生教学用书, 也可作为从事 EDA 技术设计、研究和应用的专业技术人员的自学参考书。

本书由赵岩、林白、王志强共同编写, 其中, 林白编写了第 3 章和第 5 章的内容, 王志强编写了第 2 章和第 4 章的内容, 其余的章节由赵岩编写, 全书由赵岩统稿。参与本书编写和修改的还有姜雪松、渠丰沛、尹斯星、崔博、安俊佶、化春雷、程立英、张春有、彭泽波、徐福斌、黄慈君等。另外, 作者在编写本书的过程中参考了多位专家和学者的著作和经验总结等, 在此对他们表示由衷的感谢!

限于作者的理论水平和实际开发经验，书中难免存在一些不足之处或者错误，恳望读者和相关专家批评指正。

编 者

2010 年 12 月

# 目 录

第 1 章 绪论	1	第 2 章 EDA 常用设计软件介绍	66
1.1 EDA 技术概论	1	2.1 Xilinx ISE 软件概述	66
1.1.1 EDA 技术的发展历程	2	2.1.1 设计输入	68
1.1.2 EDA 设计技术的基本特征	3	2.1.2 综合与布局布线	73
1.1.3 EDA 设计技术的工具	5	2.1.3 功能仿真	78
1.1.4 EDA 设计技术的发展趋势	7	2.1.4 用 ModelSim 进行行为级 仿真	80
1.2 FPGA/CPLD 器件概述	8	2.2 Actel Libero IDE 软件概述	81
1.2.1 可编程逻辑器件的发展	8	2.2.1 设计输入	83
1.2.2 可编程逻辑器件的分类	10	2.2.2 功能仿真	88
1.3 可编程逻辑器件的基本结构	15	2.2.3 综合与布局布线	91
1.4 简单的可编程逻辑器件	17	2.2.4 编程下载	97
1.4.1 可编程只读存储器 (PROM)	17	2.3 Altera Quartus II 开发流程	98
1.4.2 可编程逻辑阵列 (PLA)	19	2.3.1 设计输入	100
1.4.3 可编程阵列逻辑 (PAL)	22	2.3.2 综合	101
1.4.4 通用阵列逻辑 (GAL)	25	2.3.3 布局布线	102
1.5 可编程逻辑器件 EPLD 和 CPLD	32	2.3.4 仿真	103
1.5.1 可擦除的可编程逻辑器件 EPLD	32	2.3.5 编程与配置	106
1.5.2 复杂的可编程逻辑器件 CPLD	35	2.3.6 Quartus II 的常用设置	107
1.6 现场可编程门阵列 FPGA	43	习题	109
1.6.1 查找表结构	44	第 3 章 VHDL 硬件描述语言	110
1.6.2 多路开关结构	45	3.1 VHDL 的基本元素	110
1.6.3 多级与非门结构	46	3.1.1 标识符	110
1.7 FPGA 的结构原理	46	3.1.2 数据对象	112
1.7.1 Spartan-II 和 Spartan-IIE 系列 FPGA 的结构框图	48	3.1.3 数据类型	116
1.7.2 Spartan-II 和 Spartan-IIE 系列 FPGA 的组成部分	49	3.1.4 运算符和操作符	122
1.7.3 Virtex-II 系列 FPGA 的结构 框图	55	3.2 VHDL 程序的基本结构	126
1.7.4 Virtex-II 系列 FPGA 的组成 部分	57	3.2.1 实体说明	129
习题	64	3.2.2 结构体	132
		3.2.3 程序包	137
		3.2.4 库	139
		3.3 VHDL 的主要语句	142
		3.3.1 进程语句	142
		3.3.2 信号赋值语句	146

3.3.3	顺序描述语句	150	5.2.2	时钟	234
3.3.4	并行描述语句	167	5.2.3	接口异步信号处理	236
3.3.5	GENERIC 语句	170	5.2.4	寄存器和锁存器	237
3.3.6	GENERATE 语句	172	5.2.5	有限状态机	239
3.3.7	BLOCK 语句	176	5.2.6	使用 If-then-else 的有优先权的译码器	243
3.3.8	过程及函数	180	5.2.7	使用 Case 语句的多路复用	243
3.4	VHDL 的属性描述	188	5.2.8	解码器	244
3.4.1	值类属性	189	5.2.9	计数器	244
3.4.2	函数类属性	191	5.2.10	运算	245
3.4.3	信号类属性	196	5.2.11	输入/输出 (I/O)	247
3.4.4	数据类型类属性	199	5.2.12	异步设计	248
3.4.5	数据范围类属性	200	5.3	设计优化	248
3.5	VHDL 中的配置	201	5.3.1	标准单元实现	249
3.5.1	默认连接和默认配置	201	5.3.2	复杂逻辑单元共享	249
3.5.2	元件配置	203	5.3.3	中间信号	249
3.5.3	块的配置	206	5.3.4	针对目标 FPGA 的优化	250
3.5.4	结构体配置	208	5.3.5	综合工具设置优化	250
	习题	209	5.4	常见 Warning 分析及消除	251
<b>第 4 章</b>	<b>有限状态机设计</b>	<b>210</b>		习题	253
4.1	状态机	210	<b>第 6 章</b>	<b>EDA 技术综合实验指导</b>	<b>254</b>
4.2	不带控制输入的状态机	210	6.1	综合实验 1——频率测量设计	254
4.3	带控制输入的状态机	215	6.1.1	系统设计	255
4.4	状态机的无用状态处理	218	6.1.2	模块设计与实现	260
4.5	用状态机设计多通道 A/D 转换	219	6.2	综合实验 2——UART 设计	269
	习题	229	6.2.1	系统设计	273
<b>第 5 章</b>	<b>VHDL 规范化标准及常见 Warning 分析</b>	<b>230</b>	6.2.2	模块设计与实现	290
5.1	编码设计	230	6.3	综合设计与实验	321
5.2	可综合代码描述规则	231	<b>参考文献</b>		<b>322</b>
5.2.1	复位	232			

## 1.1 EDA 技术概论

EDA 技术是指以大规模可编程逻辑器件为设计载体,以硬件描述语言为系统逻辑描述的主要表达方式,以计算机、大规模可编程逻辑器件的开发软件及实验开发系统为设计工具,通过有关的开发软件,自动完成用软件方式设计的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真,直至对于特定目标芯片的适配编译、逻辑映射、编程下载等工作,最终形成集成电子系统或专用集成芯片的一门新技术,或称为 IES/ASIC 自动设计技术。

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者通过设计芯片实现电子系统功能。EDA 工具的发展,又为设计师提供了全线 EDA 工具,这个阶段发展起来的 EDA 工具,目的是在设计前期将设计师从事的许多高层次设计工作用设计工具来完成,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等。由于电子技术和 EDA 工具的发展,设计师可以在不太长的时间内使用 EDA 工具,通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。

20 世纪 90 年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发(即片上系统集成)。因此,EDA 工具是以系统级设计为核心,包含了系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。例如,拥有提供方框图、状态图和流程图的编辑能力,具有适合层次描述和混合信号描述的硬件描述语言(如 VHDL、AHDL 或 Verilog HDL),同时包含具有各种工艺的标准元件库。只有具备上述功能的 EDA 工具,才可能使电子系统工程在不熟悉各种半导体工艺的情况下,完成电



子系统的设计。未来的 EDA 技术将向广度和深度两个方向发展，EDA 将会超越电子设计的范畴进入其他领域，随着基于 EDA 的 SoC（单片系统）设计技术的发展，软、硬核功能库的建立，以及基于 VHDL 所谓自顶向下设计理念的确立，未来的电子系统的设计与规划将不再是电子工程师们的专利。有专家认为，21 世纪将是 EDA 技术快速发展的时期，并且 EDA 技术将是对 21 世纪产生重大影响的十大技术之一。

EDA 技术涉及面广，内容丰富，从教学和实用的角度看，主要应掌握如下 4 个方面的内容：（1）大规模可编程逻辑器件；（2）硬件描述语言；（3）软件开发工具；（4）实验开发系统。

其中，大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体，硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段，软件开发工具是利用 EDA 技术进行电子系统设计的智能化的自动化设计工具，实验开发系统则是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。为了使读者对 EDA 技术有一个总体印象，下面对 EDA 技术的主要内容进行概括的介绍。

大规模可编程逻辑器件是一种由用户编程以实现某种逻辑功能的新型逻辑器件。FPGA 和 CPLD 分别是现场可编程门阵列和复杂可编程逻辑器件的简称。现在，FPGA 和 CPLD 的应用已十分广泛，它们将随着 EDA 技术的发展而成为电子设计领域的重要角色。国际上生产 FPGA/CPLD 的主流公司主要有 Xilinx, Altera、Actel、Lattice 公司。Xilinx 公司的 FPGA 有 XC2000、XC3000、XC4000、XC4000E、XC4000XLA、XC5200 系列等，可用门数为 1 200~18 000；Altera 公司的 CPLD 有 FLEX6000、FLEX8000、FLEX10K、FLEX10KE 系列等，提供门数为 5 000~25 000；Lattice 公司的 ISP—PLD 有 ispLSI1000、ispLSI2000、ispLSI3000、ispLSI6000 系列等，集成度多达可容纳 25 000 个 PLD 等效门。

FPGA 在结构上主要包括三个部分，即可编程逻辑单元、可编程输入/输出单元和可编程连线。CPLD 在结构上主要包括三个部分，即可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线。

### 1.1.1 EDA 技术的发展历程

从 EDA 设计技术的发展历史来看，它大致经历了以下 3 个重要阶段，分别是第一代 EDA 工具、第二代 EDA 工具以及第三代 EDA 工具的产生和发展。每一代 EDA 工具都有其优缺点，后一代 EDA 工具都是对前一代 EDA 工具进行不断改进和功能扩展，从而满足各个历史时期设计人员的开发需要。

#### 1. 第一代 EDA 工具

随着中小规模集成电路的开发应用，传统的手工制图设计印制电路板和集成电路的方法已经无法满足设计的精度和效率的要求，因此工程师们就开始进行二维平面图形的计算机辅助设计，以摆脱复杂机械的版图设计工作。

20 世纪 70 年代，第一代 EDA 工具产生了，它的典型代表是风靡一时的 TANGO 软件。在当时的情况下，EDA 工具供应商只有少量的几家，开发技术十分不成熟，EDA 工具的功能和自动化程度较低，而且产品也几乎全部面向 LSI 或 PCB 的设计，应用领域比较单一。一般来说，第一代 EDA 工具也称为 CAD（计算机辅助设计，Computer Aided Design）。

## 2. 第二代 EDA 工具

随着科学技术的不断发展和进步,许多公司如 Mentor 公司、Daisy Systems 公司、Logic Systems 公司进入了 EDA 工具的市场,它们开始为设计开发人员提供电路图逻辑工具和逻辑模拟工具的 EDA 软件,这个时期的 EDA 工具以数字电路分析工具为代表,主要功能是用来解决电路设计没有完成之前的功能检验问题。

20 世纪 80 年代,第二代 EDA 工具产生了,它主要以计算机仿真和自动布局布线技术为核心,同时产生了 CAM(计算机辅助制造, Computer Aided Manufacturing)、CAT(计算机辅助测试, Computer Aided Test)和 CAE(计算机辅助工程, Computer Aided Engineering)等新概念。第二代 EDA 工具的应用软件主要有数字电路分析、模拟电路分析、印制电路板、现场可编程门阵列的布局布线等,它们以软件工具为核心,即针对产品开发分为设计分析、生产测试等多个独立的软件包,每个软件包只能完成其中的一项工作,通过顺序循环完成设计的全过程。

第二代 EDA 工具的最大缺点就是不能进行系统级的仿真和综合,可以看到如果在产品发展的后期才发现设计错误时,进行修改无疑是十分困难的且浪费大量的人力。另外,由于软件开发商的不统一,一个工具的输出作为另几个工具的输入需要进行界面处理,影响了 EDA 工具的设计速度。

## 3. 第三代 EDA 工具

20 世纪 90 年代后期,各大 EDA 厂商开始推出以高级语言描述、系统级仿真和综合技术为核心技术的第三代 EDA 工具,目前设计人员使用的 EDA 工具都属于第三代 EDA 工具。第三代 EDA 工具以逻辑综合、硬件行为仿真、参数分析和测试为重点,提供了门类齐全和满足系统设计需要的全部开发工具,例如描述设计意图的设计输入工具、具有逻辑综合和设计优化能力的设计工具以及验证设计和评估性能的仿真工具。

第三代 EDA 工具的主要特征是自动化程度大大提高,设计人员只需要在前期进行较少的设置便可以完全由计算机完成整个设计,人工干预大大减少,设计效率大大提高。第三代 EDA 系统主要以并行设计工程的方式和系统级目标设计方法为支持。系统设计的核心是可编程逻辑器件的设计。可编程逻辑器件自身的可重复编写的特性使电子设计的灵活性和工作效率大大提高。

### 1.1.2 EDA 设计技术的基本特征

一般来说,EDA 技术就是指以计算机为工作平台、以 EDA 软件工具为开发环境、以硬件描述语言为设计语言、以可编程逻辑器件为实验载体、以 ASIC 和 SoC 为设计目标、以电子系统设计为应用方向的电子产品自动化设计过程。通常,EDA 设计技术的基本特征主要包括以下几个方面:

#### 1. 自顶向下的设计方法

传统硬件电路设计中常常采用自底向上设计的方法,它首先定义设计系统的子模块,同时还进行子模块的具体设计,然后再根据设计的总体要求,将各个功能子模块合成,以完成

硬件的总体设计。

随着数字系统规模的不断扩大，自顶向下的设计方法由于其独特的优越性，在各种设计方法中脱颖而出，成为目前数字系统设计中常用的设计方法。自顶向下的设计方法实际上就是基于芯片的系统设计方法，它在功能划分、任务分配和设计管理等方面具有一定的优越性。与传统的自底向上的设计方法相比，自顶向下的设计方法有助于在设计的早期发现结构设计中的错误，提高设计的一次成功率。

EDA 技术的基本特征之一是采用自顶向下的设计方式。自顶向下的设计方式就是从设计的总体要求出发，自顶向下地将设计划分为不同的功能子模块，每个功能子模块完成一定的逻辑功能。这种设计方式首先确定顶层模块，进行顶层模块的设计，然后将顶层模块中的逻辑功能划分为不同的功能子模块，再进行功能子模块的详细设计。

## 2. 硬件描述语言

随着大规模专用集成电路（ASIC）的开发和研制，为了提高开发的效率，增加已有开发成果的可继承性以及缩短开发时间，各 ASIC 研制和生产厂家相继开发了用于达到各自目的的硬件描述语言，采用硬件描述语言进行电子系统设计是当前发展的趋势。

所谓硬件描述语言就是指对硬件电路进行行为描述、寄存器传输描述或者结构化描述的一种新兴语言，它能比传统的电原理图更有效地表示硬件电路的特性。硬件描述语言的特征是可以借鉴高级程序语言设计的具体方法，从而对硬件电路的行为和功能结构进行高度抽象化的描述。

硬件描述语言也可以对硬件电路的设计进行不同层次、不同领域的模拟验证和综合优化等处理，从而实现硬件电路设计的高度自动化。采用硬件描述语言来设计硬件电路可以大大节省人力和物力、缩短研制周期，适用于小批量产品开发，也适用于大批量产品的样品研制，因而得到了广泛的应用。

在目前的电子业界中，设计人员采用的最有代表性的硬件描述语言是美国国防部开发的 VHDL（VHSIC Hardware Description Language）、Verilog 公司开发的 Verilog HDL 以及日本电子工业振兴协会开发的 UDL/I 语言。

## 3. 逻辑综合和优化功能

逻辑综合功能是将较高层次的抽象描述转化到较低级别抽象的一种方法，简单地说就是将设计的描述转化成底层电路表示。在进行综合时，综合程序将设计描述转化为数据结构，将设计的行为描述转化为寄存器传输级（RTL）描述，然后将 RTL 描述转换到门级。从 RTL 描述转换到门级通常需要三步：首先将 RTL 描述转化为布尔描述，然后通过一个优化过程将布尔描述转化成优化的布尔描述，最后将优化的布尔描述映射到门级，即生成网表或一组逻辑方程。

优化功能是指根据布尔方程功能等效的原则，利用逻辑综合生成的结果采用更小更快的综合结果代替一些复杂的单元，然后根据制定的目标可以映射成新的网表或者一组逻辑方程。这里，设计人员经常采用的一种优化方法是先将非优化的布尔描述转换成最低级描述（pla 格式），然后再采用 pla 优化技术对这种描述进行优化，最后再尝试使用共享公共项去减少逻辑门的个数。优化的作用是将电路设计的时延缩到最小和有效利用资源。几乎所有的 EDA

综合工具都可以利用约束条件对电路设计进行优化。一般情况下，常用的约束条件主要包括时间约束和面积约束。

#### 4. 开放性和标准化

一般来说，框架是一种软件平台结构，它的主要功能是用来为 EDA 工具提供相应的操作环境。框架的关键在于提供与硬件平台无关的图形用户界面、工具之间的通信、设计数据和设计流程的管理等，另外框架还包括各种与数据库相关的服务项目。

任何一个 EDA 工具系统只有建立了一个符合标准的开放式框架结构，它才可以接纳其他厂商的 EDA 工具一起进行相应的设计工作。作为一套使用和配置 EDA 工具软件包的规范，框架可以实现各种 EDA 工具间的优化组合，并集成在一个易于管理的统一的环境之下，目的是实现资源共享。

随着硬件描述语言等设计数据格式的逐步标准化，不同设计风格和应用的要求导致各具特色的 EDA 工具被集成在同一个工作站上，从而使 EDA 框架标准化。如今新的 EDA 工具系统不仅能够实现高层次的自动综合逻辑和测试码的生成，而且还可以用各个仿真器对同一个设计进行协同仿真，进一步提高 EDA 系统的工作效率和设计的正确性。

### 1.1.3 EDA 设计技术的工具

目前，EDA 技术的开发工具包括编辑器、仿真工具、检查/分析工具和优化/综合工具等，这些工具的简单介绍如下所示。

#### 1. 编辑器

编辑器的主要功能是用来对设计输入进行图形或者文本等方面的编辑操作，它通常包括图形编辑器、文本编辑器和波形编辑器。通常，典型的原理图输入工具至少应该包括 3 个组成部分，它们分别是基本单元符号库、原理图编辑器的编辑功能和产生网表的功能。

图形编辑器可以用于硬件设计的各种层次：在版图级，图形编辑器用来编辑表示器件的几何图形；在其他级，图形编辑器用来编辑硬件系统的方框图和原理图等。

文本编辑器在系统级上用来编辑硬件系统的自然描述语言；在其他层次上主要用来编辑电路的硬件描述语言文本。如今在设计的过程中，文字编辑器在门级、寄存器以及芯片级所用的硬件描述语言通常是 VHDL 和 Verilog HDL。

波形编辑器的主要作用是用来编辑电子系统的仿真波形。应用这种编辑器，设计人员可以给出各种输入波形，然后根据相应的仿真器操作，这样便可以根据波形编辑器中显示的波形来验证系统设计的正确性。

#### 2. 仿真工具

通常在 EDA 设计技术中，仿真技术是一项非常重要的技术，它是对系统设计进行验证的重要手段。顾名思义，仿真工具就是用来完成设计仿真操作的 EDA 开发工具。一般来说，逻辑仿真工具能够验证系统设计的功能，时序仿真工具可以用来估算设计系统的延迟时间。另外，高级的仿真工具还可以对系统的延迟时间、驱动能力、电磁兼容特性、机械特性和热特性进行仿真操作。

可以看出, 仿真工具的主要作用是确定设计系统的输入/输出关系, 所采用的方法是把每一个数字逻辑器件映射为一个或几个进程, 把整个系统映射为由进程互连组成的网络。

### 3. 检查/分析工具

通常, 在集成电路设计的各个层次或者阶段都会用到相对应的检查/分析工具, 它的主要功能是用来对设计的逻辑产生可能性、电路的电气特性及时序关系等进行检查或者分析。在版图级, 设计人员必须采用相应的设计规则检查工具来保证版图所表示的电路能够被可靠地制造出来; 在逻辑门级, 设计人员可以采用检查/分析工具来检查设计中是否有违反扇出规则的连接关系。

一般来说, 通过检查/分析工具产生的各种报表文件, 设计人员可以对设计系统中的错误、系统性能、系统相应的技术指标和各种时序关系等有一个比较清晰的认识。在这种情况下, 设计人员可以很容易地对设计中的错误进行修改或者对系统设计中的性能进行改进以满足系统设计的具体要求。

### 4. 优化/综合工具

优化综合工具用来把一种硬件描述转化为另一种描述, 在转化的过程中伴随着设计的某种优化。例如, 在逻辑门级, 可以用逻辑最小化对布尔表达式进行简化; 在寄存器级, 优化工具可以用来确定控制序列和数据路径的最优组合。

EDA 工具的发展经历了两个主要阶段: 物理工具和逻辑工具。物理工具用来完成设计中的实际物理问题, 例如芯片布局、印制电路板布线等。同时它们也能够提供一些设计的电器性能的分析, 例如设计规则检查等。逻辑工具是基于网表、布尔逻辑和传输时序等概念的, 首先由原理图编辑器或硬件描述语言进行设计输入, 然后利用 EDA 工具进行综合、仿真和优化等过程, 最后生成物理工具可以接受的网表或一组逻辑方程。

目前, 国际上具有代表性的 EDA 工具提供商主要包括 Cadence 公司、Synopsys 公司、Mentor 公司和 Logic Systems 公司等。虽说 EDA 工具产品种类繁多, 功能各不相同, 但是采用 EDA 工具进行开发的具体流程是基本类似的, 如图 1-1 所示。

在图 1-1 所示的流程图中, 综合软件的 3 个输入是 VHDL 设计程序、综合指引以及器件选择。其中, 综合指引的作用既可以是用来指明综合和装配的具体进程, 同时也可以忽略图形用户接口的优先级综合软件的默认选择。为了同时实现指定器件的综合和优化, 设计人员在这个阶段必须选择装配设计的器件。

通常, 综合软件的输出是指定书写结构的一个网表或者是一组逻辑方程组, 然后软件将会把网表或者逻辑方程组作为装配工具的具体输入, 指引由中间文件的嵌入信息所载, 影响综合和装配软件的进程。

接下来装配软件或布局布线软件将会进行装配或布局布线的运算处理, 它的具体输出是有关资源利用的静态的点对点的时延分析、器件编程文件以及布局布线后仿真模型等相关信息。其中: 设计人员通过资源利用和静态时延信息可以了解综合和装配是否达到预期目的; 器件编程文件用于器件编程器或者其他软件, 功能是用于对 PLD 进行相应的编程操作; 布局后仿真模型也许是一个能够进行仿真的 VHDL 模型或者是其他的格式类型, 如 Verilog HDL 格式。

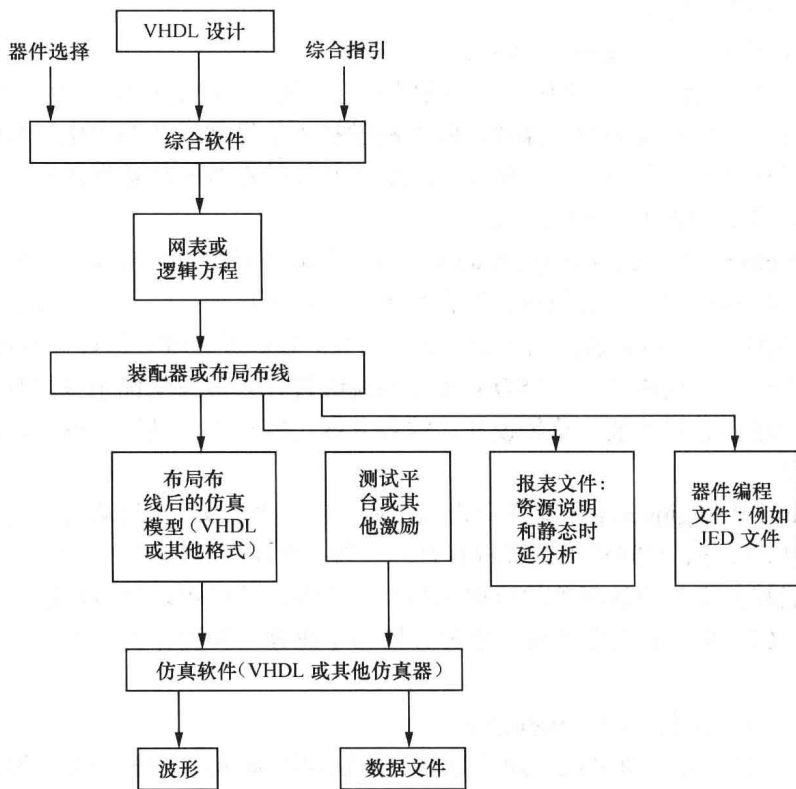


图 1-1 EDA 工具进行开发的具体流程图

附有一定数量的测试平台或激励格式信号的仿真模型用来作为仿真软件的输入。许多仿真器具有交互式仿真功能，即允许采用激励的信号定义仿真时间来获取和观察结果。仿真软件的输出常常是波形形式或是数据文件。

#### 1.1.4 EDA 设计技术的发展趋势

随着科学技术的不断发展，EDA 设计技术的发展趋势主要体现在以下几个方面：

##### (1) EDA 工具的 PC 平台化。

目前，可编程逻辑器件和 EDA 技术的结合为电子系统的设计带来了极大的方便，它们已经成为设计人员进行系统设计的主要工具。在过去相当长的一段时间内，EDA 工具软件价格十分昂贵，它的操作平台是工作站和 UNIX 操作系统，硬件环境要求十分高级，这些大大阻碍了 EDA 工具的迅速普及。

最近 10 年内，经过 EDA 工具厂商和科技研发人员的共同努力和推广，EDA 工具的 PC 平台化进展速度十分显著，例如 Xilinx 公司的 Foundation 和 ISE、Altera 公司的 MAX + plus II 和 Quartus II 都是可以在 Windows 或者 Windows NT 操作系统中运行的 EDA 工具。这些基于 PC 平台的 EDA 工具包含有逻辑设计、仿真、综合和优化等工具，而且价格比较便宜，目前已经得到了十分广泛地应用。

可以看出，随着 PC 性能的不断f提高，基于 PC 平台的 EDA 工具的软件功能将会更加完善和齐全。因此，EDA 工具的 PC 平台化是 EDA 工具迅速普及的重要前提，同样它也是 EDA

设计技术发展的必然趋势。

(2) EDA 设计技术朝着 ESDA 和 CE 方向发展。

对于现有的各种 EDA 工具来说,通常是用来进行某一方面的系统设计,例如 Protel 工具主要是用来进行印制电路板的设计操作。随着科学技术的发展以及缩短电子系统设计周期的要求,设计人员往往希望各种不同功能的 EDA 工具能够在统一的数据库或者管理框架下进行工作,因此提出了 ESDA 和 CE 的概念。

ESDA (Electronic System Design Automation) 即电子系统设计自动化,它强调建立从系统到电路的统一描述语言,考虑仿真、综合与测试,同时将把定时、驱动能力、电磁兼容特性、机械特性和热特性等约束条件加入到设计综合中,然后进行统一的设计描述和优化操作,从而提高系统设计的一次成功率。ESDA 要求系统级设计人员改变优先考虑具体实现的传统思路,而是集中精力进行系统的总体设计、综合方案比较和优化设计。可见,这将会是一种全新的设计思路。

CE (Concurrent Engineering) 即并行设计工程,它要求 EDA 工具从管理层次上把与系统设计有关的工具、任务、时间和工艺等进行合理安排,设计人员使用统一的集成化设计环境,各个设计小组能够共享与设计相关的数据库和其他资源,这样可以同步地进行系统的设计工作。可以看出,CE 改变了在系统设计中过分依赖专业分工和设计人员专业知识的传统设计方法。

(3) EDA 工具应该具有编译选择能力。

对于 EDA 工具开发厂商来说,除了简单加快软件的编译速度外,EDA 设计工具还应该能够减少编译时间,而不需要考虑其编译处理的能力如何。在一个具体的设计过程中,最耗费时间的应该是布局和布线过程,如果能够减少布局和布线过程的时间,那么将会大大提高系统设计的效率。随着技术的不断发展,设计人员希望能够实现一种编译选择的方案,即 EDA 工具应该具有只对上次编译后发生变化的那部分设计进行布局和布线操作的能力,即增量编译能力。可以看出,具有增量编译能力的 EDA 工具将是未来 EDA 设计技术的一个发展方向,它将会大大提高设计效率,从而缩短产品开发周期,进而提高产品的市场竞争力。

## 1.2 FPGA/CPLD 器件概述

目前,可编程逻辑器件广泛应用于计算机、数字电路设计、通信系统、工业自动控制、仪器仪表和集成电路设计等领域,它的出现大大改变了传统的系统设计方法,传统的“固定功能模块+连线”的设计方法正在逐步退出历史舞台,而基于芯片的设计方法正在成为电子系统设计的主流。

### 1.2.1 可编程逻辑器件的发展

随着科学技术的发展,集成电路的设计正朝着快速度、高性能、大容量、小体积和微功耗的方向发展,这种发展必将导致集成电路的设计规模日益增大,复杂程度日益增高。经过 40 多年的发展,集成电路已经从小规模集成 (SSI)、中规模集成 (MSI)、大规模集成 (LSI) 发展到超大规模集成 (VLSI) 和特大规模集成 (ULSI),每个芯片可以集成数百万个以上的晶体管。如今,大规模和超大规模集成电路技术已经成为高科技研发领域的基础。

如果从具体的逻辑功能特点上来进行分类,那么大规模和超大规模集成电路可以分为通用集成电路和专用集成电路两大类。例如,常见的小规模数字集成电路 74 系列、CC4000 系列、74HC 系列和常用的大容量动态存储器等都属于通用集成电路,它们的特点是逻辑功能比较简单并且固定不变。由于这些集成电路在组成复杂的电子系统中经常用到,因此可以看出它们具有很强的通用性。

通常,采用芯片厂商提供的中、小规模集成电路可以组成任何复杂的电子系统,但是为了减小系统电路的体积、重量、功耗和提高可靠性,设计人员经常会把设计的系统直接做成一片大规模或超大规模集成电路,这种为某种专门用途设计的集成电路就称为专用集成电路,通常也称为 ASIC,即 Application Specific Integrated Circuit。例如,微处理器就是一种常见的专用集成电路,它只是在某一类计算机中可以使用。可以看出,这类集成电路的通用性比较差,而且设计和制造它们的成本较高、周期较长。

一般来说,专用集成电路又可以分为两种不同的类型,它们分别是全定制集成电路(Full-Custom IC)和半定制集成电路(Semi-Custom IC)。其中,全定制集成电路从电路性能到集成电路的构成和设计全部是针对某一个特殊的应用来进行设计的;而半定制集成电路的电路性能也是专门针对于某一应用的,但是集成电路构成和设计则具有某种程度的通用性,即把某些已经设计好的单元电路按照设计的需要加以连接而成。可以看出,半定制集成电路由于设计和制造的成本较低和周期较短,因此它得到了较为广泛的应用;而全定制集成电路则经常用于某种性能要求较高、生产批量较大的场合。

对于设计人员来说,常用的一种半定制集成电路是可编程逻辑器件,通常也称为 PLD,即 Programmable Logic Device。这里,PLD 虽然是作为一种通用集成电路来进行生产的,但是它的逻辑功能是由设计人员根据系统设计的具体要求通过相应的器件编程来实现的。另外,由于 PLD 的集成度很高,因此它可以满足大多数数字系统设计的需要。可见,设计人员通过相应的器件编程就可以把设计的系统集成在一片 PLD 上,而不再需要由厂商来设计和制造相应的专用集成电路了,这样便解决了专用集成电路的专用性与成本较高以及开发周期较长的主要矛盾。

从可编程逻辑器件的发展历史上看,可编程逻辑器件经历了 PROM、PLA、PAL、GAL、EPLD 到 CPLD 和 FPGA 的发展过程,它在结构、制造工艺、集成度、逻辑功能、速度和功耗上都有了很大的提高和改进。其中,CPLD 和 FPGA 由于集成度非常高,因此这两种可编程逻辑器件也常被称为高密度可编程逻辑器件。通常,可编程逻辑器件的发展历史如下所示:

(1) 20 世纪 70 年代,采用熔丝编程的 PROM 和 PLA 器件可以称为是最早的可编程逻辑器件,它可以根据用户的需要写入相应的信息来完成一定的逻辑功能。但是由于熔丝烧断后不能再次接通,因此这时的器件编程是一次性的,写入后不能进行修改。

(2) 20 世纪 70 年代末,MMI 公司率先推出了一种新的可编程逻辑器件 PAL,它也采用双极性型工业制作、熔丝编程方式。从逻辑特性上来看,PAL 器件不如 PLA 器件那样灵活和方便,但是它的成本较低、价格便宜、编程方便、编程器也较为便宜,另外它还具有保密位来防止非法读出,因此它在当时获得了广泛的应用。

(3) 20 世纪 80 年代初,Lattice 公司推出了另外一种新型的可编程逻辑器件——GAL,它克服了 PAL 器件存在的缺点,应用起来更加灵活和方便。GAL 器件采用了电可擦除的 CMOS 工艺制作,采用电压信号可以擦除原来的信息而重新进行编程操作。另外,GAL 器件



的输出端口设置了可编程的输出逻辑宏单元 (OLMC, Output Logic Macro Cell), 设计人员通过编程可以将 OLMC 设置成不同的工作状态。这样可以采用同一型号的 GAL 器件来实现 PAL 器件的各种电路输出工作方式, 大大提高了器件的通用性。

(4) 20 世纪 80 年代中期, Xilinx 公司提出了现场可编程的概念, 同时生产了世界上第一片 FPGA 器件。FPGA 的编程方式与 PAL 器件和 GAL 器件大为不同, 它不是通过专门的编程器来完成的。通常, 它的设计过程是利用一套专用的设计软件来完成的, 最后生成一个用来对 FPGA 器件进行编程的文件。一般来说, FPGA 中的编程信息将会存储在专用的 RAM 中, 这样上电后外部 RAM 中的编程信息将会传入到器件中的静态 RAM 中, 从而实现相应的功能。

同一时期, Altera 公司推出了它的新一代可编程逻辑器件——EPLD, 它采用 UVEPROM 和 EEPROM 工艺制作, 同时集成度要比 PAL 器件和 GAL 器件高得多, 其产品多半属于高密度的可编程逻辑器件。

(5) 20 世纪 80 年代末, Lattice 公司又提出了在系统可编程技术, 同时推出了一系列具有在系统可编程能力的 CPLD。与 EPLD 相比, CPLD 规模更大、结构更为复杂, 能够完成较为复杂的系统功能设计。

(6) 20 世纪 90 年代后, 可编程逻辑器件进入到了飞速发展的阶段。在生产工艺方面, 可编程逻辑器件的线宽越来越小, 集成门数越来越大, 功耗越来越低; 在具体的器件编程方面, EEPROM 逐渐取代了 UVEPROM 工艺, 同时 FPGA 的现场可编程技术和 CPLD 的在系统可编程技术使得可编程逻辑器件在使用上更加方便; 在测试技术方面, 可编程逻辑器件大多数可采用边界扫描测试技术, 大大加强了器件、电路板和系统的可测试性; 在逻辑功能上, 可编程逻辑器件内部嵌有微处理器, 大大提高了器件的逻辑功能和处理能力。

总之, 可编程逻辑器件的出现大大改变了传统的电路系统设计方法, 从而形成了一种新的基于芯片的设计方法。通过基于芯片的设计方法可以大大减少系统设计中的器件数量, 缩小系统体积和降低功率消耗等, 从而提高设计系统的性能和可靠性。

### 1.2.2 可编程逻辑器件的分类

前面提到过, 可编程逻辑器件经历了 PROM、PLA、PAL、GAL、EPLD 到 CPLD 和 FPGA 的发展过程, 各种公司的可编程逻辑器件层出不穷。通常, 由于历史和某些器件厂商等原因, 以往的可编程逻辑器件的命名十分不规范, 因此设计人员很难根据可编程逻辑器件的名称来进行严格的分类。在可编程逻辑器件应用领域, 它具有许多不同的分类方法, 没有一个相对统一的标准。

一般来说, 设计人员经常按照可编程逻辑器件的集成度和结构复杂度、基本结构、逻辑单元以及编程工艺来进行分类, 下面对其进行简单介绍。

#### 1. 按照集成度和结构复杂度进行分类

在可编程逻辑器件中, 集成度和结构复杂度是一项非常重要的技术指标, 因此根据集成度和结构复杂度进行分类是一种常用的分类方法。一般来说, 根据可编程逻辑器件的集成度和结构复杂度, 它可以分为低集成度可编程逻辑器件和高集成度可编程逻辑器件。这里将会提出这样一个问题: 低集成度和高集成度可编程逻辑器件的划分标准是什么?