

Xilinx公司

推荐FPGA/CPLD培训教材

XILINX®



Xilinx

FPGA/CPLD

设计手册

■ 王杰 王诚 谢龙汉 编著
Xilinx 公司 审校

人民邮电出版社
POSTS & TELECOM PRESS

Xilinx公司



推荐FPGA/CPLD培训教材

Xilinx FPGA/CPLD 设计手册

王杰 王诚 谢龙汉 编著
Xilinx公司 审校

人民邮电出版社

北京

图书在版编目 (CIP) 数据

Xilinx FPGA/CPLD设计手册 / 王杰, 王诚, 谢龙汉
编著. — 北京: 人民邮电出版社, 2011.6
ISBN 978-7-115-24665-3

I. ①X… II. ①王… ②王… ③谢… III. ①可编程
序逻辑器件—系统设计—手册 IV. ①TP332.1-62

中国版本图书馆CIP数据核字(2011)第064183号

内 容 提 要

本书从初学者的角度出发,以全新的视角、合理的布局系统地介绍了 Xilinx FPGA/CPLD 的设计流程,以及集成设计工具 ISE 10.x 的基本使用方法和技巧,并提供了一些经典设计实例,供读者学习和参考。

本书共 14 章,循序渐进地介绍了 ISE 10.x 中各种设计工具的基本操作方法,内容包括设计输入工具的使用、基于 ModelSim 的设计仿真、Synplify Pro 和 XST 综合工具的使用、设计实现、器件配置以及在线调试等,并辅以 4 个综合实例,让读者能更加深入地理解 Xilinx FPGA/CPLD 的设计流程。随书附带的光盘中提供了书中所有示例的完整工程文件和设计源文件,读者可以结合书本上的实例操作流程,自行操作练习,以加深理解。

本书内容系统,实用性、专业性强,是 Xilinx FPGA/CPLD 设计初学者入门和提高的学习宝典。本书可以作为高等院校通信工程、电子工程、微电子和半导体学等工科专业的教材,也可以作为 FPGA 电子设计工程师的实用参考书。

Xilinx FPGA/CPLD 设计手册

-
- ◆ 编 著 王 杰 王 诚 谢龙汉
审 校 Xilinx 公司
责任编辑 李永涛
 - ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子邮件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
三河市潮河印业有限公司印刷
 - ◆ 开本: 787×1092 1/16
印张: 24.25
字数: 590 千字 2011 年 6 月第 1 版
印数: 1-3 500 册 2011 年 6 月河北第 1 次印刷

ISBN 978-7-115-24665-3

定价: 55.00 元(附光盘)

读者服务热线: (010)67132692 印装质量热线: (010)67129223
反盗版热线: (010)67171154

前 言

Xilinx 是全球领先的可编程逻辑完整解决方案的供应商，首创了现场可编程逻辑阵列（FPGA）技术，并于 1985 年首次推出商业化产品。目前，Xilinx 满足了全世界对 FPGA 产品一半以上的需求。Xilinx 可编程逻辑解决方案缩短了电子设备制造商开发产品的周期并加快了产品面市的速度，从而降低了制造商的风险。Xilinx 产品已经被广泛应用于从无线电话基站到 DVD 播放机的数字多媒体电子应用技术中。

ISE 是 Xilinx 公司最主要的设计软件之一，目前已经推出的 ISE 10.x 是业内领先的设计工具，提供了完美的设计性能和生产效率组合。

本书在内容安排上，一方面系统地介绍了 ISE 集成套装中各类工具的功能、操作方法和使用技巧；另一方面，通过 4 个具体的综合实例，详细地介绍了 Xilinx FPGA/CPLD 的设计过程，这对于初次涉及 FPGA 设计的工程人员是十分有利的。本书既注重软件操作细节的介绍，也注重工程设计经验的讲解，因此可以使读者在学习时有的放矢，避免了空洞的理论说教。

本书共 14 章，大致内容介绍如下。

- 第 1 章 Xilinx FPGA/CPLD 简介。
- 第 2 章 ISE 系统简介。
- 第 3 章 ISE 工程管理与设计输入。
- 第 4 章 功能仿真工具。
- 第 5 章 ISE 综合工具。
- 第 6 章 约束设置。
- 第 7 章 设计实现。
- 第 8 章 辅助设计工具。
- 第 9 章 Xilinx 器件配置。
- 第 10 章 FPGA 系统设计原则和技巧。
- 第 11 章 综合实例 1——FIFO 设计。
- 第 12 章 综合实例 2——SPI 总线设计。
- 第 13 章 综合实例 3——NAND Flash 控制器设计。
- 第 14 章 综合实例 4——CRC 校验器设计。

本书既适合 Xilinx FPGA/CPLD 设计的入门读者，也适合有一定工程经验的设计人员作为参考手册。

本书由王杰、王诚、谢龙汉编写，由于时间仓促，书中难免有疏漏和不足之处，请读者批评指正。读者可通过电子邮件 xielonghan@yahoo.com.cn 与我们交流。

编者

2011 年 2 月

目 录

第 1 章 Xilinx FPGA/CPLD 简介	1
1.1 逻辑器件概述	1
1.2 FPGA 简介	2
1.3 CPLD 简介	3
1.4 FPGA/CPLD 的特点	4
1.5 CPLD 与 FPGA 的区别	5
1.6 Xilinx 简介	5
1.6.1 Xilinx 公司概况	5
1.6.2 Xilinx FPGA/CPLD 器件	6
1.7 Xilinx FPGA /CPLD 的基本结构	10
1.7.1 Xilinx CPLD 的基本结构	10
1.7.2 Xilinx FPGA 的基本结构	11
1.8 小结	14
第 2 章 ISE 系统简介	15
2.1 ISE 系列产品的特点	15
2.1.1 ISE 特点综述	15
2.1.2 ISE 10.x 新增特性	16
2.2 ISE 10.x 支持的器件	17
2.3 ISE 的软件系列	17
2.4 ISE 的系统配置和安装	18
2.4.1 推荐的系统配置	18
2.4.2 ISE 的安装	18
2.5 ISE 设计流程实例：32 位加/减法器设计	22
2.5.1 ISE 10.x 集成开发环境界面	23
2.5.2 设计输入	25
2.5.3 功能仿真	29
2.5.4 设计综合	32
2.5.5 工程实现	33
2.5.6 时序仿真	34
2.5.7 器件配置	34
2.6 小结	37
第 3 章 ISE 工程管理与设计输入	38
3.1 ISE 工程管理器——Project Navigator	38
3.1.1 Project Navigator 简介	38

3.1.2	实例 3-1: 使用 Project Navigator 创建并管理工程	38
3.2	HDL 语言输入工具——HDL Editor	41
3.2.1	HDL Editor 综述	41
3.2.2	源代码输入助手——Language Templates	41
3.2.3	实例 3-2: 使用 HDL Editor 设计 16 位移位寄存器	42
3.3	状态机输入工具——StateCAD	43
3.3.1	StateCAD 简介	43
3.3.2	实例 3-3: 使用 StateCAD 设计加法器	44
3.4	原理图输入工具——ECS	50
3.4.1	ECS 简介	50
3.4.2	基于 ECS 的混合设计方法	50
3.5	IP 核生成工具——CORE Generator	50
3.5.1	CORE Generator 简介	51
3.5.2	实例 3-4: 使用 CORE Generator 生成 Block RAM	52
3.6	测试激励生成器——HDL Bencher	54
3.6.1	HDL Bencher 简介	54
3.6.2	实例 3-5: 使用 HDL Bencher 生成测试激励	54
3.7	设计结构向导——Architecture Wizard	58
3.7.1	Architecture Wizard 简介	58
3.7.2	实例 3-6: 使用 Architecture Wizard 生成 DCM	58
3.8	小结	61
第 4 章	功能仿真工具	62
4.1	ModelSim 简介	62
4.1.1	ModelSim 的安装	64
4.1.2	ModelSim 的用户界面	67
4.2	ModelSim 仿真流程	71
4.2.1	启动 ModelSim	71
4.2.2	编译 ModelSim 仿真库	73
4.2.3	编译源代码	75
4.2.4	执行仿真	78
4.3	ModelSim 中的调试方法	79
4.3.1	源文件窗口调试	79
4.3.2	波形窗口调试	81
4.3.3	列表窗口调试	83
4.3.4	数据流窗口调试	84
4.3.5	存储器窗口调试	86
4.4	ModelSim 仿真进阶	87
4.4.1	批处理仿真	87

4.4.2	WLF 文件和波形比较	89
4.4.3	代码覆盖率检测	93
4.4.4	SDF 时序反标	95
4.4.5	VCD 文件应用	96
4.5	后仿真实例	97
4.6	小结	103
第 5 章	ISE 综合工具	104
5.1	Synplify/Synplify Pro 综合工具	104
5.1.1	Synplify/Synplify Pro 的功能与特点	104
5.1.2	Synplify Pro 的用户界面	108
5.1.3	实例 5-1: Synplify Pro 综合流程	110
5.2	Xilinx 内嵌的综合工具——XST	117
5.2.1	XST 综述	117
5.2.2	XST 综合属性设置	118
5.2.3	实例 5-2: XST 综合流程	121
5.3	全局时钟和第二全局时钟资源	124
5.3.1	全局时钟资源简介	124
5.3.2	Xilinx 全局资源的使用方法	124
5.3.3	第二全局时钟资源	126
5.4	小结	126
第 6 章	约束设置	127
6.1	时序约束基础	127
6.1.1	周期约束	128
6.1.2	偏移约束	131
6.1.3	专用约束	132
6.1.4	分组合约	135
6.2	约束编辑器——Constraints Editor	139
6.2.1	Constraints Editor 用户界面	139
6.2.2	实例: 在 Constraints Editor 中附加约束	140
6.3	引脚与区域约束编辑器——Floorplan Editor	147
6.3.1	利用 Floorplan 完成引脚配置和区域约束	147
6.3.2	利用 PACE 进行引脚分配	149
6.4	约束文件	150
6.4.1	约束文件简介	150
6.4.2	UCF、NCF 文件的基本语法规则	151
6.4.3	引脚和区域约束语法	154
6.5	小结	156

第 7 章 设计实现	157
7.1 布局规划器——Floorplanner	157
7.1.1 Floorplanner 的用户界面	158
7.1.2 Floorplanner 的特点及作用	158
7.1.3 Floorplan 设计流程	159
7.1.4 实例 7-1: 布局规划实例	162
7.2 FPGA 底层编辑器——FPGA Editor	164
7.2.1 FPGA Editor 用户界面	165
7.2.2 FPGA Editor 的作用	165
7.2.3 FPGA Editor 输入/输出文件	167
7.2.4 FPGA Editor 设计流程	167
7.2.5 实例 7-2: FPGA Editor 设计实例	167
7.3 小结	174
第 8 章 辅助设计工具	175
8.1 时序分析器——Timing Analyzer	175
8.1.1 时序分析基础	175
8.1.2 Timing Analyzer 简介	182
8.1.3 实例 8-1: 时序分析器使用实例	185
8.2 虚拟逻辑分析仪——ChipScope Pro	190
8.2.1 ChipScope Pro 综述	190
8.2.2 ChipScope Pro 核的使用	191
8.2.3 ChipScope Pro Analyzer 使用简介	199
8.2.4 实例 8-2: 基于 ChipScope Pro Core Inserter 在线调试实例	204
8.2.5 实例 8-3: 基于 CORE Generator 的在线调试示例	210
8.3 功耗分析器——XPower	213
8.3.1 XPower 综述	214
8.3.2 XPower 用户界面	215
8.3.3 实例 8-4: XPower 功耗分析实例	216
8.4 小结	220
第 9 章 Xilinx 器件配置	221
9.1 Xilinx 器件配置简介	221
9.2 配置流程	223
9.3 Xilinx 器件配置模式	224
9.3.1 主串模式	224
9.3.2 从串模式	226
9.3.3 字节宽度外部接口并行配置 (BPI) 模式	227
9.3.4 JTAG 模式	228

9.4	Xilinx 器件配置下载电缆	230
9.5	程序下载器——iMPACT	230
9.5.1	iMPACT 综述	231
9.5.2	iMPACT 用户界面	231
9.5.3	iMPACT 程序下载实例	238
9.6	小结	241
第 10 章	FPGA 系统设计原则和技巧	242
10.1	时钟管理模块使用技巧	242
10.1.1	DCM 模块	242
10.1.2	实例: DCM 设计实例	245
10.2	FPGA 系统设计的基本原则	251
10.2.1	面积与速度的平衡互换原则	252
10.2.2	硬件可实现原则	253
10.2.3	同步设计原则	253
10.3	FPGA 系统设计的常用技巧	255
10.3.1	乒乓操作技巧	255
10.3.2	串并/并串转换技巧	256
10.3.3	硬件流水线设计技巧	257
10.4	小结	258
第 11 章	综合实例 1——FIFO 设计	259
11.1	FIFO 的基本原理	259
11.2	FIFO 的空/满检测	260
11.3	Gray 码	265
11.4	异步 FIFO 代码设计	267
11.5	异步 FIFO 代码仿真验证	274
11.6	异步 FIFO 代码综合	282
11.7	异步 FIFO 设计实现	288
11.8	小结	296
第 12 章	综合实例 2——SPI 总线设计	297
12.1	SPI 总线概述	297
12.2	SPI 总线源代码设计	301
12.3	SPI 设计综合	311
12.4	SPI 设计的 FPGA 实现	312
12.5	小结	316
第 13 章	综合实例 3——NAND Flash 控制器设计	317
13.1	NAND Flash 简介	317

13.2	NAND Flash 的结构和基本操作	318
13.3	NAND Flash 控制器结构	324
13.4	ECC 模块设计	326
13.5	生成双端口 RAM.....	331
13.6	NAND Flash 控制器代码设计	335
13.7	NAND Flash 控制器代码仿真	343
13.8	NAND Flash 控制器代码综合	347
13.9	NAND Flash 控制器代码实现	351
13.10	小结	360
第 14 章	综合实例 4——CRC 校验器设计.....	361
14.1	CRC 校验原理.....	361
14.2	CRC 校验器的结构.....	363
14.3	CRC 校验器源代码设计.....	365
14.4	CRC 校验器代码综合及仿真验证.....	369
14.5	CRC 校验器的 FPGA 实现	371
14.6	小结	374
附录	IC 和 FPGA 专业术语中/英文对照	375

第1章 Xilinx FPGA/CPLD 简介

本章将在介绍可编程逻辑器件发展史的基础上，引领读者逐步走进 Xilinx FPGA 器件的奇特世界。

本章的主要内容如下。

- 逻辑器件概述。
- FPGA 简介。
- CPLD 简介。
- FPGA/CPLD 的特点。
- CPLD 与 FPGA 的区别。
- Xilinx 简介。
- Xilinx CPLD/FPGA 的基本结构。

1.1 逻辑器件概述

可编程逻辑器件 (Programmable Logic Device, PLD) 是 20 世纪 80 年代发展起来的新型器件，是一种由用户根据自己的需要来设计逻辑功能并通过对器件进行编程实现的专用集成电路 (Application Specific Integrated Circuit, ASIC)。

通常我们所知的数字集成电路是标准的小规模、中规模、大规模甚至超大规模的器件，这些器件的逻辑功能在出厂时已经由厂商设计好，用户只能根据其提供的功能及引脚进行电路设计，由于通用器件需要考虑通用性，导致其在使用时有许多功能是多余的，并且引脚的排布固定，这在设计 PCB 时给电路的连线带来了极大的不便。而 PLD 的出现正好解决了这些问题。PLD 内部具有大量门电路，这些门电路并没有固定的连接，而是通过某种编程方式来实现连接，同时 PLD 的输入/输出引脚也可以根据需要进行相应的配置，即用户可以根据自己的需要分配引脚，从而简化 PCB 的布线任务。图 1-1 所示为一个简单的 PLD 阵列，打“×”的地方表示有连接，没有“×”的地方表示断开，不同的连接方式可以实现各种不同的组合逻辑功能。

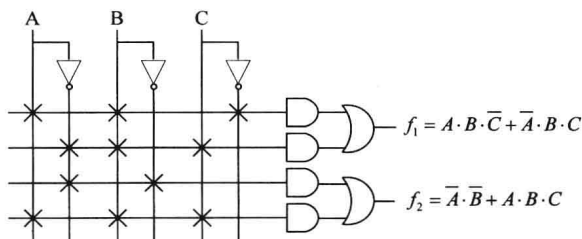


图1-1 PLD 编程实例

早期的可编程逻辑器件只有可编程只读存储器 (PROM)、紫外线可擦除只读存储器 (EPROM) 和电可擦除只读存储器 (EEPROM) 3 种。由于结构的限制, 它们只能完成简单的数字逻辑功能。其后出现了一类结构上稍微复杂的可编程芯片, 即可编程逻辑器件 (PLD), 它能够完成各种数字逻辑功能。典型的 PLD 由一个“与”门和一个“或”门阵列组成, 而任意一个组合逻辑都可以用“与—或”表达式来描述, 所以 PLD 能以乘积和的形式完成大量的组合逻辑功能。

这一阶段的产品主要有 PAL (可编程阵列逻辑) 和 GAL (通用阵列逻辑)。PAL 由一个可编程的“与”平面和一个固定的“或”平面构成, 或门的输出可以通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的, 它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。还有一类结构更为灵活的逻辑器件是可编程逻辑阵列 (PLA), 它也由一个“与”平面和一个“或”平面构成, 但是这两个平面的连接关系是可编程的。PAL 器件既有现场可编程的, 也有掩膜可编程的。在 PAL 的基础上, 又发展了一种通用阵列逻辑 (Generic Array Logic, GAL)。它采用了 EEPROM 工艺, 实现了电可擦除、电可改写, 其输出结构是可编程的逻辑宏单元, 因而它的设计具有很大的灵活性, 至今仍有许多人使用。这些早期 PLD 的一个共同特点是可以实现速度特性较好的逻辑功能, 但过于简单的结构也使它们只能实现规模较小的电路。

为了弥补这一缺陷, 20 世纪 80 年代中期, Altera 和 Xilinx 分别推出了类似于 PAL 结构的扩展型 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 和与标准门阵列类似的 FPGA (Field Programmable Gate Array, 现场可编程逻辑门阵列), 它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围广等特点。这两种器件兼容了 PLD 和通用门阵列的优点, 可实现较大规模的电路, 编程也很灵活。与门阵列等其他 ASIC 相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点, 因此, 被广泛应用于产品的原型设计和产品生产 (一般在 10000 件以下) 之中。几乎所有应用门阵列、PLD 和中小规模通用数字集成电路的场合均可应用 FPGA 和 CPLD。

PLD 的出现引发了芯片设计界的一场革命, 各种新兴的设计理念不断涌现, 推动着整个芯片设计业的迅速发展。

1.2 FPGA 简介

FPGA 是 PLD 的第四代产品, 是在 PAL、GAL、PLD 等可编程器件的基础上进一步发展的产物, 是 ASIC 中集成度最高的一种。FPGA 采用了逻辑单元阵列 (Logic Cell Array, LCA) 这样一个新概念, 内部包括可配置逻辑模块 (Configurable Logic Block, CLB)、输入/输出模块 (Input Output Block, IOB) 和内部连线 (Interconnect) 3 个部分, FPGA 的局部结构如图 1-2 所示。

用户可以对 FPGA 内部的逻辑模块和 I/O 模块进行重新配置, 以实现用户的逻辑。它还具有静态可重复编程和动态可系统重构的特性, 使硬件的功能可以像软件一样通过编程来修改。作为 ASIC 领域中的一种半定制电路, FPGA 既弥补了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。可以毫不夸张地讲, FPGA 能完成任何数字器件的功能,

上至高性能的 CPU，下至简单的 74 电路。

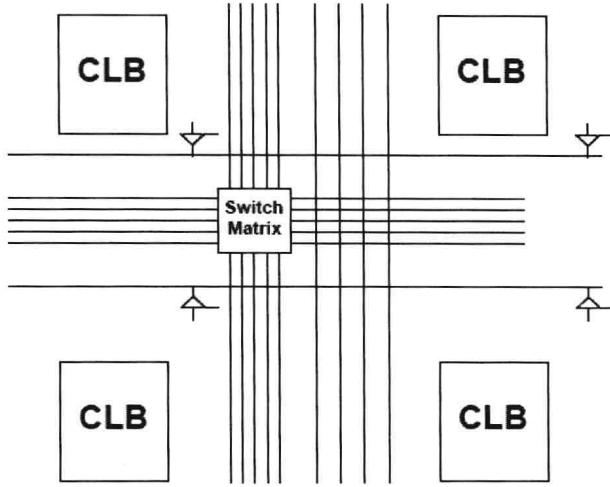


图1-2 FPGA 的局部结构

FPGA 如同一张白纸或一堆积木，工程师可以通过传统的原理图输入法或硬件描述语言自行设计一个数字系统。通过软件仿真，我们可以事先验证设计的正确性。在 PCB 完成以后，还可以利用 FPGA 的在线修改能力随时修改设计而不必改动硬件电路。使用 FPGA 来开发数字电路可以大大缩短设计时间，减少 PCB 面积，提高系统的可靠性。FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的，因此工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式采用不同的编程方式。加电时，FPGA 芯片将 EPROM 中的数据读入片内编程 RAM 中，配置完成后，FPGA 进入工作状态。掉电后，FPGA 恢复成白片，内部逻辑关系消失，因此，FPGA 能够反复使用。FPGA 的编程无需专用的 FPGA 编程器，只需用通用的 EPROM、PROM 编程器即可。修改 FPGA 功能时，只需换一片 EPROM 即可。这样，同一片 FPGA 输入不同的编程数据，可以产生不同的电路功能，因此，FPGA 的使用非常灵活。可以说，FPGA 芯片是小批量系统提高系统集成度和可靠性的最佳选择之一。目前 FPGA 的品种很多，有 Xilinx 公司的 Spartan、Virtex 系列，Lattice 公司的 Lattice XP 系列，Altera 公司的 Cyclone、Stratix 系列等。

1.3 CPLD 简介

CPLD 和 FPGA 一样，是现今非常流行的一种可编程逻辑器件。CPLD 属于粗粒结构的可编程逻辑器件，之所以称作粗粒，是因为 CPLD 逻辑群要比路由数量大得多。相对的，FPGA 属于细粒结构，同 CPLD 的逻辑群相比，FPGA 的基本单元要小很多。CPLD 具有丰富的逻辑资源（即逻辑门与寄存器的比例高）和高度灵活的路由资源。CPLD 最基本的单元称为宏单元，它包含一个寄存器以及类似于 PLD 的多乘积项可编程阵列。宏单元又称逻辑块（Logic Block, LD），以群阵列（Array of Clusters）的形式排列，由水平和垂直路由通道连接起来。这些路由通道把信号送到器件的引脚上或者将信号传进来，并且把 CPLD 内部的逻辑群连接起来，CPLD 的典型结构如图 1-3 所示。CPLD 内置 EEPROM 或 Flash 存储器，支持在编程器上编程和在系统编程两种编程模式，编程方式简单，并且系统掉电后数据

不会丢失。CPLD 丰富的逻辑资源和粗粒度的结构特点，使其在实现大规模组合逻辑设计时在性能上要优于 FPGA。目前 CPLD 的品种很多，有 Xilinx 公司的 XC9500、CoolRunner 系列，Lattice 公司的 ispLSI、MACH 系列，Altera 公司的 F1EX、MAX 系列等。

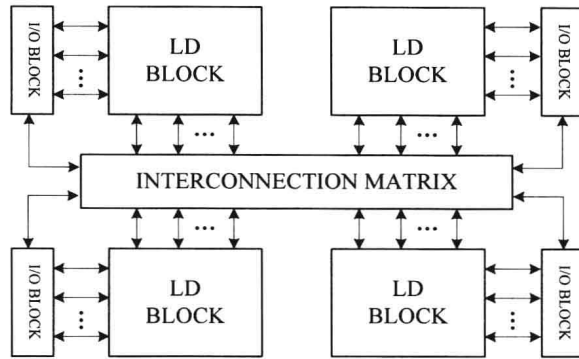


图1-3 CPLD 结构框架

1.4 FPGA/CPLD 的特点

FPGA/CPLD 既继承了 ASIC 的大规模、高集成度、高可靠性的优点，又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点，逐步成为复杂数字硬件电路设计的理想选择。当代 FPGA/CPLD 有以下特点。

- 规模越来越大。随着超大规模集成电路（Very Large Scale IC, VLSI）工艺的不断提高，单一芯片内部可以容纳上百万晶体管，FPGA/CPLD 芯片的规模也越来越大。单片逻辑门数已愈百万，如 Xilinx Virtex-5 系列已经达到数千万门的规模。芯片的规模越大，所能实现的功能就越强，同时更适用于实现片上系统（SOC）。
- 开发过程投资小。FPGA/CPLD 芯片在出厂之前都做过 100% 的测试，而且 FPGA/CPLD 设计灵活，发现错误时可以直接更改设计，降低了投片的风险，节省了许多潜在的开销。所以不但许多复杂的系统使用 FPGA/CPLD 来完成，甚至设计 ASIC 时也要把实现 FPGA/CPLD 功能样机作为必需的步骤。
- FPGA/CPLD 一般可以反复地编程、擦除。在不改变外围电路的情况下，设计不同的片内逻辑就能实现不同的电路功能。所以，用 FPGA/CPLD 试制功能样机能以较快的速度占领市场。甚至在有些领域，因为相关标准协议发展太快，设计 ASIC 可能跟不上技术的更新，只能用 FPGA/CPLD 来完成系统的研制和开发。
- 保密性能好。在某些场合下，根据要求选用防止反向技术的 FPGA/CPLD，能很好地保护系统的安全和设计者的知识产权。
- FPGA/CPLD 开发工具智能化，功能强大。现在，FPGA/CPLD 开发工具种类繁多，智能化程度高，功能强大。应用各种工具可以完成对设计的仿真、优化、约束、在线调试等功能。这些工具易学易用，可以使设计人员更能集中精

力进行电路设计，快速将产品推向市场。

- 新型 FPGA 内嵌 CPU 或 DSP 内核，支持软、硬件协同调试，可以作为片上可编程系统（SOPC）的硬件平台。

1.5 CPLD 与 FPGA 的区别

尽管 FPGA 和 CPLD 都是可编程 ASIC 器件，有很多共同点，但由于 CPLD 和 FPGA 结构上的差异，导致两者具有不同的特点。

- CPLD 更适合完成各种算法和组合逻辑，FPGA 更适合完成时序逻辑。换句话说，FPGA 更适用于触发器丰富的结构，而 CPLD 更适用于触发器有限而乘积项丰富的结构。
- CPLD 的连续式布线结构决定了它的时序延迟是均匀和可预测的，而 FPGA 的分段式布线结构决定了其延迟的不可预测性。
- 在编程上 FPGA 比 CPLD 更具灵活性。CPLD 通过修改具有固定内连电路的逻辑功能来编程，而 FPGA 主要通过改变内部连线的布线来编程；FPGA 可在逻辑门下编程，而 CPLD 在逻辑块下编程。
- FPGA 的集成度比 CPLD 高，具有更复杂的布线结构和逻辑实现。
- CPLD 比 FPGA 使用起来更方便。CPLD 的编程采用 EEPROM 或 FastFlash 技术，无需外部存储器芯片，使用简单，而 FPGA 的编程信息需存放在外部存储器上，使用方法复杂。
- CPLD 的速度比 FPGA 快，并且具有较大的时间可预测性。这是由于 FPGA 是门级编程，并且 CLB 之间采用分布式互联，而 CPLD 是逻辑块级编程，其逻辑块之间的互联是集总式的。
- 在编程方式上，CPLD 主要是基于 EEPROM 或 Flash 存储器编程，编程次数可达 1 万次，优点是系统断电时编程信息也不丢失，分为在编程器上编程和在系统编程两类。FPGA 大部分是基于 SRAM 编程，编程信息在系统断电时丢失，每次上电时，需从器件外部将编程数据重新写入 SRAM 中。其优点是可以在编程任意次，可在工作中快速编程，从而实现板级和系统级的动态配置。

1.6 Xilinx 简介

1.6.1 Xilinx 公司概况

Xilinx 的中文名为赛灵思，成立于 1984 年，是可编程逻辑解决方案领域的领先者。据 iSuppli 的统计数据，2007 年它拥有世界 51% 以上的 PLD 市场份额，超过所有竞争对手占有率的总和。Xilinx 在全球有 20000 多个客户和 3500 多名员工，是首家建立无工厂生产模式的半导体公司。它将除产品设计、营销和技术支持以外的所有工作均外包出去。如今，Xilinx 在全球设有约 700 家无工厂半导体公司。Xilinx 通过不断地应用尖端技术来巩固它的地位，它是首家采用 180nm、150nm、130nm、90nm 和 65nm 工艺技术的企业，目前提供

约占世界 90% 的高端 65nm FPGA 产品。Xilinx 解决方案在多个领域实现了世界上具有创新意义的应用，如航天和军用、汽车、广播、通信、消费类和工业、科技和医疗（ISM）等。

1.6.2 Xilinx FPGA/CPLD 器件

Xilinx 提供了 4 个系列的 FPGA/CPLD 产品，如图 1-4 所示。Virtex-5 系列面向高端的 FPGA 设计和应用，而 Spartan-3E 则是低成本 FPGA 设计的最佳选择；在 CPLD 产品方面，CoolRunner-II 系列适用于高复杂度、低功耗的组合逻辑电路设计，而 XC9500XL 系列产品适用于更低功耗的设计需求。在后续的章节中，我们将对 Xilinx 各系列产品做更为详细的介绍，为用户选择合适的 FPGA/CPLD 器件提供参考。

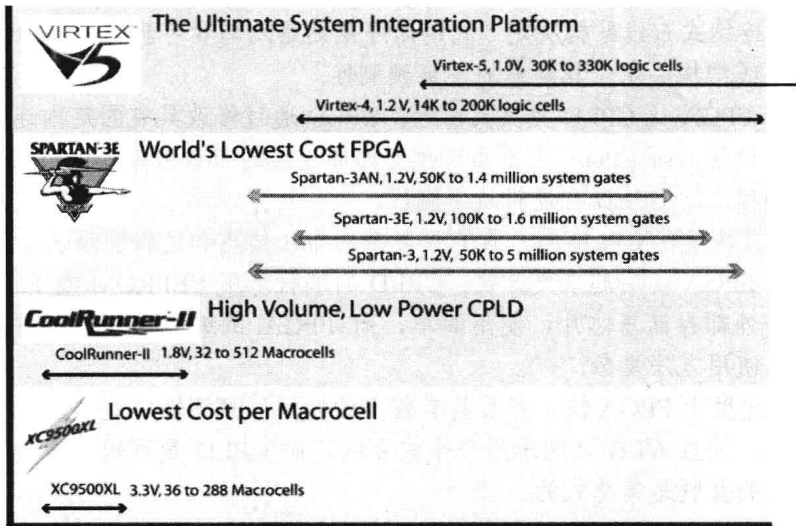


图1-4 Xilinx 器件一览

一、主流 Xilinx CPLD 产品

- XC9500 系列：Flash 工艺 PLD，属于低成本 CPLD 产品，主要面向高速、低功耗的设计，根据不同的供电电压有以下产品可供用户选择，如表 1-1 所示。

表 1-1 XC9500 系列

5V	3.3V	2.5V	系统门数	宏单元	功耗/宏单元 (mW)
XC9536	XC9536XL	XC9536XV	800	36	90
XC9572	XC9572XL	XC9572XV	1600	72	90
XC95144	XC95144XL	XC95144XV	3200	144	90
XC95288	XC95288XL	XC95288XV	6400	288	90

- CoolRunner-II 系列：1.8V 低功耗 PLD 产品，特点是静态功耗很低，待机功耗只有 $28.8\mu\text{W}$ ，工作频率却可高达 233MHz，拥有全球最小的 CPLD 封装。其性能指标优于 XC9500，主要用于电池供电系统，是便携式电子产品设计的首选之一，主要产品如表 1-2 所示。

表 1-2 CoolRunner-II 系列

1.8V	系统门数	宏单元	功耗/宏单元 (mW)
XC2C32	750	32	40
XC2C64	1500	64	40
XC2C128	3000	128	40
XC2C256	6000	256	40
XC2C384	9000	384	40
XC2C512	12000	512	40

二、主流 Xilinx FPGA 产品

Xilinx 的主流 FPGA 分为两大类，一类侧重于低成本应用，其容量中等，性能可以满足一般的逻辑设计要求，如 Spartan 系列；还有一类侧重于高性能应用，其容量大，性能可以满足各类高端应用，如 Virtex 系列。用户可以根据自己的实际应用需求进行选择，但在性能可以满足的情况下，应优先选择低成本器件。

1. 面向低成本的 Spartan-3 系列 FPGA

Spartan-3 是新一代 FPGA 产品，其结构与 Virtex II 类似，是全球第一款 90nm 工艺 FPGA，1.2V 内核，于 2003 年开始推出。Spartan-3 系列成本低廉，总体性能指标不是很优秀，适合低成本应用场合，是 Xilinx 公司未来几年在低端 FPGA 市场上的主要产品。该产品有 3 个主流应用平台：Spartan-3 平台、Spartan-3E 平台和 Spartan-3A 平台。

- Spartan-3 平台：它针对那些高逻辑密度和引脚数较多的应用，特别适用于高密度集成的数据处理应用，主要产品如表 1-3 所示。

表 1-3 Spartan-3 系列

1.2v	Slices	18x18 乘法器	RAM 块	备注
XC3S50	768	4	4	每个 RAM 块的容量是 18Kbit
XC3S200	1920	12	12	
XC3S400	3584	16	16	
XC3S1000	7680	24	24	
XC3S1500	13312	32	32	
XC3S2000	20480	40	40	
XC3S4000	27648	96	96	
XC3S5000	33280	104	104	

- Spartan-3E 平台：它是 Spartan-3 的加强版，针对逻辑进行了优化。该平台针对那些逻辑密度比 I/O 数更重要的应用，特别适用于逻辑集成、DSP 协处理器和嵌入式控制这些需要进行大量处理和窄接口或少量接口的应用。其主要产品如表 1-4 所示。