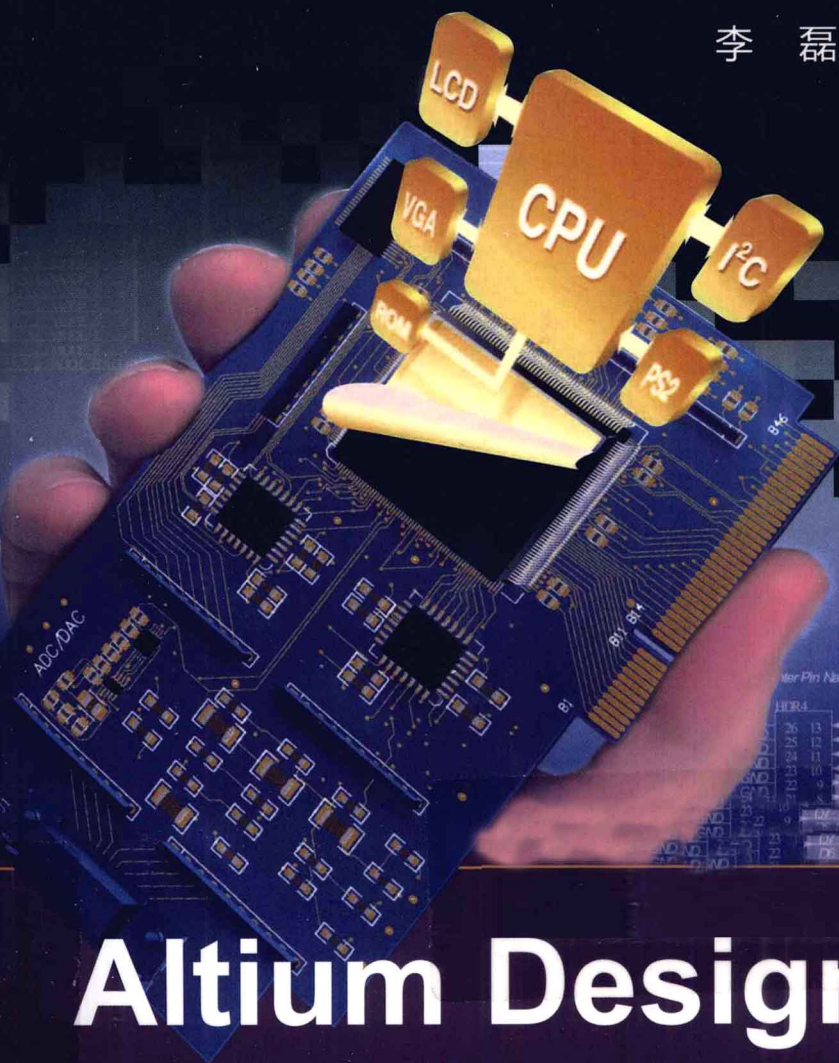


超越Protel 创新电子设计丛书

Altium

李 磊 梁志明 华文龙 编著



Altium Designer EDA

设计与实践



北京航空航天大学出版社
BEIHANG UNIVERSITY PRESS

超越 Protel 创新电子设计丛书

Altium Designer EDA 设计与实践

李 磊 梁志明 华文龙 编著

北京航空航天大学出版社

内 容 简 介

本书详细介绍 Altium Designer EDA 系统设计功能和操作方法。全面介绍了 NanoBoard 系列平台的特点和功能、Altium Designer 中 EDA 设计流程、Altium Designer EDA 系统板级调试以及 IP 软核设计方法、8 位软核处理器系统的设计流程、32 位软核处理器系统的设计流程、OpenBus 系统设计以及 Altium Designer 和第三方平台的调试和下载方法。

本书适合作为各大中专院校相关专业和培训班的教材,也可以作为电子、电气、自动化等相关专业人员学习和参考用书。Altium 公司对本书内容进行了审核。本书由 Altium 公司授权出版。

图书在版编目(CIP)数据

Altium Designer EDA 设计与实践 / 李磊,梁志明,
华文龙编著. — 北京:北京航空航天大学出版社,
2011.8

ISBN 978-7-5124-0519-6

I. ①A… II. ①李…②梁…③华… III. ①印刷电
路—计算机辅助设计—应用软件,Altium Designer EDA
IV. ①TN410.2

中国版本图书馆 CIP 数据核字(2011)第 139347 号

版权所有,侵权必究。

Altium Designer EDA 设计与实践

李 磊 梁志明 华文龙 编著
责任编辑 苗长江

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316936

涿州市新华印刷有限公司印装 各地书店经销

*

开本:787 mm×960 mm 1/16 印张:16.25 字数:364 千字

2011 年 8 月第 1 版 2011 年 8 月第 1 次印刷 印数:4 000 册

ISBN 978-7-5124-0519-6 定价:32.00 元



若本书有倒页、脱页、缺页等印装质量问题,请与本社发行部联系调换。联系电话:(010)82317024

前言

随着电子工业和微电子设计技术与工艺的飞速发展,FPGA 因其设计的灵活性、可重用性以及开发速度快、周期短等特点,在现代电路系统设计中得到了广泛运用。能够使用 FPGA 进行应用系统的设计已渐渐成为电子信息专业学生必须掌握的技能之一。Altium 公司作为全球最知名的电子设计软件生产企业,在电子设计领域和电子设计工具方面一直引导最新潮流。其新一代电子设计软件——Altium Designer 不仅延续了 Protel 强大的 PCB 设计功能,同时也提供了完善且高效的 EDA 开发功能。Altium Designer 创造性地将多类设计进行了融合,将不同企业的 FPGA 开发环境进行了统一,将 PCB、EDA 系统设计、IP 软核工程设计操作流程进行了统一,提高了电子系统设计的效率。

Altium Designer EDA 设计功能高效且操作简单,包括了:

1. 多种设计输入

Altium Designer 提供了硬件语言输入和原理图输入两种输入方式。硬件语言不仅支持 VHDL 和 VerilogHDL,同时也支持最新的 Hardware C 方式输入。在设计结构上,Altium Designer 支持分模块、多层次、硬件描述语言/原理图的混合输入方式,以满足不同工程设计的需求。

2. 逻辑仿真功能

Altium Designer 提供了高效的逻辑仿真功能——TestBench,帮助用户对 EDA 设计进行逻辑仿真。灵活的仿真设置帮助用户快速便捷地得到逻辑仿真结果。

3. 可视化的工程编译操作功能

Altium Designer 提供了便捷的工程编译操作。用户可通过可视化的工程编译操作功能对工程在编译、综合、建立和下载的每一个过程和环节进行控制和独立操作。Altium Designer 在每个工程编译操作过程中可快速便捷地生成报告,详细地表述过程中的信息。

4. NanoBoard 平台和第三方平台板级调试

Altium Designer 提供了强大的板级调试功能,支持包括 NanoBoard 系列平台和任意第三方 FPGA 开发平台的连接。可视化板级操作提供了下载设置和 NanoBoard 系列平台的时钟输入、启动设置等功能;可视化在线虚拟仪器操作,具备了高效的在线交互调试功能,能够帮助

用户高效地完成板级调试。

5. IP 软核设计功能

Altium Designer 提供了完整的 IP 软核设计功能,包括了 IP 软核的设计输入、验证、综合和发布,进一步帮助用户提高 EDA 系统设计效率。

6. 多元化的 SOPC 设计功能

Altium Designer 在软核处理器的类型上提供了从 8 位到 32 位嵌入式软核 SOPC 设计输入,在设计方式上提供了传统的原理图输入方式和全新的 OpenBus 输入方式,为用户提供了多元化的 SOPC 系统设计选择,使得用户可以选择最恰当的设计方式,提高用户的设计效率。

为了让用户更好地应用 Altium Designer 展开 EDA 系统设计工作,在 Altium 公司的帮助下,本书以最简洁的设计案例详细介绍了每个功能的使用方法和操作流程。

本书由李磊、梁志明、华文龙编著。特别感谢徐向民教授、邢晓芬老师、邓洪波老师为本书提出的宝贵意见。本书中的资料来自于 Altium 公司,并在编写中得到了 Altium 公司的鼎力支持,在此一并表示感谢。

由于编者本身水平有限,如果书中存在错误和不妥之处,敬请读者批评指正。

作 者

eelilei@scut.edu.cn

2011 年 5 月

目 录

第 1 章 Altium Designer 平台与 EDA 设计 .. 1	
1.1 Altium Designer 与电子设计的发展 .. 1	
1.1.1 Altium Designer 平台性能 .. 2	
1.1.2 多用户的协同开发 .. 2	
1.2 EDA 设计与 Altium Designer 融合 .. 3	
1.2.1 丰富的 IP 库资源 .. 5	
1.2.2 可视化的工程操作 .. 5	
1.2.3 强大的 SOPC 设计能力 .. 5	
1.2.4 简单而实用 IP 设计功能 .. 9	
1.2.5 便捷的虚拟仪器调试 .. 10	
1.2.6 高效的 TestBench 设计功能 .. 11	
1.3 可重构的硬件开发平台和突破传统设计 流程 .. 11	
1.3.1 可重构的硬件平台 .. 11	
1.3.2 统一的开发环境 .. 13	
1.3.3 高效的板级在线调试 .. 14	
1.4 丰富的在线网络资源 .. 15	
1.5 Altium Designer 工程层次结构 .. 16	
第 2 章 电子系统设计的创新验证平台 .. 18	
2.1 NBII .. 18	
2.1.1 NBII 介绍 .. 18	
2.1.2 NBII 的主要功能 .. 18	
2.1.3 NBII 的结构特点 .. 19	
2.1.4 NBII 板载资源 .. 20	
2.2 NB3000 系列 .. 21	
2.2.1 NB3000 介绍 .. 21	
2.2.2 NB3000 的系统结构 .. 22	
2.2.3 NB3000 的系统资源 .. 22	
2.2.4 NB3000 的外围接口 .. 27	
2.3 深入 NB3000 .. 30	
2.3.1 NB3000 快速构建电子系统设计 原型 .. 30	
2.3.2 音乐霹雳彩灯设计 .. 31	
第 3 章 Altium Designer FPGA 系统设计 .. 50	
3.1 EDA 设计流程简介 .. 50	
3.2 Altium Designer EDA 设计平台的 特点 .. 53	
3.3 Altium Designer EDA 开发流程介绍 .. 56	
3.3.1 新建 FPGA 工程 .. 56	
3.3.2 HDL 方法设计子模块驱动 .. 57	
3.4 Altium Designer 逻辑功能仿真 .. 61	
3.4.1 仿真的类型 .. 61	
3.4.2 Altium Designer TestBench 基本 结构 .. 61	
3.4.3 Altium Designer TestBench 操作 步骤 .. 63	
3.4.4 测试信号的产生 .. 63	
3.4.5 初次启动 TestBench 仿真 .. 65	
3.5 Altium Designer 原理图输入法设计 .. 67	
3.5.1 原理图分层设计流程与图标创建 .. 67	
3.5.2 原理图模块连接设计 .. 73	
3.5.3 原理图设计逻辑仿真 .. 78	
3.5.4 原理图调用器件库内元件设计 .. 82	
3.6 Altium Designer 常用操作介绍 .. 85	

3.6.1 原理图 IP 库介绍	85	5.2.5 调试嵌入式应用	137
3.6.2 原理图放置器件	86	5.3 Altium Designer 8 位嵌入式 FPGA 系统 设计流程	139
3.6.3 原理图信号的连接	87	5.3.1 Altium Designer 图形化设计流程 控制	139
3.6.4 器件图标序号的快速添加	88	5.3.2 基于 Nexus 协议的 JTAG 软链	151
3.6.5 电源与地的作用	88	5.3.3 嵌入式工程的在线调试	155
第 4 章 FPGA 工程的系统验证与 IP 封装 方法	89	第 6 章 基于 TSK3000A 的 32 位片上 嵌入式系统设计	160
4.1 FPGA 工程的系统验证简介	89	6.1 TSK3000A 32 位软核处理器的特点	160
4.2 FPGA 工程下载的基本流程	90	6.1.1 软核处理器的应用优势	161
4.3 NanoBoard 开发平台与 Altium Designer 的操作	90	6.1.2 TSK3000A 处理器的特性	162
4.3.1 NanoBoard 与 Altium Designer 的连接	90	6.2 TSK3000A 32 位处理器的介绍	162
4.3.2 Altium Designer 与 NanoBoard 的可视化操作	91	6.2.1 引脚介绍	163
4.4 建立 FPGA 工程约束条件	94	6.2.2 处理器配置	165
4.4.1 约束文件语法定义	94	6.2.3 存储器和 IO 管理	167
4.4.2 约束文件的输入与添加	98	6.2.4 存储器映射定义	169
4.5 Altium Designer 编译、综合与下载	99	6.2.5 存储器和外设 IO 访问	172
4.6 采用标准的 Nano 平台完成下载	103	6.2.6 通用寄存器	174
4.7 虚拟仪器的使用	106	6.2.7 特殊功能寄存器	175
4.8 核心工程设计与 IP 封装设计	116	6.3 中断和异常	180
4.8.1 设计与发布 IP 器件	116	6.3.1 中断	181
4.8.2 验证 IP 器件	121	6.3.2 软件异常	182
第 5 章 Altium Designer 片上嵌入式系统 设计	124	6.3.3 中断模式	182
5.1 8 位处理器 TSK51 内核	124	6.3.4 从中断返回	184
5.1.1 TSK51 系列微处理器	124	6.4 可编程间隔定时器	185
5.1.2 TSK51x 引脚定义	125	6.5 Wishbone 总线通信	186
5.1.3 TSK51x 存储器管理	128	6.5.1 Wishbone 器件的读写	186
5.2 基于 TSK51 的嵌入式软件开发环境	131	6.5.2 Wishbone 时序	188
5.2.1 嵌入式软件编译环境	131	6.5.3 系统互连专用器件	189
5.2.2 创建一个嵌入式工程	133	6.6 基于 TSK3000A 的 FPGA 系统设计	189
5.2.3 设置嵌入式工程选项	135	6.6.1 基于 TSK3000A 的硬件系统 搭建	189
5.2.4 构建嵌入式应用	136	6.6.2 基于 TSK3000A 的嵌入式编程	202
		6.6.3 工程的构建以及下载运行	205

第 7 章 软件平台构建器设计技术	208	连接	233
7.1 OpenBus 总线系统	208	8.1.3 NanoBoard 与第三方开发板	
7.1.1 OpenBus 总线系统简介	208	的连接	233
7.1.2 OpenBus 总线系统基本原理	209	8.2 Altium Designer JTAG 扫描链	234
7.1.3 OpenBus 系统设计基础	210	8.2.1 从 JTAG 的发展谈起	234
7.2 采用 OpenBus 总线构建 TSK3000A		8.2.2 JTAG 扫描的级联	237
处理器系统	213	8.2.3 Altium Designer JTAG 的类型	237
7.3 软件平台构建器的基本原理	222	8.2.4 从 Altium Designer JTAG 的连接	
7.4 采用软件平台构建器进行嵌入式软件		方式谈起	240
设计	223	8.2.5 Altium Designer JTAG 扫描链	
7.5 工程的构建以及下载运行	230	特点	240
第 8 章 Altium Designer 与第三方平台		8.3 Altium Designer 第三方开发板工程	
的连接	232	移植	241
8.1 Altium Designer 与第三方开发板		8.3.1 从最简单的 Simple_Counter 工程	
的连接	232	移植开始	244
8.1.1 传统的并口下载调试电缆的		8.3.2 将工程下载至第三方开发平台的	
连接	232	FPGA 配置 Flash 中	247
8.1.2 Altium USB JTAG 适配器的		8.3.3 运用“软”链调试设计	248

第 1 章

Altium Designer 平台与 EDA 设计

概 要：

这章内容是介绍 Altium Designer 平台的 EDA 设计功能,用户通过本章的学习可以了解 Altium Designer 有关 EDA 的设计知识。

从 Protel DXP 开始,Altium 公司已经开始将 EDA 设计功能融入到了 DXP 以及后续的开发平台中。对比于 Protel 99,Altium Designer 针对 EDA 设计扩展了包括 FPGA、Embedded、Core Project 工程,同时也首次将不同 FPGA 厂商的 EDA 设计环境进行了统一。

1.1 Altium Designer 与电子设计的发展

通常人们会将电子设计等同于设计电路印制板——一个基于特定产品内的电子元件集合。因此,设计 PCB 工具和方法的演变取决于电子元件应用技术的发展进程。从分立式元件到集成电路元件,再从微处理器元件到硬件可编程元件,元件设计技术越来越向高度集成、微型封装、高时钟频率、可配置等方向发展;系统设计更多的从硬件向软件过渡,过程如图 1-1 所示。

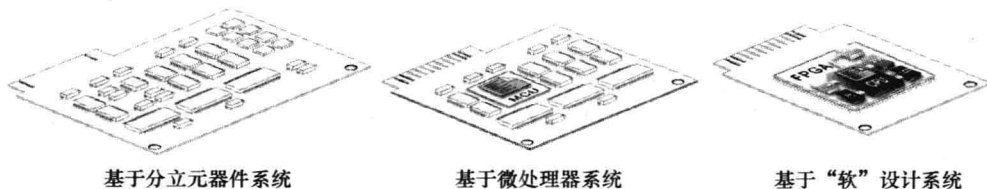


图 1-1 板级系统中元器件技术的演变

纵观电子系统设计的发展,EDA 及软件开发工具成为推动技术发展的关键因素。与此同时,基于微处理器的软件设计和面向大规模可编程器件——CPLD 和 FPGA 的广泛应用,正在不断加速电子设计技术从硬件电路向软设计过渡。作为全球电子设计自动化技术的领导者,Altium 公司从满足主流电子设计工程师研发需求的角度,跟踪最新的电子设计技术发展

趋势,不断推陈出新。回顾 Altium 产品更新历程,首个运行于微软 Windows 视窗环境的 EDA 工具——Protel 3. x,首个板级电路设计系统——Protel 99,首个一体化电子产品设计系统——Altium Designer 6,都验证了 Altium 一贯为全球主流电子设计工程师提供最佳的电子自动化设计解决方案的产品研发理念。

Altium 最新版本的一体化电子产品设计解决方案——Altium Designer,将帮助全球主流电子设计工程师全面认识电子自动化设计技术发展的最新趋势和电子产品更可靠、更高效、更安全的设计流程。

1.1.1 Altium Designer 平台性能

Altium Designer 性能主要体现在以下几个部分:

原理图部分:支持多层次、多通道原理图输入,具有强大的自动标号功能,具有全局编辑功能,能进行错误类型设置和出错查询。具有灵活的拷贝、粘贴功能。

PCB 部分:提供了完整的由规则驱动的 PCB 设计环境,Situs™ 拓扑自动布线系统,支持高速设计,具有成熟的布线后信号完整性分析工具,支持差分对布线、多线或总线同时布线,支持 BGA 封装器件的逃逸式扇出功能,支持汉字输入功能,支持任意可配置引脚定义器件的网络优化功能。具有 PCB 板 3D 显示和输出功能。

FPGA 部分:提供了完善的 EDA 设计功能,支持包括 VHDL、Verilog HDL、Hardware C 以及原理图图形法等设计输入方式,具备高性能的 TestBench 仿真和 IP 设计、发布功能。同时 Altium Designer 具备丰富的虚拟仪器 IP 库、性能卓越的 JTAG 软件扫描链和便捷的可视化操作,支持包括虚拟仪器、嵌入式软件等在线调试功能;采用统一的设计开发环境,实现了工程在不同 FPGA 平台之间的无缝移植。

嵌入式软件部分:Altium Designer 提供了 TASKING 工具集,支持包括汇编、C 语言、C++ 语言等方式的设计输入,支持 TSK51/52、TSK165、TSK3000、PowerPC、MicroBlaze、NiosII 和 ARM 类型处理器,支持断点在线调试、变量和存储器查看、结果查看等功能。为 OpenBus 设计方式提供了件平台(SwPlatform)工具,实现了 NanoBoard 平台外设接口 API 的抽象。

Altium Designer 真正实现了电子产品研发过程中 PCB 与 FPGA 设计数据间的协同处理,并通过图形化的 FPGA 设计系统控制流程,提高了可编程逻辑电路设计的集成化,包括编译、综合、构建、下载功能。

1.1.2 多用户的协同开发

Altium Designer 采用工程包文件管理模式。如一个工程的原理图可以单独完成,再分别导入到工程包中,进行文件的集中管理。在含有 FPGA 数字电路设计的 PCB 工程中,FPGA 设计定义的引脚约束信息可以通过 Altium Designer 中 FPGA Workspace Map 管理功能,轻松实现与 PCB 设计对于器件引脚的网络命名之间的双向数据同步。各类型工程协同设计界

面如图 1-2 所示。

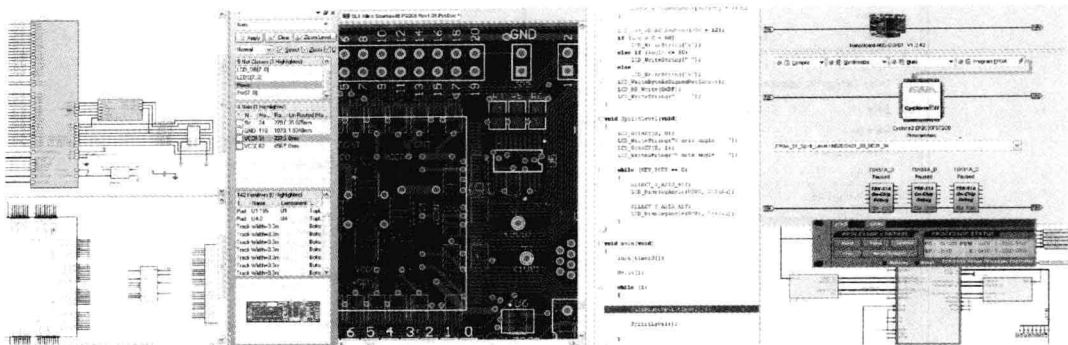


图 1-2 PCB 与 FPGA 工程间的多用户协同设计

1.2 EDA 设计与 Altium Designer 融合

Altium Designer 提供了高层次的 FPGA 设计输入方式。传统的硬件工程师、软件工程师和系统工程师都可以用他们熟悉的设计方法快速地实现 FPGA 设计输入。硬件工程师采用的原理图和 HDL 语言混合方式实现设计输入,软件工程师和系统工程师采用更高层次的 OpenBus 方式实现设计输入。图 1-3 至图 1-6 显示了 EDA 与 Altium Designer 的多元化的 EDA 设计功能。

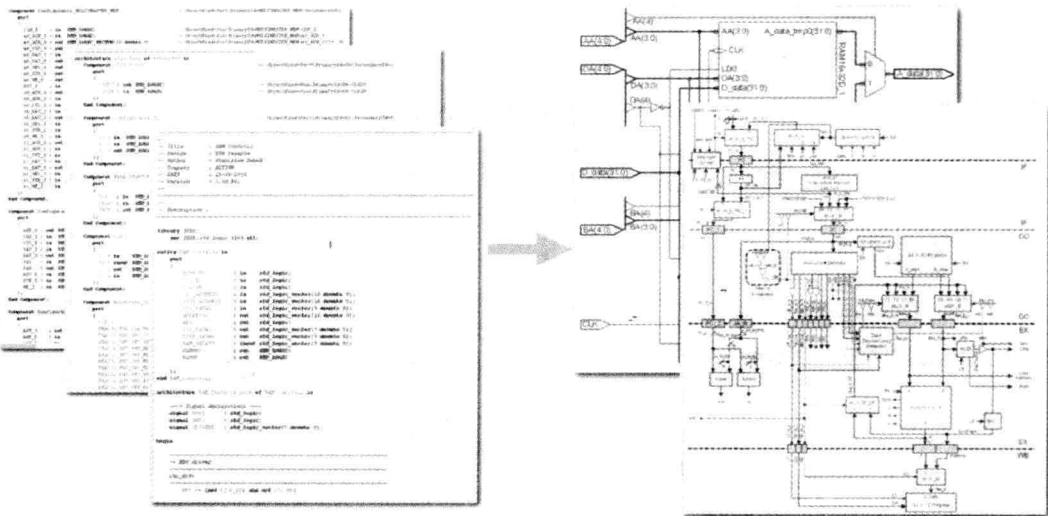


图 1-3 HDL 与 RTL 对应

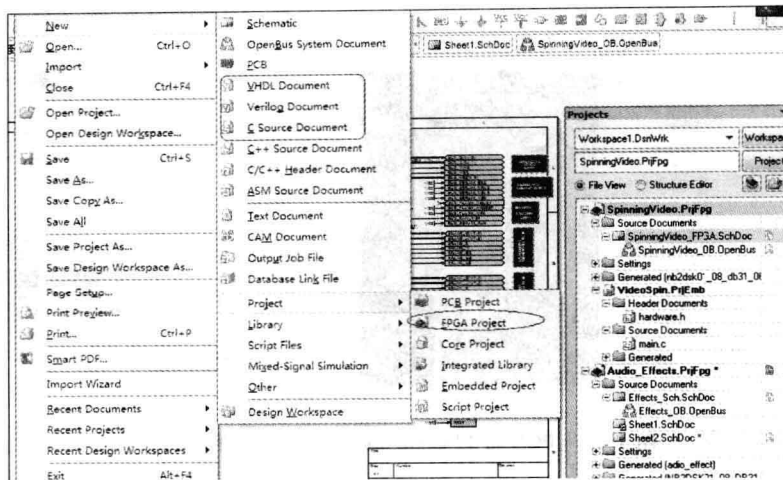


图 1-4 Altium Designer EDA 工程选项

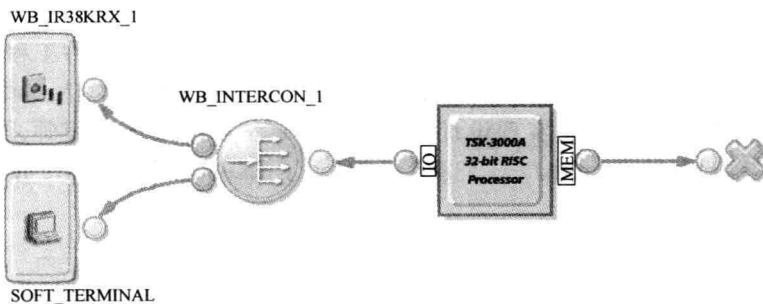


图 1-5 OpenBus 输入方式

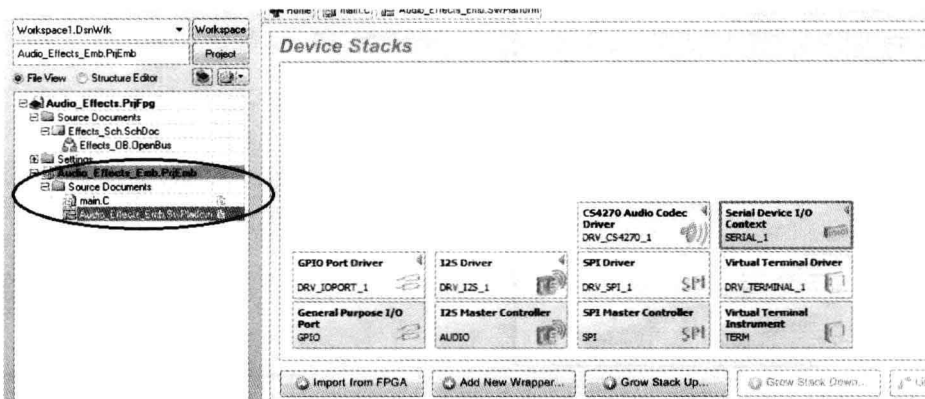


图 1-6 嵌入式软件工程的设计

1.2.1 丰富的 IP 库资源

Altium Designer 提供超过 10 000 个已经验证的 IP 核,而且提供了第三方 IP 核的导入工具。其中 OpenBus 方式 IP 库如图 1-7 所示。

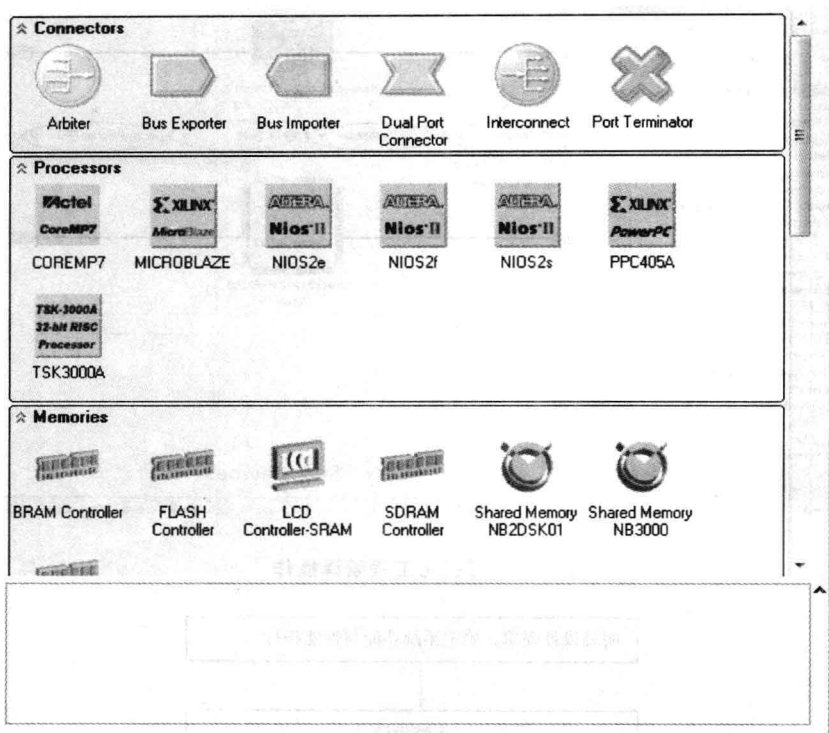


图 1-7 OpenBus IP 库

1.2.2 可视化的工程操作

Altium Designer 提供了 FPGA 设计编译、综合、建立和下载的可视化操作界面,用户可以很方便地执行每个步骤以及得到每个步骤的信息。可视化下载界面如图 1-8 所示。

1.2.3 强大的 SOPC 设计能力

Altium 公司在业界率先提出了以人工智能设计为核心的“软”设计概念,即大规模可编程数字逻辑系统(FPGA)设计和可编程片上嵌入式软件(SoPC)开发。Altium Designer 作为业内首个集原理图、PCB、FPGA 和嵌入式软件设计流程为一体化的电子产品开发平台,通过通用的系统逻辑设计方法,结合虚拟仪器的系统调试手段,以及完整的“软”系统设计开发链,满足了电子设计

工程师当前和未来对电子设计自动化技术的要求。其中 EDA 工程设计流程如图 1-9 所示。

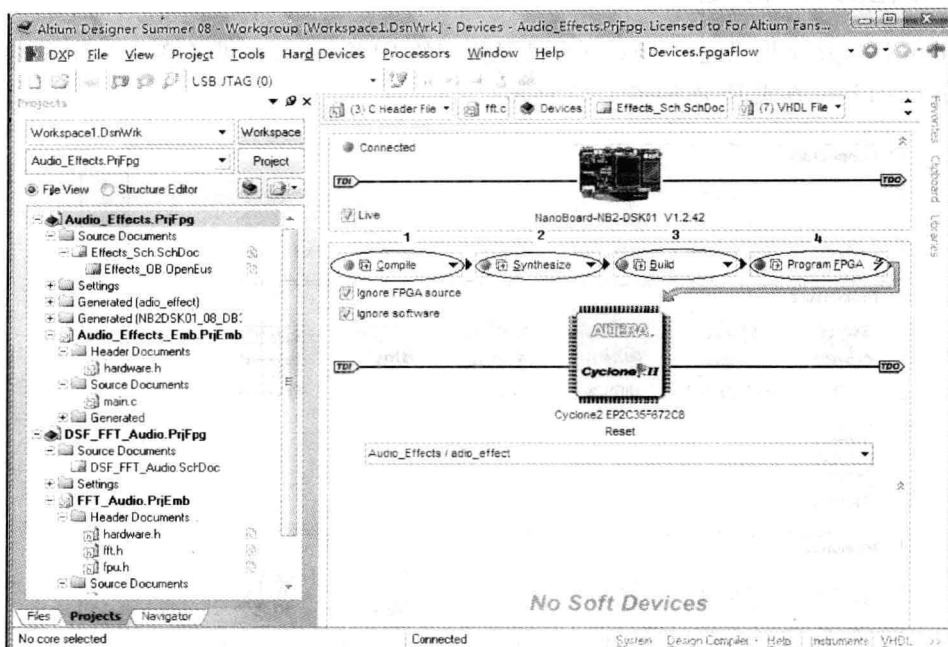


图 1-8 可视化工程编译操作

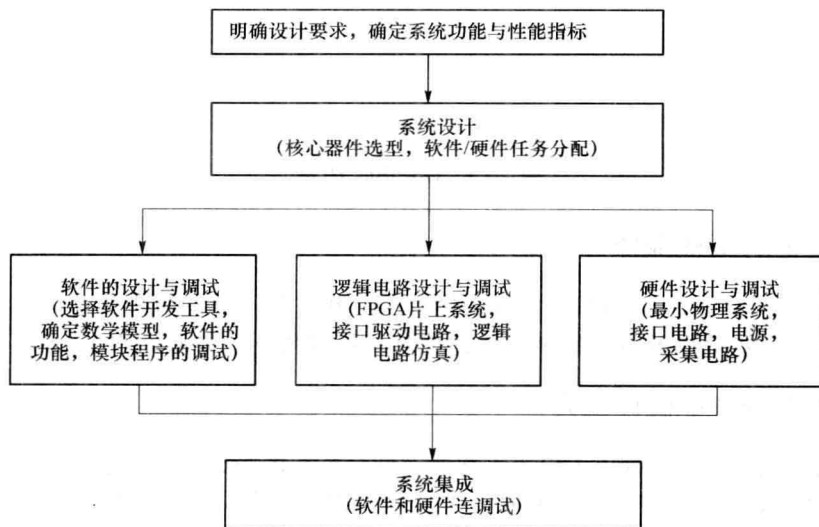


图 1-9 Altium Designer 完善的 SOPC 设计流程示意图

Altium Designer 全面集成了 C 或汇编语言嵌入式软件设计和调试环境,并且在嵌入式软件代码的设计和调试功能中运用了 Altium 公司 TASKING 工具中的 Viper 技术。

Altium Designer 支持包括 TSK51x/TSK52x、TSK80x、TSK165x、PowerPC、TSK3000、NiosII、MicroBlaze 和 ARM 在内的从 8 位到 32 位总线宽度的软处理器内核和分立式处理器上的代码编辑、编译、汇编、链接、跟踪和优化功能。Viper 技术还实现了嵌入式代码在各种 32 位处理器之间的无缝移植。另外,新的软件架构不仅有效地隔离了应用程序与处理器、外围接口的联系,实现了软件代码的无缝移植,而且中间层的软件由 Altium Designer 软件实现,软件工程师可以把他们的全部精力放在集中体现产品创新设计的应用程序上。Altium Designer 完整的开发工具链结构如图 1-10 所示,表 1-1 列出了 Altium Designer 支持的处理器软核。

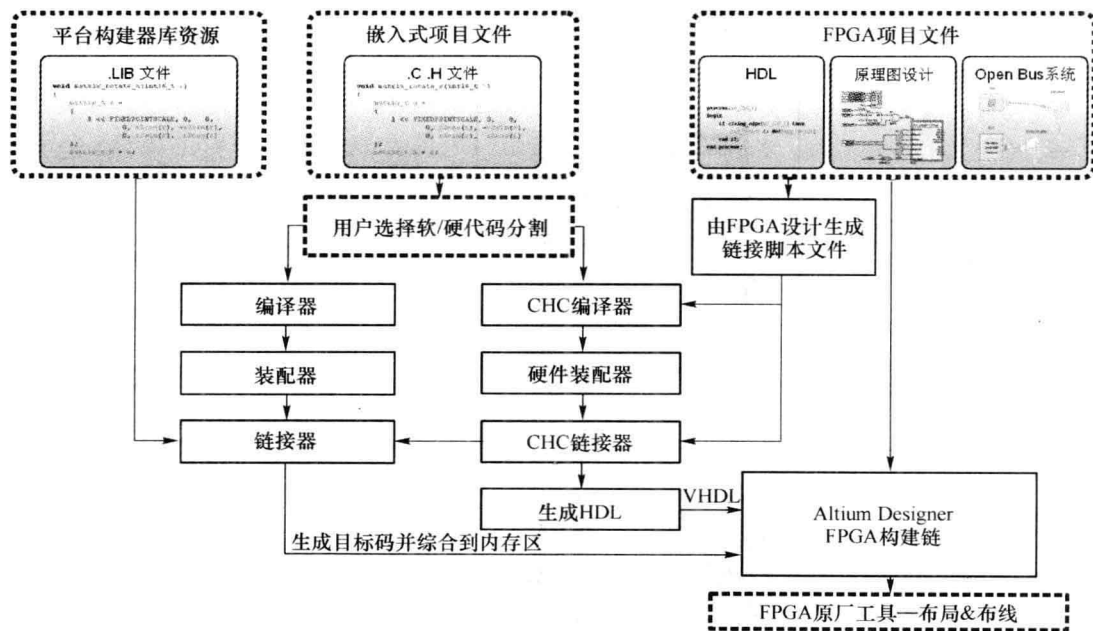


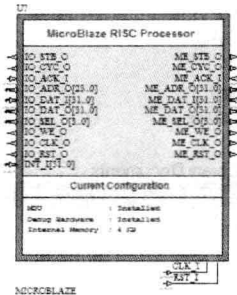
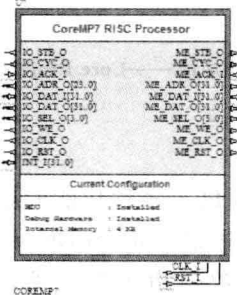
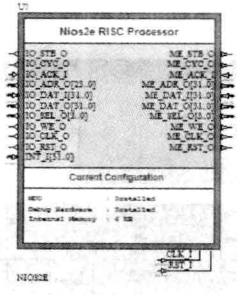
图 1-10 完整的嵌入式系统开发工具链

此外,Altium Designer 支持所有 32 位处理器的 C-H 编译器,能够帮助软件工程师实现算法的输入便捷性和实现高效性的有机结合。

表 1-1 Altium Designer 支持的处理器软核

处理器名称	图 标	说 明
TSK51/52		基于 8051 的 8 位处理器软核
TSK3000		基于 MIPS 结构的 32 位处理器软核
PPC450		基于 PowerPC 结构的 32 位 Xilinx 处理器接口

续表 1-1

处理器名称	图 标	说 明
MICROBLAZE		基于 RISC 结构的 32 位处理器软核接口
COREMP7		基于 ARM7 结构的 32 位处理器软核接口
NIOSII		基于 RISC 结构的 32 位 Altera 处理器软核接口

1.2.4 简单而实用 IP 设计功能

Altium Designer 提供了 IP 设计功能,用户可以通过该功能完成自己 IP 的设计和发布。由于 Altium Designer 操作统一,完成 IP 设计的流程几乎和 FPGA 工程设计流程一致。IP 设计工程层次结构如图 1-11 所示。