

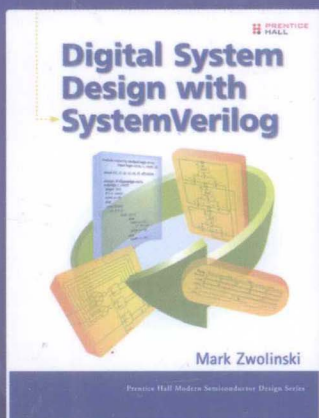
国外电子与通信教材系列

PEARSON

# System Verilog

# 数字系统设计

Digital System Design with SystemVerilog



[英] Mark Zwolinski 著  
夏宇闻 译



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

国外电子与通信教材系列

# System Verilog 数字系统设计

Digital System Design with SystemVerilog

[英] Mark Zwolinski 著

夏宇闻 译

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 简 介

SystemVerilog 是 21 世纪电子设计师必须掌握的最重要的语言之一,因为它是设计/验证现代复杂电子系统核心芯片的至关重要的手段。本书讲授用 SystemVerilog 语言设计/验证数字系统的基本概念和具体方法。在介绍基本语法的基础上,阐述了如何使用 RTL 级的 SystemVerilog 构成可综合的数字电路/组件/系统,以及如何使用行为级的 SystemVerilog 搭建测试平台对设计进行验证。

本书针对的读者群是电子、自动化和计算机工程专业的本科生与研究生,本书也适合已经掌握 Verilog 和 VHDL 硬件描述语言的工程师自学新一代的数字系统设计/验证语言。

Authorized translation from the English language edition, entitled DIGITAL SYSTEM DESIGN WITH SYSTEM-VERILOG, 9780137045792 by Mark Zwolinski, published by Pearson Education, Inc, publishing as Prentice Hall, Copyright©2010 Pearson Education, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

CHINESE SIMPLIFIED language edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY Copyright©2011.

本书中文简体字版专有出版权由 Pearson Education(培生教育出版集团)授予电子工业出版社。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

本书贴有 Pearson Education(培生教育出版集团)激光防伪标签,无标签者不得销售。

版权贸易合同登记号 图字:01-2010-5922

### 图书在版编目(CIP)数据

SystemVerilog 数字系统设计/(英)茨沃林斯基(Zwolinski, M.)著;夏宇闻译. —北京:电子工业出版社,2011.2

书名原文: Digital System Design with SystemVerilog

国外电子与通信教材系列

ISBN 978-7-121-12456-3

I. ①S… II. ①茨… ②夏… III. ①硬件描述语言, SystemVerilog - 程序设计 - 高等学校 - 教材  
IV. ①TP312

中国版本图书馆 CIP 数据核字(2011)第 236426 号

策划编辑:马 岚

责任编辑:冯小贝

印 刷:

装 订:北京京科印刷有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787 × 1092 1/16 印张:17.5 字数:448 千字

印 次:2011 年 2 月第 1 次印刷

定 价:39.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

## 序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。


我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授  
“国外电子与通信教材系列”出版委员会主任

## 出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择 and 自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过与作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

## 教材出版委员会

主任	吴佑寿	中国工程院院士、清华大学教授
副主任	林金桐	北京邮电大学校长、教授、博士生导师
	杨千里	总参通信部副部长，中国电子学会会士、副理事长 中国通信学会常务理事、博士生导师
委员	林孝康	清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长 教育部电子信息科学与工程类专业教学指导分委员会委员 清华大学深圳研究生院副院长
	徐安士	北京大学教授、博士生导师、电子学系主任
	樊昌信	西安电子科技大学教授、博士生导师 中国通信学会理事、IEEE 会士
	程时昕	东南大学教授、博士生导师
	郁道银	天津大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会委员
	阮秋琦	北京交通大学教授、博士生导师 计算机与信息技术学院院长、信息科学研究所所长 国务院学位委员会学科评议组成员
	张晓林	北京航空航天大学教授、博士生导师、电子信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员 中国电子学会常务理事
	郑宝玉	南京邮电大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	朱世华	西安交通大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	彭启琮	电子科技大学教授、博士生导师
	毛军发	上海交通大学教授、博士生导师、电子信息与电气工程学院副院长 教育部电子信息与电气学科教学指导委员会委员
	赵尔沅	北京邮电大学教授、《中国邮电高校学报（英文版）》编委会主任
	钟允若	原邮电科学研究院副院长、总工程师
	刘 彩	中国通信学会副理事长兼秘书长，教授级高工 信息产业部通信科技委副主任
	杜振民	电子工业出版社原副社长
	王志功	东南大学教授、博士生导师、射频与光电集成电路研究所所长 教育部高等学校电子电气基础课程教学指导分委员会主任委员
	张中兆	哈尔滨工业大学教授、博士生导师、电子与信息技术研究院院长
	范平志	西南交通大学教授、博士生导师、信息科学与技术学院院长



# 译者序

自 2005 年 SystemVerilog(SV)被批准为 IEEE 1800-2005 标准开始,这种功能强大的数字设计和验证语言在业界取得迅速进展。根据美国电子行业 2009 年的统计,无论是做 RTL 设计还是系统验证的,使用 SV 的工程师已占全行业数字设计师的 35% 以上。而目前国内还未见到有关 SV 的教材。从我国的高校毕业生中,几乎找不到掌握这种最新设计和验证方法的学生。我国高等工程教育的落后可见一斑。目前国内虽然有几本介绍 SV 验证书籍的中译本出版,但针对的读者主要是业界资深的验证工程师,根本找不到适合大学本科生和研究生学习的 SV 教材。

先进的设计/验证语言和方法学对复杂电子产品设计的成功与否有着至关重要的影响。因此把本书介绍给国内的数字系统(包括 ASIC 和 FPGA)设计/验证工程师是一件十分紧迫的任务。

译者希望本书能帮助读者更好地掌握这种全新的设计/验证语言和方法。在翻译本书的过程中,译者尽量从读者的角度出发,想办法用更清晰、更准确的中文表达书中较复杂和难理解的内容,对原书中表达欠妥和不十分明确的个别地方进行了适当的修改和补充。由于本书是针对学习数字系统设计的大学本科生编写的,所以内容十分全面、由浅入深、循序渐进,确实是一本难得的优秀教材。书中有一部分内容是专为 ASIC 设计/验证领域有经验的工程师编写的,所以起点较高且点到为止,需要读者自己查阅有关资料,才能真正应用于实际工作。

在翻译的过程中,我能体会到作者在数字系统设计教育领域深厚的学术功底。作者利用简洁的语言,总结了数字设计的原理,归纳了数字系统的实现过程,分析了设计的关键问题;并通过大量的实例,系统地介绍了最常用和最重要的 SV 语法与设计方法,以及它们在设计仿真和验证中的作用,以供读者学习借鉴。

本书的翻译工作由夏宇闻在自学 SV 中完成。翻译稿完成后,经过了巨数公司的陈岩工程师、至芯科技的苏阳博士和邱望洁博士的认真审阅。他们提出了宝贵的修改意见,显著地改进了本书的翻译质量。在此,让我对帮助完成本书翻译的三位同事表示衷心的感谢。

由于本书的部分内容涉及许多新概念和新方法,我在翻译中难免有理解不全面、表达不恰当,甚至是错误和疏漏的地方。敬请发现这些问题的细心读者不吝指教,以便在今后改正。

本书的翻译工作是在巨数/中庆数字技术开发有限公司商松总裁的支持下完成的。我退休后,商总裁邀请我来公司担任技术顾问,为我提供了舒适的办公条件、自由宽松的工作时间。没有商总裁的支持,本书的翻译工作是不可能完成的。在本书付印的时刻,让我向商总裁、邵寅亮技术总监和巨数/中庆的全体员工表示衷心的感谢。

夏宇闻

# 前 言

## 关于本书

在作者编写的 *Digital System Design with VHDL* 一书出版的时候,把数字设计教材和介绍硬件描述语言的教材结合成一本教材,似乎还是一种新奇的想法。大约在同一时期,若干本同类型主题的著作相继出版。*Digital System Design with VHDL* 一书现在已经被好几所大学选为核心教材,并且被翻译成波兰文、中文、日文和意大利文。作者曾经考虑过编写一本 Verilog 数字系统设计的教材,尽管 Verilog 那时已得到广泛的应用,但至今仍对使用 Verilog 作为教学语言心存一些怀疑。在 *Digital System Design with VHDL* 一书第 2 版出版后不久,一种新的硬件描述语言 SystemVerilog 出现了。由于这种新语言明显地优于 VHDL,扫除了作者对 Verilog 语言的许多怀疑。第一本书的成功和新语言的出现加强了作者的信心:编写一本 SystemVerilog 数字系统设计新书的时刻终于来临。

本书可作为大学本科生和研究生的教材。绝大多数 Verilog 和 SystemVerilog 书籍都是为有实际工作经验的工程师们编写的。因此,本书省略了某些 SystemVerilog 语法特点,对这些特色点没有做任何介绍。但本书却涵盖了数字设计的许多方面,而典型的 SystemVerilog 书籍并不介绍这些内容。

不同的国家、不同的大学或者学院,其电气、电子和计算机工程专业的教学大纲不尽相同。本书的材料是作者多年来在大学 2~3 年级本科生和研究生的教学实践中逐步积累并开发的。作者假设学生们已经熟悉布尔代数和组合逻辑设计的基本原理。在英国南安普顿大学,本科生第一年的教学大纲中就包括同步时序电路和可编程逻辑等知识点。因此本书就建立在这些知识点的基础之上。通常人们认为对于 2 年级的本科生而言,诸如 SystemVerilog 这样的课程太专业了,因此最好把这门课程放到本科最后一年或者研究生的教学计划之中。

将 SystemVerilog 课程更早地引入教学计划有几个重要的理由。第一,随着集成电路越来越复杂,要求大学毕业生掌握 SystemVerilog 的知识和相关的设计工具。如果到最后一年才教授这门课程,学生们就没有时间或者只有极少的时间可以在毕业设计项目中应用这些知识。第二,与许多国家的同事们交流时,他们都提出当今的大学生更愿意选读计算机科学和计算机工程专业,而不太愿意选读电气和电子工程专业。而 SystemVerilog 提供了一种手段,可以引导对计算感兴趣的学生转向对硬件设计感兴趣。最后,仿真和综合工具及 FPGA 设计套件现在已经相当成熟,可以用相对低廉的价格在 PC 平台上建立教学实验环境。

## 本书的结构

第 1 章介绍本书的基本思路,即利用电子设计自动化工具及 CMOS 和可编程逻辑技术。我们还考虑了某些工程问题,诸如噪声容限和扇出。第 2 章考察布尔代数的原理和组合逻辑的设计,并讨论时序及与冒险竞争有关的重要问题,还对数据表示的某些基本技术进行了讨论。



在第3章中,通过基本的逻辑门模型,引入了 SystemVerilog。这一章把重点放在程序代码文件的重要性上,介绍了如何构建基本门电路的网表,如何为门电路的延迟建立模型。本章还讨论了参数化模型,并且介绍了利用 SystemVerilog 编写测试平台并对模型进行验证的思想。

第4章描述建立 SystemVerilog 模型的多种技术。利用一组并发和时序的 SystemVerilog 编码结构,为组合(电路)构造块、缓冲器、译码器、编码器、多路选择器、加法器和奇偶校验器建模。第4章和第5章~第7章中介绍的 SystemVerilog 硬件模型,从原理上都是可综合的(尽管直到第10章才正式讲解 SystemVerilog 的可综合性问题)。第4章再次讨论了测试平台的设计风格,此外还介绍了 IEEE 认可的标记符号。

第5章介绍了各种时序构造块:锁存器,触发器,寄存器,计数器,存储器,以及时序乘法器。利用 IEEE 认可的标记符号、测试平台设计,并引入 SystemVerilog 编码结构,使用了与第4章相同的写作风格。

第6章也许是本书最重要的一章,重点讨论了数字设计的基础:有限状态机的设计。在讲解中使用了算法状态机(ASM)图;描述从 ASM 图到 D 触发器,以及产生下一个状态和输出逻辑的设计过程,并介绍了 SystemVerilog 状态机模型。

在第7章中,把前三章的概念相互结合起来。ASM 图的标记方法被扩展到包括互相耦合的状态机和寄存器的输出,由此引申到数据路径-控制器的划分。根据这一思路,可以用硬件术语对指令的概念做出解释,然后用 SystemVerilog 为最基本的微处理器建立模型。这为接口和封装概念的引入提供了载体。

在第8章中,对测试平台的设计进行了更详细的讨论。在主要概述了前几章讲解的技术后,进一步讨论了测试平台的架构、受约束随机测试的产生及基于断言的验证。

SystemVerilog 仍旧是一种主要的建模语言。第9章描述了 SystemVerilog 仿真器的操作。首先解释了事件驱动的仿真器思想,并讨论了 SystemVerilog 仿真器的特性。

正如第10章讨论的那样, SystemVerilog 语言在描述可综合模型方面正起着越来越重要的作用。目前可用的综合工具绝大多数都是 RTL 综合器。这一类综合工具可以根据 SystemVerilog 模型,推算出电路中存在的触发器和锁存器,并描述综合产生电路的具体结构。若 SystemVerilog 模型编写得不好,代码中存在常见的缺陷,则在综合后生成的电路中很可能出现错误的触发器。综合过程可以用约束条件加以控制。因为约束条件的描述超出了这种语言的能力范围,所以只好用普通的术语来描述约束条件。第10章还讨论了 FPGA 综合后产生的电路结构。最后,简单地考察了行为综合,将来这种综合有希望变成一种重要的设计技术。

第11章和第12章专门讨论测试和针对测试设计(DFT)。以前经常忽视这一领域,但现在已被认为是设计过程中的一个重要环节。在第11章中,引入了故障模型的概念,紧接着介绍测试生成方法。测试的功效可以由故障仿真确定。

在第12章中,介绍了针对测试设计(DFT)的三个重要原理:扫描路径,内建自测试(BIST),边界扫描。DFT 通常总是一个非常枯燥的话题,若使用 SystemVerilog 仿真器,则可以分析 BIST 结构如何完成各种不同的无缺陷签字验收,以及如何发现电路缺陷。

在第13章中,我们把 SystemVerilog 用做探索异步时序电路不规则行为的工具。虽然当前绝大多数设计都采用同步设计风格,但是越来越多的数字系统是由互相进行异步通信的同步电路组成的。本章介绍了这个模式的基本概念,并向读者展示如何分析和设计异步电

路。我们利用 SystemVerilog 来说明冒险竞争问题、建立和保持时间违反的问题，同时还讨论了亚稳态问题。

最后一章介绍 Verilog-AMS 和混合信号建模。简明扼要地描述了数字 - 模拟转换器 (DAC) 和模拟 - 数字转换器 (ADC)，并给出了这种转换器的 Verilog-AMS 模型。在最后一章还介绍了锁相环 (PLL) 的概念，并给出了锁相环的简单混合信号模型。

附录 A 简要地描述了 SystemVerilog 与早期的 Verilog 有哪些不同。

在每一章的末尾安排了许多练习题，为了对每个 SystemVerilog 例子进行仿真，如果可将其综合，则对其进行综合，这些练习题几乎都是很好的辅助教材。为了完成仿真和综合任务，读者们也许需要自己编写测试平台和约束文件。在网站 [www.zwolinski.org](http://www.zwolinski.org) 上，可以下载上述例子。

## 如何使用本书

显然，根据对课程的要求不同，可以通过多种方式讲解本书。在南安普顿大学，作者的教学安排如下。

1) 针对电子工程系、攻读工程硕士/学士学位的 2 年级学生：

第 1 章、第 2 章两章要求学生自学。需要讲解的内容包括第 3 章 ~ 第 7 章。在这部分内容中有一些小节可以根据课时情况选择是否授课，例如 5.3 节和 5.7 节。此外，如果时间有限，有一些电路结构可以忽略不讲。11.2 节的单个固定故障模型、11.3 节的测试向量的产生原理，还有 12.2 节的扫描设计原理应该在课堂上讲解。

2) 针对电子工程系、攻读工程硕士/学士学位的 3 年级学生：

要求学生自己独立学习第 4 章 ~ 第 7 章的内容。需要讲解的内容包括第 8 章 ~ 第 13 章。目前，第 14 章 Verilog-AMS 安排在 4 年级的课程中。

从 2 年级到 4 年级的三年中，为了让学生们能利用书上的例子进行学习，必须配合使用 SystemVerilog 仿真器和 RTL 综合器。在 2 年级安排一组 FPGA 综合的设计练习是对本教材的最好补充。在南安普顿大学 3 年级的每个学生都必须独立完成一个设计项目，有一些学生所做的项目用到了 SystemVerilog。

## 网络资源

与本书对应的网站地址为：[www.zwolinski.org](http://www.zwolinski.org)。在该网站上，读者可以找到相关的教学材料，其中包括所有的 SystemVerilog 例子，以及到 SystemVerilog 工具网站的链接。

## 致 谢

在这里，让我对指出本书 VHDL 版本中错误的每一位读者致以诚挚的感谢。

我还要感谢为本书出版印刷做出贡献的每一位朋友，他们是 Prentice Hall 的 Bernard Goodwin 和 Elizabeth Ryan, Glyph International 公司的 Madhu Bhardwaj 和 Ben Kolstad, 还有担任编辑工作的 Susan Fox-Greenberg、负责校对工作的 Danielle Shaw 及负责其他工作的 Jack Lewis。本书中的任何错误都是我的过失，与他们无关。

最后还要感谢几位学生，我曾经给他们讲过课，他们对教材的评价和意见给予了我力量和勇气，使我总结出讲解这些概念的更好方法。

## 关于作者

Mark Zwolinski 是英国南安普顿大学电子与计算机科学学院的全职教授。他是 *Digital System Design with VHDL* 一书的作者，该书已被翻译成四种语言，并被全世界的许多所大学选为教材。Zwolinski 教授在技术杂志上曾发表过 120 多篇论文。20 多年来，他一直教授大学本科生和研究生的数字设计与设计自动化等课程。

# 目 录

第1章 序言 .....	1
1.1 现代数字设计 .....	1
1.2 使用硬件描述语言进行设计 .....	1
1.2.1 设计自动化 .....	1
1.2.2 什么是 SystemVerilog .....	2
1.2.3 什么是 VHDL .....	2
1.2.4 仿真 .....	2
1.2.5 综合 .....	3
1.2.6 可重用性 .....	3
1.2.7 验证 .....	4
1.2.8 设计流程 .....	5
1.3 CMOS 技术 .....	6
1.3.1 逻辑门 .....	6
1.3.2 ASIC(专用集成电路)和 FPGA(现场可编程门阵列) .....	7
1.4 可编程逻辑 .....	12
1.5 电气属性 .....	14
1.5.1 噪声容限 .....	14
1.5.2 扇出 .....	15
总结 .....	16
参考资料 .....	17
练习题 .....	17
第2章 组合逻辑设计 .....	18
2.1 布尔代数 .....	18
2.1.1 值 .....	18
2.1.2 操作符 .....	18
2.1.3 逻辑门的真值表 .....	18
2.1.4 布尔代数的定律 .....	20
2.1.5 德摩根定理 .....	20
2.1.6 香农扩展定理 .....	20
2.2 逻辑门 .....	20
2.3 组合逻辑设计 .....	22
2.3.1 逻辑最小化 .....	23
2.3.2 卡诺图 .....	24
2.4 时序 .....	26
2.5 数字码 .....	29
2.5.1 整数 .....	29
2.5.2 定点数 .....	29

2.5.3	浮点数	29
2.5.4	文字数字字符	30
2.5.5	格雷码	30
2.5.6	奇偶校验位	31
总结		31
参考资料		32
练习题		32
<b>第3章</b>	<b>使用 SystemVerilog 门模型描述的组合逻辑</b>	<b>33</b>
3.1	模块和文件	33
3.2	标识符、空格和注释	34
3.3	基本门模型	35
3.4	简单的网表	35
3.5	逻辑值	36
3.6	连续赋值语句	37
3.6.1	SystemVerilog 操作符	37
3.7	延迟	38
3.8	参数	39
3.9	测试平台	40
总结		41
参考资料		41
练习题		41
<b>第4章</b>	<b>组合逻辑构件</b>	<b>42</b>
4.1	多路选择器	42
4.1.1	2 选 1 多路选择器	42
4.1.2	4 选 1 多路器	43
4.2	译码器	43
4.2.1	2 到 4 译码器	43
4.2.2	参数化的译码器	44
4.2.3	七段译码器	46
4.3	优先编码器	47
4.3.1	无关项和唯一性问题	47
4.4	加法器	48
4.4.1	功能模型	48
4.4.2	逐位进位加法器	48
4.4.3	任务	49
4.5	奇偶校验器	50
4.6	三态缓冲器	51
4.6.1	多值逻辑	51
4.7	组合逻辑块的测试平台	52
总结		53
参考资料		53
练习题		53

<b>第 5 章</b>	<b>时序逻辑块的 SystemVerilog 模型</b>	54
5.1	锁存器	54
5.1.1	SR 锁存器	54
5.1.2	D 锁存器	55
5.2	触发器	56
5.2.1	由跳变沿触发的 D 触发器	56
5.2.2	异步置位与复位	56
5.2.3	同步置位/复位和时钟使能	57
5.3	JK 触发器和 T 触发器	59
5.4	寄存器和移位寄存器	60
5.4.1	多比特寄存器	60
5.4.2	移位寄存器	61
5.5	计数器	62
5.5.1	二进制计数器	62
5.5.2	约翰森计数器	64
5.5.3	线性反馈移位寄存器	65
5.6	存储器	67
5.6.1	ROM	67
5.6.2	SRAM	68
5.6.3	同步 RAM	69
5.7	时序乘法器	69
5.8	时序构造块的测试平台	71
5.8.1	时钟信号的产生	71
5.8.2	复位信号及其他重要信号	73
5.8.3	检查设计电路的响应	73
	总结	74
	参考资料	74
	练习题	75
<b>第 6 章</b>	<b>同步时序设计</b>	76
6.1	同步时序系统	76
6.2	同步时序系统的模型	77
6.2.1	摩尔和米利状态机	77
6.2.2	状态寄存器	77
6.2.3	三位计数器的设计	78
6.3	算法状态机	80
6.4	由 ASM 图综合	83
6.4.1	硬件的实现	83
6.4.2	状态分配	85
6.4.3	状态最小化	88
6.5	使用 SystemVerilog 描述的状态机	92
6.5.1	第一个例子	92
6.5.2	序列奇偶校验位检测器	94



6.5.3	自动售票机 .....	95
6.5.4	数据的储存 .....	97
6.6	状态机的测试平台 .....	98
	总结 .....	99
	参考资料 .....	99
	练习题 .....	100
<b>第7章</b>	<b>复杂时序系统的设计</b> .....	<b>102</b>
7.1	状态机的互连 .....	102
7.2	数据路径/控制器的划分 .....	105
7.3	指令 .....	107
7.4	一个简单的微处理器 .....	108
7.5	简单微处理器的 SystemVerilog 模型 .....	112
	总结 .....	119
	参考资料 .....	119
	练习题 .....	119
<b>第8章</b>	<b>测试平台的编写</b> .....	<b>121</b>
8.1	基本的测试平台 .....	121
8.1.1	时钟信号的产生 .....	122
8.1.2	复位信号和其他重要信号 .....	122
8.1.3	响应的监视 .....	123
8.1.4	响应的转储 .....	123
8.1.5	来自于文件的测试向量 .....	123
8.2	测试平台的结构 .....	124
8.2.1	程序 .....	125
8.3	受约束随机激励的发生 .....	126
8.3.1	面向对象编程 .....	127
8.3.2	随机化 .....	128
8.4	基于断言的验证 .....	130
	总结 .....	134
	参考资料 .....	134
	练习题 .....	134
<b>第9章</b>	<b>SystemVerilog 的仿真</b> .....	<b>136</b>
9.1	由事件驱动的仿真 .....	136
9.2	SystemVerilog 的仿真 .....	139
9.3	竞争 .....	141
9.3.1	避免冒险竞争 .....	142
9.4	延迟模型 .....	143
9.5	仿真工具 .....	143
	总结 .....	144
	参考资料 .....	145
	练习题 .....	145

<b>第 10 章</b>	<b>SystemVerilog 的综合</b>	147
10.1	RTL 综合	148
10.1.1	不可综合的 SystemVerilog	148
10.1.2	推导出触发器和锁存器	149
10.1.3	组合逻辑	152
10.1.4	RTL 综合规则的总结	155
10.2	约束	156
10.2.1	属性	156
10.2.2	面积和结构属性	157
10.2.3	full_case 和 parallel_case 属性	159
10.3	FPGA 的综合	160
10.4	行为综合	162
10.5	综合结果的验证	167
10.5.1	时序仿真	168
	总结	169
	参考资料	169
	练习题	170
<b>第 11 章</b>	<b>数字系统的测试</b>	172
11.1	测试的必要性	172
11.2	故障模型	172
11.2.1	单固定故障模型	173
11.2.2	PLA(可编程逻辑阵列)故障	173
11.3	面向故障的测试向量集的生成	174
11.3.1	敏感路径算法	175
11.3.2	无法检测到的故障	176
11.3.3	采用 D 算法的故障测试	177
11.3.4	PODEM 算法	179
11.3.5	合并	179
11.4	故障的仿真	180
11.4.1	并行故障仿真	181
11.4.2	并发故障仿真	182
	总结	184
	参考资料	184
	练习题	184
<b>第 12 章</b>	<b>可测试性设计</b>	187
12.1	为提高可测试性而做的改进	187
12.2	针对测试的结构设计	188
12.3	内建自测试	190
12.3.1	示例	191
12.3.2	内建逻辑块观察(BILBO)	194
12.4	边界扫描(IEEE1 149.1)	197

总结 .....	203
参考资料 .....	203
练习题 .....	203
<b>第 13 章 异步时序电路设计 .....</b>	<b>206</b>
13.1 异步电路 .....	206
13.2 异步电路的分析 .....	208
13.2.1 非形式化分析 .....	208
13.2.2 形式化分析 .....	210
13.3 异步电路的设计 .....	211
13.4 异步状态机 .....	217
13.5 建立/保持时间和亚稳态 .....	221
13.5.1 基本模式制约和同步电路 .....	221
13.5.2 描述建立和保持时间不合格的 SystemVerilog 模型 .....	221
13.5.3 亚稳态 .....	223
总结 .....	224
参考资料 .....	224
练习题 .....	224
<b>第 14 章 与模拟电路的接口 .....</b>	<b>227</b>
14.1 数字 - 模拟转换器 .....	227
14.2 模拟 - 数字转换器 .....	228
14.3 Verilog-AMS .....	231
14.3.1 Verilog-AMS 基础 .....	231
14.3.2 作用语句 .....	233
14.3.3 混合信号建模 .....	234
14.4 锁相环 .....	238
14.5 Verilog-AMS 仿真器 .....	241
总结 .....	241
参考资料 .....	241
练习题 .....	242
<b>附录 A SystemVerilog 与 Verilog 的关系 .....</b>	<b>243</b>
<b>部分练习题的参考答案 .....</b>	<b>247</b>
<b>参考文献 .....</b>	<b>261</b>