

设计者的思想

基于 **FPGA** 的 数字信号处理

高亚军 ○ 编著



FPGA设计必备，让你轻松应对各种FPGA设计项目



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

设计者的思想

基于 FPGA 的数字信号处理

高亚军 编著

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是一本有关如何在 FPGA 上实现数字信号处理的著作。本书以 Xilinx 高端 FPGA 作为开发平台,以数字信号处理理论为基础,结合当前的 FPGA 技术,深入探讨了基于 FPGA 实现各种数字信号处理算法的工程方法。本书将理论与实践相结合,给出了相应算法的硬件结构,并配有时序图,以帮助读者深入理解设计思路。

本书对于从事数字信号处理的专业人员是一本很好的参考书,也可作为电子工程、通信工程及相关专业高年级本科生和低年级研究生的参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

基于 FPGA 的数字信号处理/高亚军编著. —北京:电子工业出版社,2012.2
(设计者的思想)

ISBN 978-7-121-15627-4

I. ①基… II. ①高… III. ①可程序逻辑器件-应用-数字信号处理 IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2011)第 278282 号

策划编辑:王敬栋(wangjd@phei.com.cn)

责任编辑:韩玉宏

印 刷:北京市顺义兴华印刷厂

装 订:三河市双峰印刷装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:15.25 字数:390 千字

印 次:2012 年 2 月第 1 次印刷

印 数:4 000 册 定价:38.00 元

凡所购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

Preface

Dear Readers ,

You have chosen a unique reference book which solely focuses on DSP functions implemented by FPGA. Those DSP functions are commonly used in industry various applications, like wireless digital front end, power grid, industrial control and more.

Many electronic design engineers have already known FPGA evolution from the glue logic to extensible processing platform, FPGA will soon take the key role of main chip on the PCB, FPGA will function like a truly SOC (System On Chip) with excellent benefits of flexibility and programmable. Engineer will design one common hardware FPGA platform yet be customized to different end-customer feature requirement. There is great economic value to the company product development and product differentiation; and great satisfaction by the design engineer.

Extensible processing platform comprises of DSP implementation and embedded processor. Xilinx take the leading role in product definition and to offer suitable product for various market segments.

The author has many years of hands-on experience in using Xilinx FPGA to implement DSP functions as an electronic design engineer. He attended Xilinx FAE training courses, gained in-depth knowledge of FPGA features, development tools and design flow. He supported many customers' DSP related projects as a field application engineer. Hence, he wrote the book with his hands-on experience and practical knowledge.

I wish readers enjoy reading the book, enrich your knowledge in implementing DSP functions with Xilinx FPGA.

Cheers ,

Octavius Lim
Xilinx Channel Sales Director
China and ASEAN
12 Sep 2011

序(中文译文)

亲爱的读者：

您选择了一本独特的参考书,这本书集中讲解了如何在 FPGA 上实现数字信号处理。这些数字信号处理算法广泛应用于无线数字前端、电网和工业控制等领域。

许多电子设计工程师已经知道 FPGA 从胶合逻辑演变为可扩展处理平台,且很快将在 PCB 上的主芯片中起关键作用,即以其灵活性和可编程性所带来的极大好处构成真正的片上系统。从而,工程师就可以设计一个通用的硬件 FPGA 平台,这个平台可根据不同的最终客户的需求来定制。这样,对公司的产品开发和产品差异化会带来巨大的经济价值,也会令工程师非常满意。

可扩展处理平台包括数字信号处理单元和嵌入式处理器。Xilinx 公司在产品定义上起着主导作用,并针对各种市场提供合适的产品。

作者曾是电子设计工程师,拥有多年亲自利用 Xilinx FPGA 实现数字信号处理算法的经验。他参加了 Xilinx 现场应用工程师的课程培训,对 Xilinx FPGA 的特点、开发工具和设计流程有深入的理解。作为现场应用工程师,他支持了很多与数字信号处理相关的客户。因此,本书是基于他的经验和实践知识而著的。

我希望读者喜欢阅读本书,以丰富您在利用 Xilinx FPGA 实现数字信号处理方面的知识。

林世兆(Octavius Lim)

Xilinx 中国和东南亚国家联盟渠道销售总监

2011.9

前言

从 20 世纪 80 年代第一片 FPGA 产生到目前为止, FPGA 已经有了长足的发展, 已成为数字系统中非常重要的元器件之一。相比于传统的专用数字信号处理器, 不论是在资源上还是在速度上 FPGA 都更具优势。21 世纪伊始, 数字信号处理系统对采样频率、数据吞吐率有了更高的需求, 传统的专用数字信号处理器在某些场合已无法胜任。主流的数字信号处理系统已形成了 FPGA + DSP 的架构, 以 FPGA 作为协处理器或预处理器, 这已成为业界普遍认可的处理方式。Xilinx 公司的 FPGA 以其独立的乘加器结构在这一领域占据了很大的优势。早在 Virtex - 4 产品中就嵌入了功能强大的硬线乘加器 DSP48, 之后在 Virtex - 5 中嵌入了 DSP48 的增强版 DSP48E, 在 Virtex - 6 中又推出了带有预加器的 DSP48E1。2010 年, Xilinx 发布了其 7 系列 FPGA, 采用了堆叠硅片架构, 内部逻辑单元最多可达 200 万个, 乘加单元 DSP48E1 最多可达 5280 个, 进一步彰显了其在数字信号处理领域的巨大优势。此外, Xilinx 还发布了其嵌入 ARM 核的第一代 EPP 产品 Zynq, 从而进一步提高了 FPGA 对复杂算法的处理能力, 也使得完全采用 FPGA 实现数字信号处理系统成为可能。

本书以数字信号处理理论为基础, 结合 Xilinx 的 Virtex 高端 FPGA (Virtex - 4、Virtex - 5 和 Virtex - 6) 的架构, 深入探讨了基于 FPGA 实现各种数字信号处理算法的工程方法, 所涉及的算法涵盖了从基本算法到较为复杂的 FFT 算法, 从单速率系统到多速率系统, 同时将 FPGA 设计思想有机地贯穿其中。全书共有 8 章内容。其中, 第 1 章介绍了 FPGA 技术现状, 分析了 Xilinx 的 Virtex - 6 产品架构; 第 2 章介绍了数字信号处理与 FPGA 的密切关系; 第 3 章介绍了数字信号处理中的基本算法及其在 FPGA 上的实现方法, 从简单的加法运算到较为复杂的 CORDIC 算法都涵盖其中; 第 4 章至第 7 章结合大量实例重点介绍了数字信号处理的经典算法在 FPGA 上的实现方法, 包括 FIR 滤波器、直接数字频率合成器、多相滤波器、CIC 滤波器和 FFT 算法; 第 8 章讲述了采用 Xilinx FPGA 进行数字信号处理的一些细节问题, 使读者能够深入理解 FPGA 的底层架构, 灵活运用 FPGA 各种内部资源, 使算法结构可以很好地映射到 FPGA 底层架构中。

本书由高亚军编著, 参加本书编写的还有刘昆、高亚波、赵慧娜、刘利波、佟晓莉、郭鹏程、田凯、张艳艳、李善清、高军波、韩瑞平、张海强、薛安翔、徐飞等。

本书在写作和出版过程中有幸得到了美国 Xilinx 公司和科通数字技术(香港)有限公司的大力支持和帮助。在此, 编著者非常感谢美国 Xilinx 公司亚太区市场传播经理张俊伟女士、科通数字技术(香港)有限公司高级总监谢章立先生。特别感谢美国 Xilinx 公司分销总监林世兆先生在百忙之中亲自为本书撰序。此外, 编著者还要感谢关心和支持本书的同事、朋友和家人。

感谢您选择了本书。如果您在阅读过程中发现任何错误或对再版有任何意见和建议, 请发送邮件至 gao.xilinx@gmail.com。

编著者

目 录

第 1 章 现场可编程逻辑门阵列 (FPGA) 技术现状	1
1.1 FPGA 已进入超大规模集成电路领域	1
1.1.1 FPGA 在大规模集成电路中的定位	1
1.1.2 FPGA 功能的演变	4
1.1.3 Xilinx 的 Virtex-6 架构分析	5
1.2 FPGA 使数字系统设计理念发生变革	10
1.3 FPGA 使数字系统设计方法发生变革	11
1.3.1 数字系统设计方法的演变	11
1.3.2 Xilinx FPGA 开发环境	13
1.4 FPGA 使数字系统调试方法发生变革	15
参考文献	16
第 2 章 数字信号处理与 FPGA	18
2.1 数字信号处理研究的内容	18
2.2 数字信号处理系统架构分析	19
2.3 基于 FPGA 的数字信号处理的相关问题	23
2.3.1 基于 FPGA 的数字信号处理系统设计流程	23
2.3.2 定点数与浮点数	25
参考文献	26
第 3 章 数字信号处理中的基本运算	27
3.1 定点数的表示	27
3.1.1 二进制数的原码与补码	27
3.1.2 定点数的字长问题	29
3.2 加法运算	31
3.2.1 一位全加器	31
3.2.2 加法原理与多位加法器	32
3.2.3 复数加法	34
3.2.4 加法树与加法链	35
3.3 累加运算	36
3.3.1 累加原理	36
3.3.2 顺序累加器	37
3.3.3 滑动累加器	38
3.4 乘法运算	39
3.4.1 乘法原理	39

3.4.2	基于移位相加的乘法器	41
3.4.3	基于 ROM 的乘法器	43
3.4.4	与固定数相乘的乘法器 (KCM)	46
3.4.5	复数乘法	49
3.5	乘累加运算	50
3.5.1	基于常规算法的乘累加器	50
3.5.2	基于分布式算法的乘累加器	50
3.6	除法运算	54
3.7	开平方运算	56
3.8	比较运算	58
3.9	CORDIC 算法	59
3.9.1	CORDIC 算法的基本理论	60
3.9.2	CORDIC 算法的硬件实现	68
参考文献		71
第 4 章	FIR 数字滤波器	72
4.1	FIR 滤波器基本理论	73
4.1.1	直接型结构的 FIR 滤波器	73
4.1.2	转置型结构的 FIR 滤波器	75
4.1.3	线性相位 FIR 滤波器	76
4.1.4	快速卷积型结构的 FIR 滤波器	78
4.2	串行 FIR 滤波器	79
4.2.1	基于移位寄存器的串行 FIR 滤波器	80
4.2.2	基于双口 RAM 的串行 FIR 滤波器	82
4.2.3	系数对称的串行 FIR 滤波器的设计	83
4.2.4	两种串行结构的 FIR 滤波器性能比较	85
4.3	全并行 FIR 滤波器	86
4.3.1	基于直接型结构的全并行 FIR 滤波器	86
4.3.2	基于转置型结构的全并行 FIR 滤波器	87
4.3.3	基于脉动结构的全并行 FIR 滤波器	88
4.3.4	3 种全并行结构的 FIR 滤波器性能比较	90
4.4	半并行 FIR 滤波器	90
4.4.1	基于移位寄存器的半并行 FIR 滤波器	91
4.4.2	基于多片单口 RAM 的半并行 FIR 滤波器	94
4.4.3	基于单片单口 RAM 的半并行 FIR 滤波器	95
4.4.4	3 种半并行结构的 FIR 滤波器性能比较	101
4.5	分布式 FIR 滤波器	101
4.5.1	串行分布式 FIR 滤波器	101
4.5.2	全并行分布式 FIR 滤波器	104
4.5.3	半并行分布式 FIR 滤波器	105

4.5.4	3 种分布式 FIR 滤波器性能比较	106
4.6	多频响 FIR 滤波器	107
4.7	多通道 FIR 滤波器	107
4.8	总体性能分析	111
	参考文献	112
第 5 章	直接数字频率合成	113
5.1	基于 IIR 滤波器的 DDS	113
5.2	基于 LUT 的 DDS	115
5.3	基于 CORDIC 算法的 DDS	117
5.4	3 种实现方法的比较	119
	参考文献	120
第 6 章	多速率信号处理	121
6.1	抽取和抽取滤波器	121
6.2	插值和插值滤波器	124
6.3	分数速率的转换	126
6.4	6 个恒等式及其典型应用	127
6.4.1	与抽取操作有关的恒等式	127
6.4.2	与插值操作有关的恒等式	128
6.4.3	典型应用	128
6.5	多相滤波器	130
6.5.1	多相抽取滤波器的基本理论	130
6.5.2	多相抽取滤波器的硬件实现	133
6.5.3	多相插值滤波器的基本理论	146
6.5.4	多相插值滤波器的硬件实现	150
6.6	CIC 滤波器	151
6.6.1	CIC 滤波器的基本理论	151
6.6.2	CIC 滤波器的比特增长问题	156
6.6.3	CIC 滤波器应用于抽取系统中	157
6.6.4	CIC 滤波器应用于插值系统中	162
	参考文献	163
第 7 章	快速傅里叶变换	165
7.1	从 DFT 说起	165
7.2	基 2 FFT 算法	167
7.3	基 2 算法特征分析	173
7.4	基于原位运算的 FFT 处理器	180
7.5	阵列结构的 FFT 处理器	182
7.6	流水结构的 FFT 处理器	184
7.6.1	基于 SDF 流水结构的 FFT 处理器	184
7.6.2	基于 MDC 流水结构的 FFT 处理器	191

7.7 IFFT 与 FFT 的关系	196
参考文献	197
第 8 章 一些细节问题	198
8.1 LUT 不只是逻辑函数发生器	198
8.2 BRAM 不只是数据存储器	202
8.2.1 BRAM 的配置方式	202
8.2.2 BRAM 的应用案例	203
8.3 DSP48E1 不只是乘法器	208
8.3.1 DSP48E1 的基本结构	209
8.3.2 DSP48E1 的应用案例	215
参考文献	231

第 1 章

现场可编程逻辑门阵列 (FPGA) 技术现状

产生于 20 世纪 80 年代的现场可编程逻辑门阵列 (Field Programmable Gate Array, FPGA), 近年来得到了长足发展。FPGA 已不只是单纯的一种器件的代名词, 它已经发展成为一门与数字信号处理密切相关的技术。目前, FPGA 已广泛应用于通信、生物医学、数字控制、音频和视频处理、数字仪表, 以及雷达与声呐等领域。FPGA 的出现和应用, 不仅大大推动了微电子技术的发展, 全面提高了数字系统的性能, 而且对电路器件及电路系统的构成与设计方法产生越来越大的影响。

1.1 FPGA 已进入超大规模集成电路领域

专用集成电路 (Application Specific Integrated Circuit, ASIC) 可分为数字 ASIC 和模拟 ASIC。对于数字 ASIC, 按其掩膜是否重新制造可将其分为 3 类: 全定制 (Full - custom) ASIC、半定制 (Semi - custom) ASIC 和可编程 (Programmable) ASIC。可编程 ASIC 是 ASIC 的一个重要分支, 它是一种已制造好的、可直接从市场上买到的芯片, 用户只要对它编程就可实现所需要的电路功能。FPGA 就是可编程 ASIC 的典型代表之一。

1.1.1 FPGA 在大规模集成电路中的定位

FPGA 是 20 世纪 80 年代中期出现的一种新概念, 是备受现代数字系统设计工程师欢迎的新一代系统设计积木块, 工程师可以通过传统的原理图输入法或硬件描述语言 VHDL/Verilog 按照需要自由地在一块芯片内设计一个数字系统。由于半导体技术的飞跃发展, 数字系统的应用经历了分立元件、小规模集成电路 (Small Scale Integration, SSI)、中规模集成电路 (Medium Scale Integration, MSI)、大规模集成电路 (Large Scale Integration, LSI) 和超大规模集成电路 (Very Large Scale Integration, VLSI) 的发展历程, 数字系统应用的基本特征也由中、小规模集成度的标准通用集成电路向设计师定制的专用集成电路过渡。

传统的数字电路设计采用各类不同规模的分立器件搭接而成, 其设计过程是先设计出电路原理图, 再绘制印制电路板 (PCB), 然后进行安装调试, 整个过程既容易出错, 又费时费力, 而且设计出的电路规模庞大, 可靠性很低。半定制 ASIC 的集成度很高, 它可以使

电路设计中的硬件规模缩小，可靠性提高，功耗减小，但是它的设计周期长，费用高，风险也很大。对于现代较复杂的数字系统，若采用 SSI 或 MSI 来设计某个特定的应用，则不仅要占用很大的物理空间，而且功耗较大，可靠性低；而采用专用电路设计，则具有较大的投资风险性。20 世纪 80 年代出现的可编程逻辑器件（Programmable Logic Device, PLD）在一定程度上为数字系统设计工程师进行快捷、灵活的设计提供了可能性。PLD 的应用使一系列功能强、速度高、灵活性大的系统设计得以成功。但是，随着现代数字系统 designs 的发展，PLD 不论是在集成容量、功耗、速度上还是在逻辑设计的灵活性上，均不能满足现代数字系统的大容量、高速度、现场灵活可编程设计的要求。这类器件的集成度还不是非常高，内部资源和 I/O 引脚也不够多，在进行大型系统设计时，使用此类器件就显得捉襟见肘了。FPGA 的产生将半定制的门阵列电路的优点和可编程逻辑器件的设计师可编程特性结合在一起，使设计的电子产品达到小型化、集成化和高可靠性，这样大大缩短了设计周期，减少了设计费用，同时为设计、更改提供了便利的手段，减小了设计风险。

特征尺寸（Feature Size）是 ASIC 中的一个重要概念，也是 ASIC 技术水平的重要标志。它是指器件中的最小线条宽度，对 MOS 器件而言，通常是指器件栅极所决定的沟道几何长度，是一条工艺线中所能加工的最小尺寸，也是设计中采用的最小设计尺寸（设计规则）。减小特征尺寸是提高 ASIC 集成度的有效手段之一。当今，CMOS 集成电路的特征尺寸已进入了纳米时代。Xilinx 公司于 1985 年首次推出商业化 FPGA，随着工艺的发展，特征尺寸不断减小。图 1.1 显示了 Xilinx 的高端产品 Virtex 系列特征尺寸的变化情况。2010 年，Xilinx 发布了其 7 系列 FPGA，该系列 FPGA 采用了更为先进的 28nm 工艺。

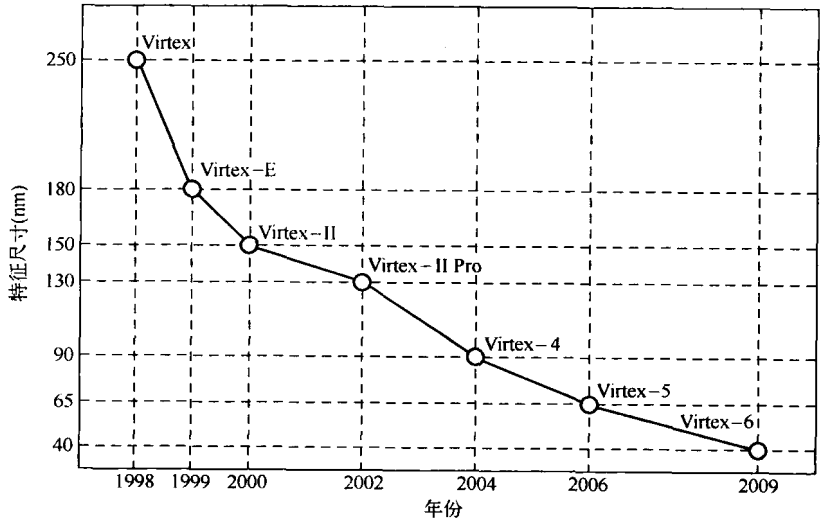


图 1.1 Xilinx 的高端产品 Virtex 系列特征尺寸的变化情况

特征尺寸的减小意味着芯片集成度的提高和容量的增大。2004 年，Xilinx 推出了第 1 代 90nm 工艺的基于高级硅片组合模块（Advanced Silicon Modular Block, ASMBL）架构的全新 FPGA 平台 Virtex-4，之后相继推出了基于此架构的 65nm 工艺的 FPGA 平台 Virtex-5 和 40nm 工艺的 FPGA 平台 Virtex-6。

在容量方面，Virtex-4 具有 200K 个逻辑单元^[1] [Logic Cell，简称 LC，一个 LC 包含

一个4输入查找表（LUT-4）和一个触发器]，Virtex-5 达到了 350K^[2]，Virtex-6 则达到了 760K^[3]，如图 1.2 所示。Virtex-5 和 Virtex-6 中的查找表为 6 输入。一个 LUT-6 加一个触发器等效于 1.6 个 LC。在 7 系列 FPGA 中，LC 的数量达到前所未有的 2000K，其容量是 Virtex-6 的 2.5 倍，可提供 1500 万到 4000 万等效 ASIC 门的所有功能。

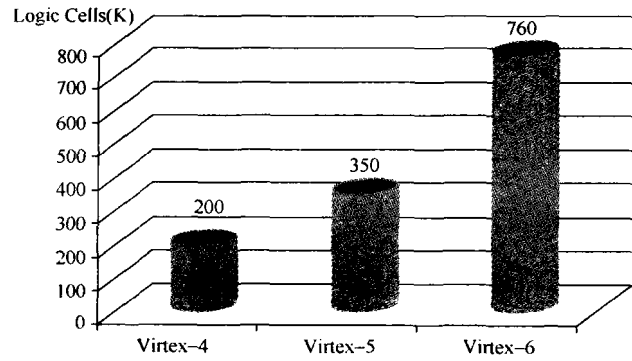


图 1.2 Virtex-4、Virtex-5、Virtex-6 的容量对比

在内嵌的 RAM 方面，Virtex-4 最多有 552 块 BRAM（Block RAM），每块 18Kb，共计 9.936Mb；Virtex-5 达到了 516 块，每块 36Kb，共计 18.576Mb；Virtex-6 则达到了 1064 块，每块 36Kb，共计 38.304Mb，如图 1.3 所示。在 7 系列 FPGA 中，BRAM 提供的存储空间达到了 84Mb。BRAM 可用于高速数据存储、数据缓存及跨时钟域等设计，是 FPGA 内部一类非常重要的资源。FPGA 内部大的存储空间使得大量传统上的“片外”元器件集成于片内，从而可避免系统结构的复杂及片外存储带来的延时，同时，对于满足具有较高数据吞吐率的设计是非常有利的。

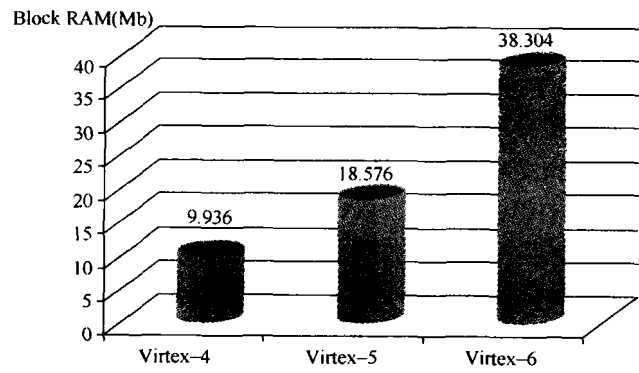


图 1.3 Virtex-4、Virtex-5、Virtex-6 的内部存储空间对比

在高速乘加器（Multiplier Accumulator，MAC）方面，Virtex-4 提供了全新的高速乘加器 DSP48，可实现 18-bit × 18-bit 的有符号数乘法运算，并可实现乘加、乘累加等功能，其数量达到了 512；Virtex-5 推出了 DSP48E，除具有 DSP48 的功能外，乘法器的位宽增大到 25-bit × 18-bit，其数量达到了 1056；Virtex-6 推出了具有预加器的 DSP48E1，其数量达到了 2016，如图 1.4 所示。在 7 系列 FPGA 中，DSP48E1 的个数达到了 5280，更多的高速乘加器有力地提升了系统并行处理的潜能，从而提高了系统的处理速度。

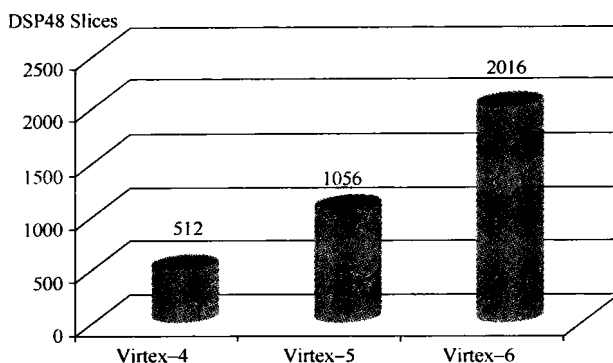


图 1.4 Virtex-4、Virtex-5、Virtex-6 的高速乘加器个数对比

在可重配置特性方面，FPGA 具有独特的优势，被称为“液体硬件”，即通过加载不同的配置文件可获得不同的硬件结构和硬件功能，体现了灵活的可重配置特性。此外，Xilinx 还提出了部分可重配置（Partial Reconfiguration）技术，将分时复用的设计思想由对某一点的逻辑资源放大到对某一特定区域内的逻辑资源。

FPGA 的容量越来越大，速度也越来越快，正朝着单芯片系统解决方案的方向发展。

1.1.2 FPGA 功能的演变

FPGA 从产生至今，其功能不断演变，在数字系统中所扮演的角色越来越重要，这得益于工艺水平的提高，从而可在 FPGA 内部嵌入越来越丰富的功能模块。

早期的 FPGA，由于其规模较小，只用于胶合逻辑（Glue Logic），以连接功能复杂的大逻辑块。在 Xilinx 的第 1 代 Virtex 芯片中，嵌入了 BRAM 和 DLL（Delay Locked Loop），这样 FPGA 除实现较为复杂的组合逻辑和时序逻辑之外还可实现数据存储，从而，FPGA 成为数字系统中的基础级模块。在第 2 代 Virtex 芯片 Virtex-II 中，出现了乘法器模块，可实现 $18\text{-bit} \times 18\text{-bit}$ 的有符号数乘法运算。在第 3 代 Virtex 芯片 Virtex-II Pro 中，出现了 PPC（PowerPC）处理器和高速收发器 MGT（Multi-Gigabit Transceiver），这使得 FPGA 可实现较为复杂的算法和高速的数据传输，从而，FPGA 成为数字系统中的平台级模块。第 4 代 Virtex 芯片 Virtex-4 具有里程碑意义，首次推出了多平台 FPGA，包括 LX、SX 和 FX 3 个平台。各个平台面向不同的应用领域。LX 平台面向高性能通用逻辑应用，SX 平台面向高性能数字信号处理应用，FX 平台面向高性能嵌入式系统和高速互联应用。根据不同应用领域的特点，3 个平台在资源分布上作了优化。例如，LX 平台具有最多的逻辑单元，可达 200K；SX 具有最多的乘加器，可达 512 个；FX 具有硬核处理器 PPC、高速收发器和以太网模块。Virtex-4 在时钟、运算和存储功能方面都有所增强。例如，Virtex-4 具有数字时钟管理器（Digital Clock Manager, DCM）和相位匹配时钟分频器（Phase-Matched Clock Divider, PMCD），可产生丰富的时钟；具有 XtremeDSP 逻辑单元 DSP48，与 Virtex-II 中的乘法器相比，在结构上有了很大的变化，最为显著的一点是内嵌了 48-bit 加法器，这样 DSP48 除实现常规的 $18\text{-bit} \times 18\text{-bit}$ 的有符号数乘法运算外，还可实现 48-bit 加法运算和累加运算；具有集成 FIFO 控制器的 SmartRAM 技术，便于高速数据缓存和跨时钟域的设计。至此，FPGA 已成为数字系统中面向不同应用领域的可优化处理平台。之后的 Virtex-5

和 Virtex - 6 系列 FPGA 均沿袭了这一模式。Xilinx FPGA 功能的演变过程如图 1.5 所示。

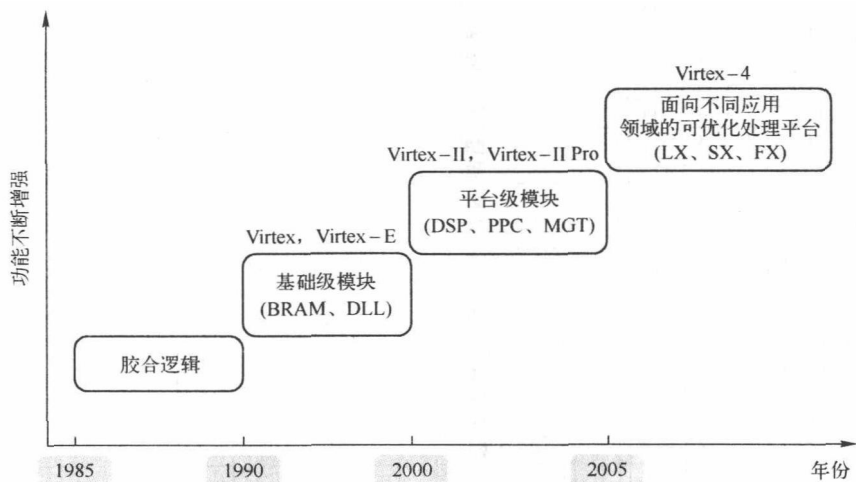


图 1.5 Xilinx FPGA 功能的演变过程

1.1.3 Xilinx 的 Virtex - 6 架构分析

传统的 FPGA 内部结构由 3 个部分构成：可配置逻辑块（Configurable Logic Block, CLB）、输入 / 输出模块（Input Output Block, IOB）和布线资源（Routing Resource, RR）。其中，CLB 是实现组合电路和时序电路的主要逻辑资源；IOB 是芯片与外界电路的接口部分，用于完成不同电气特性下对输入 / 输出信号的驱动与匹配要求；RR 用于连接 FPGA 内部的所有单元，而连线的长度和工艺直接决定了信号在线上的驱动能力和传输速度。

如前所述，FPGA 内部已嵌入了越来越多的功能模块。图 1.6 所示为目前 Xilinx 主流芯片 Virtex - 6 的内部布局架构。该架构仍采用 ASMBL 结构，以列为基础。从图中不难看出，FPGA 内部资源已非常丰富，除了常规的 CLB 和 IOB 之外，还有 IO 逻辑资源、数据存储资源 BRAM、高速乘加器 DSP48E1 和混合模式时钟管理器（Mixed - Mode Clock Manager, MMCM）。除 XC6VLX760 外，Virtex - 6 其他芯片还具有高速收发器 GTX、以太网 MAC 模块 TEMAC 和 PCIE 接口模块。这里重点介绍一下 CLB、DSP48E1、BRAM、时钟资源和 Select IO 资源。

CLB 是 FPGA 内部最基本的逻辑资源。Virtex - 6 中的 CLB 包含两个 SLICE^[4]。SLICE 可分为 SLICEL 和 SLICEM 两类。根据 SLICE 类型的不同，可将 CLB 分为 CLB_LL 和 CLB_LM，CLB_LL 由两个 SLICEL 构成，CLB_LM 由一个 SLICEL 和一个 SLICEM 构成。这一点与 Virtex - 5 是一致的，而与 Virtex - 4 有较大不同，如图 1.7 所示。每列 SLICE 有一条独立的进位链（Carry Chain），因此，不论是 Virtex - 4、Virtex - 5 还是 Virtex - 6，每块 CLB 都有两条进位链，如图 1.8 所示。其中，Virtex - 4 中的 SLICEM 还有一条移位链（Shift Chain）。同一系列的 FPGA 中 SLICEL 和 SLICEM 架构是一致的，不同之处在于 SLICEM 中的查找表除具有逻辑函数发生器的功能外还具有存储功能，即可作为分布式 RAM、移位寄存器和 ROM，而 SLICEL 中的查找表只能用做逻辑函数发生器和 ROM。关于查找表的更多应用将在第 8 章中进行详细阐述。

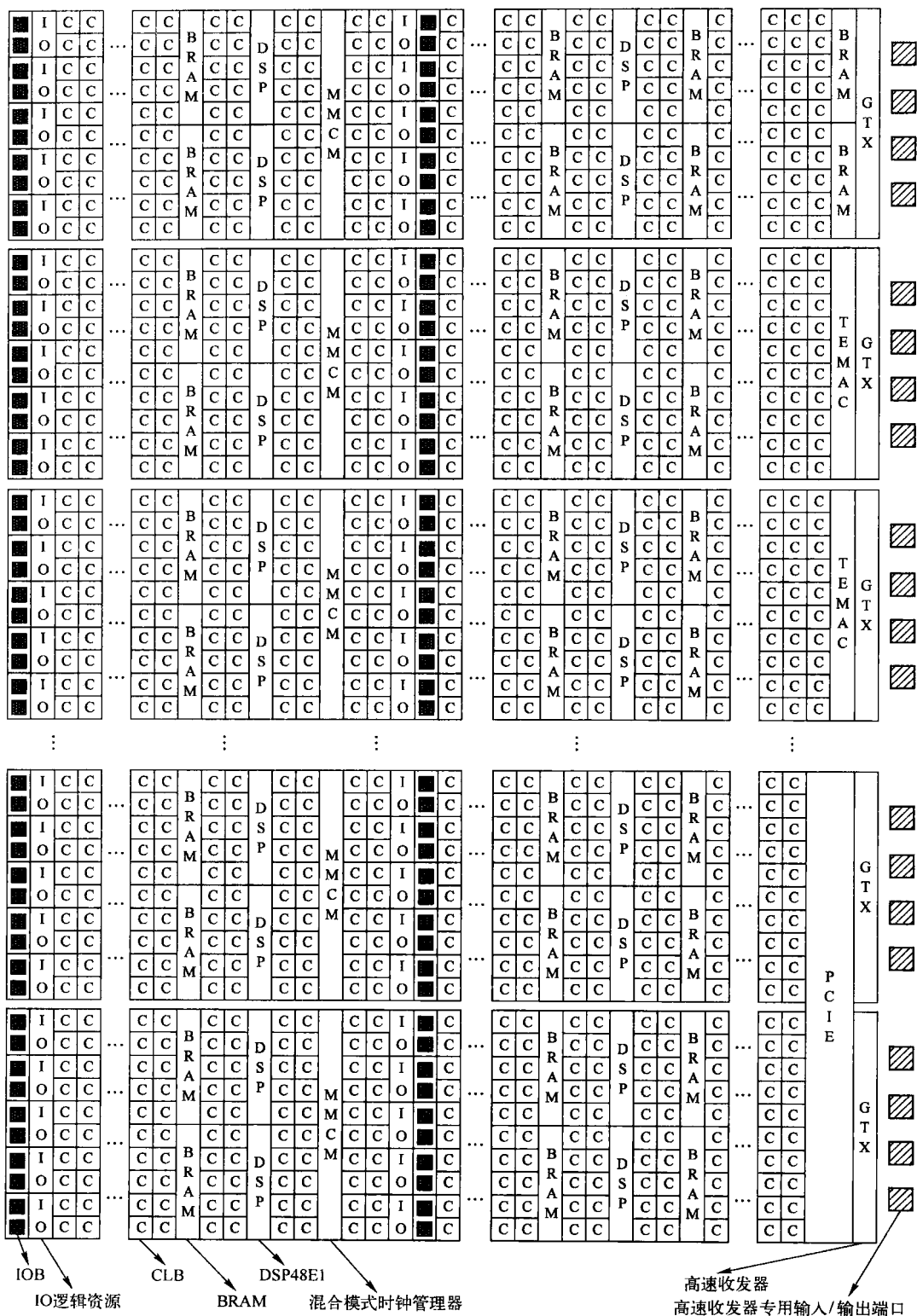


图 1.6 Virtex - 6 的内部布局架构

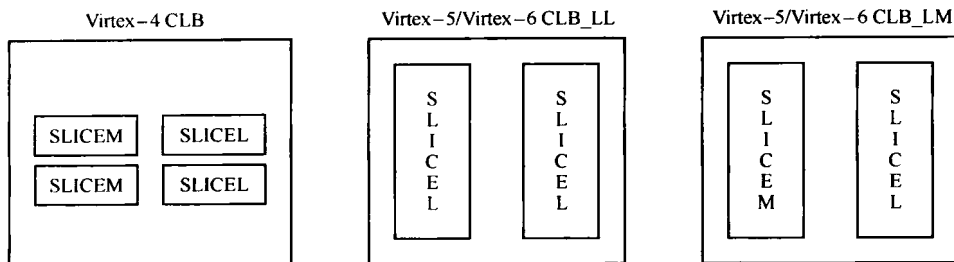


图 1.7 Virtex-4、Virtex-5 和 Virtex-6 中 CLB 的宏观架构

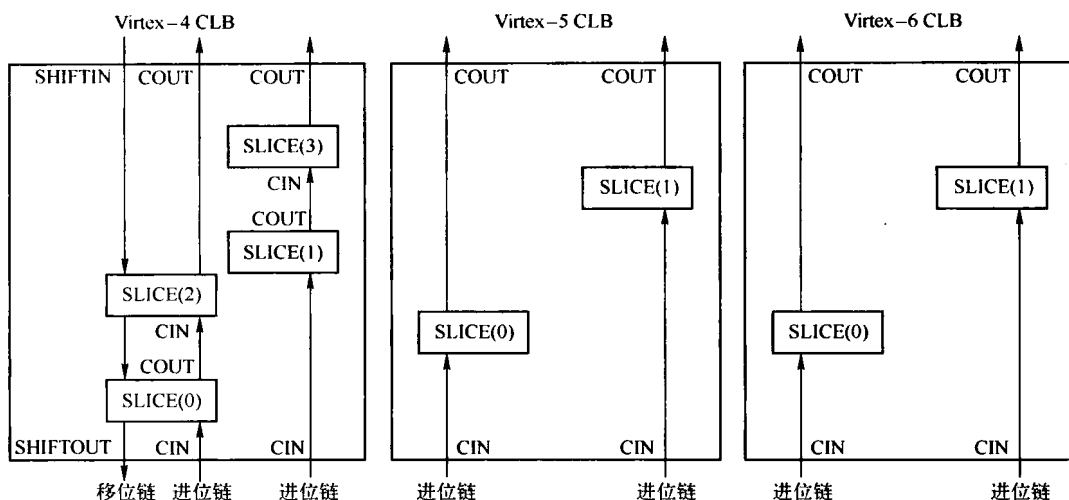


图 1.8 Virtex-4、Virtex-5 和 Virtex-6 CLB 中的进位链

Virtex-6 中每个 SLICE 包含 4 个 6 输入查找表 (LUT-6)、8 个 D 触发器 (D-FF) 和 3 个数据选择器 (F7AMUX、F7BMUX 和 F8MUX)，如图 1.9 所示。其中，触发器位于查找表之后，这表明在 FPGA 设计中应尽可能地采用“先组合后时序”的模式。Virtex-6 与 Virtex-5 相比，触发器的个数增加了一倍，这表明在 FPGA 设计中应尽可能地每个模块的输出数据寄存。

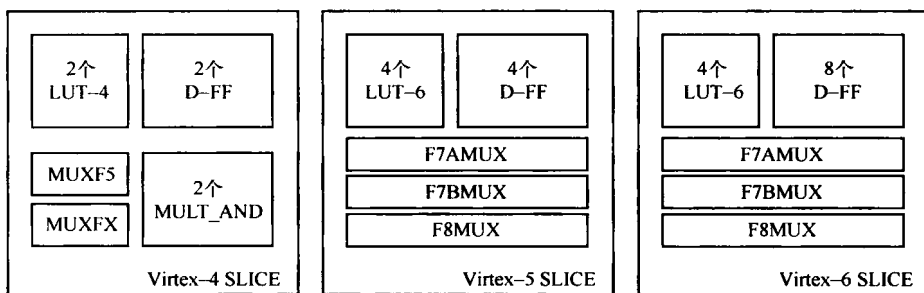


图 1.9 Virtex-4、Virtex-5 和 Virtex-6 中 SLICE 的宏观架构

在布局上，CLB_LL 和 CLB_LM 交替排列，但在 DSP48E1（对于 Virtex-5 为 DSP48E）中，右侧的两个 CLB 均为 CLB_LM，如图 1.10 所示，图中 L 表示 SLICEL，M 表示 SLICEM。