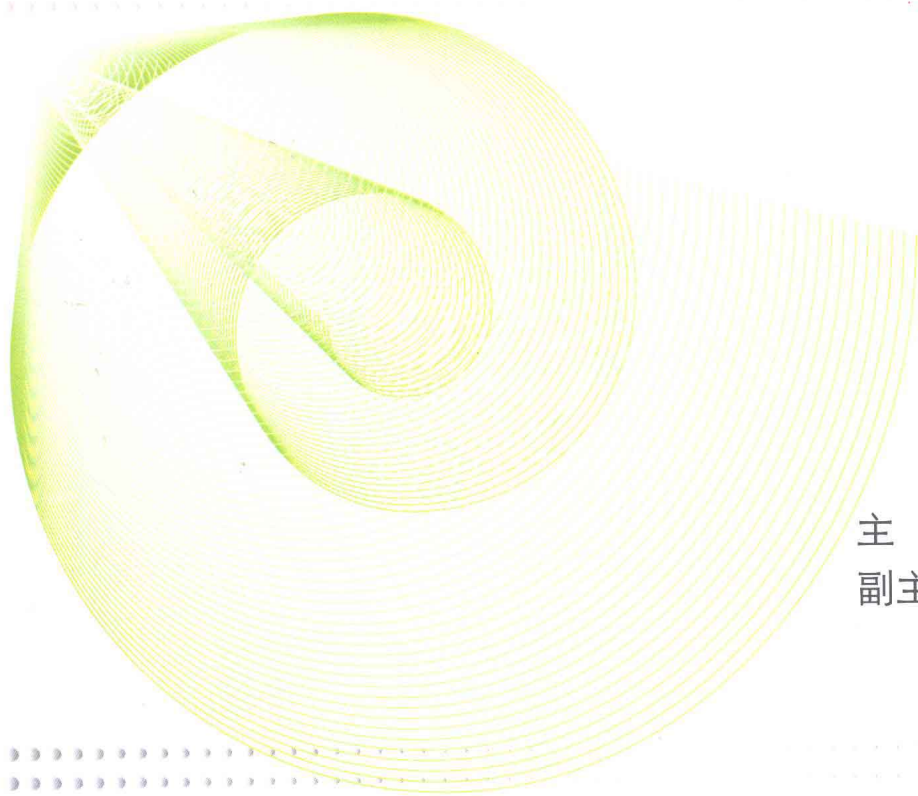


“卓越工程师”教学改革成果



主 编 秦进平  
副主编 刘海成 周正林  
张凌志 马 成

# 数字电子与 EDA 技术

 科学出版社

# 数字电子与 EDA 技术

主 编 秦进平

副主编 刘海成 周正林

张凌志 马 成

科 学 出 版 社

北 京

## 内 容 简 介

本书以数字电子技术基本理论和基本技能为引导,以 EDA 平台和硬件描述语言为主要设计手段,以全面提升学生的课程应用能力为宗旨,将传统的“数字电子技术”课程和“EDA 技术”课程深度融合,建立传统数字电子技术设计和现代设计方法相结合的新课程体系。在电子系统设计中,突出现代设计方法;在传统设计中,有效地利用 EDA 工具加强教学。

本书可作为电子信息工程、电气工程及其自动化、测控技术与仪器、通信工程、电子科学与技术、自动化、计算机科学与技术等专业本科“数字电子技术”、“数字逻辑”或“EDA 技术”课程的教材或参考书,也可供工程技术人员参考。

### 图书在版编目(CIP)数据

数字电子与 EDA 技术/秦进平主编. —北京:科学出版社, 2011  
ISBN 978-7-03-032172-5

I. ①数… II. ①秦… III. ①数字电路—电路设计:计算机辅助设计—高等学校—教材 IV. ①TN79

中国版本图书馆 CIP 数据核字(2011)第 172280 号

责任编辑:王鑫光 于 红 / 责任校对:陈玉凤

责任印制:张克忠 / 封面设计:迷底书装

科学出版社出版

北京东黄城根北街 16 号  
邮政编码:100717

<http://www.sciencep.com>

铁成印刷厂印刷

科学出版社发行 各地新华书店经销

\*

2011 年 8 月第 一 版 开本:787×1092 1/16

2011 年 8 月第一次印刷 印张:16 3/4

印数:1—2 500 字数:418 000

定价:38.00 元

(如有印装质量问题,我社负责调换)

# 前 言

现代电子和通信技术以及计算机技术的发展，归根结底是数字电子技术的发展。作为信息社会的技术基础，“数字电子技术”作为电子信息工程、电气工程及其自动化、测控技术与仪器、通信工程、自动化、计算机科学与技术等专业必修的基础课已经有几十年。传统的“数字电子技术”课程以逻辑代数的公式和定理、逻辑函数的表示方法，以及逻辑函数的简化方法作为分析与设计数字逻辑电路的数学工具，并将卡诺图作为数字逻辑电路设计中的核心工具。当进行数字逻辑系统设计时，首先要根据逻辑功能画出卡诺图，并最终得到一张线路图，这就是传统的原理图设计方法。为了能够对设计进行验证，设计者通常还要通过搭建硬件电路板，对设计进行验证，效率低下。随着电子设计自动化的出现，卡诺图的历史使命已经结束，数字逻辑电路设计的集成度、复杂度越来越高，传统的数字系统设计方法已满足不了设计的要求。同时，在传统的数字系统设计中，学生在没有逻辑分析仪等仪器的环境下，很难直观经历和感受数字系统分析与调试的过程。很多学生一直处在数字系统设计的初等水平，甚至对数字电路的设计仅仅是“纸上谈兵”，学生自然对这门课的实验毫无兴趣。

另外，以可编程器件为基础的数字系统设计早已成为工程应用的主流，所采用的方法也并非传统的卡诺图，而是硬件描述语言等。为了提升学生进行数字系统设计的能力，与工程应用接轨，“EDA 技术”课程作为数字电子技术的延伸和实训环节早已进入大学的课堂。那么什么是电子设计自动化(EDA)技术呢？

EDA 技术就是以大规模可编程逻辑器件为设计载体，以硬件描述语言为系统逻辑描述的主要表达方式，以计算机、EDA 环境及实验开发系统为设计工具，自动完成用软件方式描述的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、布局布线、逻辑仿真，直至完成对于特定目标芯片的适配编译、逻辑映射、编程下载等工作，最终形成集成电子系统或 ASIC 的一门多学科融合的综合性的技术。

然而，在多年的实践中，“数字电子技术”与“EDA 技术”这两门课程的教学并没有达到预想的效果。出现这一情况的原因分析如下：

(1) “EDA 技术”课程一般安排在第 6 学期或第 7 学期，相对于“数字电子技术”课程，两门课程之间不连续，造成学习的不连贯。尤其是两门课程的教学相对孤立，不能有机融合，学生不能完全做到互促式学习，形成扎实的技能。

(2) “数字电子技术”课程具有较多的学时，甚至具有较多的实践学时和集中实践环节；而“EDA 技术”课程最多也不过 32 学时，更没有集中实践环节，相对于目前的工程实践，本末倒置。

(3) 相对于“EDA 技术”课程，“数字电子技术”课程没有方便的实践环境。“EDA 技术”课程可以在 EDA 平台上进行各种实验，学生可以方便地在个人计算机上实验；而“数字电子技术”课程大多只是按学校安排进行一些验证性实验，学生在学习“数字电子技术”课程时主动性差。

因此，本书将传统的“数字电子技术”与“EDA 技术”整合为一门课程，统筹安排教学内容，合理整合教学资源，使得学生能将数字系统设计的原理与实践紧密结合起来。由于数

字系统设计相关课程是电类专业后续多门课程的基础，因此，加大对该课程理论和实践环节的改革和建设力度，对于快速提高学生的专业能力具有格外重要的意义。同时，课程整合后，集中实践环节更具工程内涵，可为学生的快速成才提供捷径。

鉴于以上考虑，作者在多年教学实践基础上编写了本书。本书以数字电子基本理论和基本技能为引导，以 EDA 平台和硬件描述语言为主要设计手段，以全面提升学生的课程应用能力为宗旨；逻辑电平由早已过时的 5V 改为 3.3V 描述，淡化电路的内部结构，强调电路的外部特性；淡化逻辑表达式的化简，由数字电子基本知识快速过渡到以 EDA 技术为核心的数字系统设计方法上来。本书将“数字电子技术”课程和“EDA 技术”课程深度融合，建立传统数字电子技术设计和现代设计方法相结合的新课程体系，而非简单拼凑：在原理图设计层面，通过 EDA 环境讲述数字逻辑基础；在可编程逻辑器件层面，基于硬件描述语言讲述数字系统设计。即在电子系统设计中，突出现代设计方法；在传统设计中，有效地利用 EDA 工具加强教学。同时，本书以注重基本概念、基本单元电路、基本方法和典型电路为出发点，促进学生基本工程能力的形成。

在“数字电子技术”的教学过程中引入 EDA 技术，不仅可以使学生形象、直观地理解电路的相关原理和工作过程，还可以通过修改电路的形式或参数，与学生一起讨论电路中出现的各种现象，找出解决问题的方法。这样不仅可以活跃课堂气氛，还可以提高学生的学习兴趣。学生普遍反映，该课程易学、新颖、有趣。同时，理论与实验紧密结合，充分发挥学生的积极性和创造性，达到了较好的教学效果。

本书由秦进平教授任主编，刘海成、周正林、张凌志和马成任副主编，并由秦进平教授统稿。秦进平编写第 1 章、第 3 章和第 8 章，刘海成编写第 6 章和第 7 章，周正林编写第 4 章和第 9 章，张凌志编写第 5 章和附录 C，马成编写第 2 章和附录 A、B、D。全书由阳昌汉教授和欧阳斌林教授主审，两位教授提出了很多宝贵意见，在此表示由衷的感谢。科学出版社的责任编辑王鑫光对本书的出版和修订始终给予具体的帮助和指导，并细致审定书稿，纠正一些错误和不妥之处，为提高书稿质量付出了艰苦劳动，在此谨向他表示衷心感谢。

作者虽然力求完美，但由于水平有限，书中不足之处在所难免，敬请读者不吝指正和赐教，不胜感激！

作者  
2011 年 5 月

# 目 录

## 前言

<b>第 1 章 数字电子系统基础</b> .....	1
1.1 数字信号与数字电路 .....	1
1.1.1 模拟信号与数字信号 .....	1
1.1.2 数字电路与模拟电路的区别和联系 .....	1
1.2 数字系统设计与 EDA 技术概述 .....	2
1.2.1 EDA 技术的起源 .....	4
1.2.2 EDA 技术的含义 .....	5
1.2.3 EDA 技术的主要内容 .....	5
1.3 数制及转换 .....	9
1.3.1 十进制 .....	9
1.3.2 二进制 .....	10
1.3.3 十六进制 .....	10
1.3.4 不同进制之间的相互转换 .....	10
1.4 二进制数的算术运算 .....	13
1.4.1 无符号二进制数的算术运算 .....	13
1.4.2 带符号二进制数的减法运算 .....	13
1.5 逻辑代数 .....	15
1.5.1 逻辑代数的基本定律和基本规则 .....	15
1.5.2 逻辑代数的代数法化简 .....	19
1.6 逻辑函数的卡诺图化简 .....	20
1.6.1 逻辑函数的最小项表达式 .....	20
1.6.2 用卡诺图化简逻辑函数 .....	21
1.7 二进制编码 .....	23
1.7.1 二-十进制码 .....	23
1.7.2 格雷码 .....	24
1.7.3 ASCII 码 .....	25
习题与思考题 .....	26
<b>第 2 章 逻辑门电路</b> .....	28
2.1 基本逻辑门逻辑 .....	28
2.1.1 MOS 门电路 .....	28
2.1.2 CMOS 反相器 .....	28
2.2 与非门、或非门和异或门逻辑 .....	30
2.2.1 与非门电路 .....	30

2.2.2	或非门电路	31
2.2.3	异或门电路	31
2.3	三态门、OD 门及应用	32
2.3.1	三态门	32
2.3.2	OD 门	33
2.4	集成电路逻辑门	35
2.4.1	逻辑门的基本结构与工作原理	35
2.4.2	数字逻辑电平	37
2.4.3	典型逻辑门集成电路器件及性能参数	38
2.5	逻辑电平接口转换及负载能力设计	41
2.5.1	逻辑门之间相互驱动的条件	41
2.5.2	TTL 逻辑门与 CMOS 逻辑门接口	43
2.6	逻辑门电路的抗干扰措施	44
2.7	Quartus II 的原理图 EDA 设计环境及实例	44
2.7.1	设计任务介绍及原理分析	45
2.7.2	Quartus II 简介及用户界面	46
2.7.3	原理图编辑输入	47
2.7.4	编译	52
2.7.5	时序功能仿真	53
	习题与思考题	57
<b>第 3 章</b>	<b>组合逻辑电路分析与设计</b>	<b>59</b>
3.1	组合逻辑电路的分析	59
3.2	组合逻辑电路的设计	60
3.2.1	单输出组合电路的设计	60
3.2.2	多输出组合电路的设计	62
3.3	组合逻辑电路中的竞争-冒险	63
3.3.1	产生竞争-冒险的原因	63
3.3.2	消去竞争-冒险的方法	64
3.3.3	卡诺图在组合逻辑电路竞争-冒险中的应用	64
3.4	编码器与译码器	65
3.4.1	编码器	65
3.4.2	译码器	67
3.5	数据选择器	72
3.5.1	数据选择器的工作原理	72
3.5.2	常用集成电路数据选择器	72
3.6	数值比较器	75
3.6.1	数值比较器的工作原理	75
3.6.2	集成数值比较器	77
3.7	算术运算电路	77

3.7.1 加法运算电路	78
3.7.2 减法运算电路	80
习题与思考题	81
<b>第4章 时序逻辑电路基础</b>	<b>83</b>
4.1 双稳态触发器	83
4.2 RS 触发器	83
4.2.1 基本 RS 触发器	83
4.2.2 同步 RS 触发器	85
4.3 D 锁存器与 D 触发器	86
4.3.1 D 锁存器及应用	86
4.3.2 D 触发器及应用	88
4.4 JK 触发器	90
4.5 时序逻辑电路	92
4.5.1 时序逻辑电路的结构	92
4.5.2 同步时序逻辑电路和异步时序逻辑电路	94
4.5.3 时序逻辑电路的设计	97
4.6 寄存器和移位寄存器	100
4.6.1 寄存器	100
4.6.2 移位寄存器	101
4.7 计数器	103
习题与思考题	106
<b>第5章 可编程逻辑器件</b>	<b>108</b>
5.1 PLD 概述	108
5.1.1 PLD 发展历程	108
5.1.2 PLD 分类	109
5.2 低密度 PLD 结构及原理	110
5.2.1 PLD 的电路符号表示	110
5.2.2 PROM	111
5.2.3 PLA	112
5.2.4 PAL	113
5.2.5 GAL	115
5.3 CPLD 结构与工作原理	117
5.4 FPGA 结构与工作原理	121
5.4.1 查找表逻辑结构	121
5.4.2 Cyclone/Cyclone II 系列器件的结构与原理	122
5.5 CPLD/FPGA 产品及开发	127
5.5.1 Altera 公司的 FPGA 和 CPLD	128
5.5.2 编程与配置	132
5.5.3 基于 Altera 公司产品的开发流程	135



5.5.4 Quartus II 环境下的引脚配置及芯片烧写 .....	136
习题与思考题 .....	139
<b>第 6 章 Verilog HDL 数字系统设计基础 .....</b>	<b>140</b>
6.1 基于 HDL 进行数字系统设计概述 .....	140
6.2 Verilog HDL 的模块结构 .....	141
6.3 QuartusII 的 Verilog HDL 设计环境 .....	145
6.4 Verilog HDL 的三种建模方式 .....	145
6.4.1 结构化描述方式 .....	146
6.4.2 数据流描述方式 .....	147
6.4.3 行为描述方式 .....	149
6.4.4 过程赋值语句 .....	153
6.5 典型组合逻辑电路的 Verilog HDL 描述举例 .....	154
6.5.1 数据选择器设计 .....	154
6.5.2 74138 译码器设计 .....	155
6.5.3 数码管显示译码器设计 .....	156
6.5.4 利用任务和函数语句对组合逻辑电路进行结构化描述 .....	157
6.6 时序逻辑电路的 Verilog HDL 描述与设计 .....	160
6.6.1 D 触发器的 Verilog HDL 描述 .....	160
6.6.2 D 锁存器的 Verilog HDL 描述 .....	162
6.7 基于 Verilog HDL 的计数器设计 .....	164
6.7.1 基于 Verilog HDL 进行通用计数器设计 .....	164
6.7.2 基于计数器的 PWM 波形发生器设计 .....	166
6.8 基于 Verilog HDL 的移位寄存器设计 .....	167
6.8.1 8 位双向移位寄存器的 Verilog HDL 描述 .....	167
6.8.2 使用移位操作符设计移位寄存器 .....	168
6.8.3 带两级锁存的串入并出移位寄存器 74HC595 的描述 .....	169
6.9 Verilog HDL 的循环语句及应用 .....	170
6.9.1 for 语句用法 .....	171
6.9.2 repeat 语句用法 .....	171
6.9.3 while 语句用法 .....	172
6.9.4 Verilog HDL 循环语句应用要点 .....	173
6.10 双向端口与存储器设计 .....	173
6.10.1 8 位双向总线驱动器设计 .....	174
6.10.2 存储器设计 .....	174
习题与思考题 .....	176
<b>第 7 章 D/A 转换器与 A/D 转换器及其应用 .....</b>	<b>177</b>
7.1 D/A 转换器与 A/D 转换器概述 .....	177
7.2 D/A 转换器原理 .....	178
7.2.1 权电阻网络 D/A 转换器 .....	178

7.2.2	R-2R T 型电阻网络 D/A 转换器	179
7.2.3	电流输出型和电压输出型 D/A 转换器	180
7.2.4	D/A 转换器的主要技术指标及选型依据	180
7.2.5	基于 TL431 的基准电压源设计	182
7.3	DAC0832 及其应用	183
7.3.1	D/A 转换器芯片——DAC0832	183
7.3.2	DAC0832 的应用	186
7.4	A/D 转换器原理	186
7.4.1	计数型 A/D 转换器	187
7.4.2	逐次比较型 A/D 转换器	188
7.4.3	双积分型 A/D 转换器	189
7.4.4	A/D 转换器的主要性能指标	190
7.5	逐次比较型 A/D 转换器——ADC0809	191
7.5.1	ADC0809 芯片简介	191
7.5.2	ADC0809 的接口时序及工作流程	192
	习题与思考题	193
<b>第 8 章</b>	<b>Verilog HDL 有限状态机及应用</b>	<b>194</b>
8.1	FSM 设计相关语句	194
8.1.1	有限状态机	194
8.1.2	Verilog HDL 有限状态机常用语法元素	196
8.1.3	Verilog HDL 状态机的程序结构	198
8.2	Moore 型有限状态机	208
8.3	Mealy 型有限状态机建模	211
8.4	状态编码	212
8.5	状态机安全设计	213
8.6	状态机图形化设计方法	215
	习题与思考题	218
<b>第 9 章</b>	<b>波形发生电路</b>	<b>220</b>
9.1	脉冲发生器与 555 集成电路	220
9.1.1	脉冲发生器	220
9.1.2	555 定时器的电路结构与功能	220
9.2	单稳态触发器	222
9.2.1	用 CMOS 门电路组成的微分型单稳态触发器	222
9.2.2	用 555 定时器组成的单稳态触发器	224
9.2.3	单稳态触发器的定时应用	225
9.3	施密特触发器	225
9.3.1	用门电路组成的施密特触发器	226
9.3.2	用 555 定时器组成的施密特触发器	227
9.3.3	施密特触发器的应用	228

9.4 多谐振荡器	229
9.4.1 用门电路组成的多谐振荡器	229
9.4.2 用施密特触发器构成波形产生电路	231
9.4.3 石英晶体振荡器	232
9.4.4 用 555 定时器组成的多谐振荡器	233
9.5 DDS 波形发生原理及正弦波信号发生器设计	234
9.5.1 DDS 工作原理	234
9.5.2 定制所需的 MegaFunction 模块	235
9.5.3 顶层设计	246
9.5.4 Verilog HDL 信号发生器设计	247
习题与思考题	248
附录 A CMOS 和 TTL 逻辑门电路的技术参数	252
附录 B 74 系列门电路速查表	253
附录 C 可综合 Verilog HDL 语法速查表	255
附录 D 常用逻辑符号对照表	257
参考文献	258

# 第 1 章 数字电子系统基础

随着现代电子技术的发展，数字电路的发展与模拟电路一样经历了由电子管、半导体分立器件到集成电路等几个时代，但其发展比模拟电路更快。从 20 世纪 60 年代开始，数字集成器件以双极型工艺制成了小规模逻辑器件；随后发展到中规模逻辑器件；到目前为止，数字电路主要以大规模 CMOS 集成电路为主流，而且应用 EDA 技术进行数字系统设计已经成为电子工程师的必要的基本技能。

本章首先介绍数字信号与数字电路的概念、几种常用数制的概念，以及采用二进制数补码形式进行加减法运算方法；然后讨论逻辑代数的基本定义、逻辑函数的公式化简法和卡诺图化简法；最后介绍数字系统中常用的几种编码方式及其应用。

## 1.1 数字信号与数字电路

### 1.1.1 模拟信号与数字信号

自然界中存在各种各样的物理量，如温度、湿度、压力、速度、电压等。这些物理量随着时间变化的规律都可以看成是时间的函数，我们把表示承载不同信息物理量的时间函数称为信号。从时间的连续性角度可以把信号分为两类：模拟信号和数字信号。其中，在时间上和数值上的变化都是连续的物理量称为模拟量，我们把表示模拟量的信号称为模拟信号。例如，室内的温度、湿度、光强、气压等，都是模拟信号。

如果物理量的变化在时间和数值上都是离散的，即物理量在时间上和数值上都不连续，或者说它们只在一些离散的瞬间出现，而且在数值上是不连续的整数，这类物理量称为数字量，我们把表示数字量的信号称为数字信号。例如，人每分钟心跳的次数、统计路口在某一时段通过汽车的数量、学校里不同班级的人数等，都是数字量。

### 1.1.2 数字电路与模拟电路的区别和联系

本书讨论的信号都是电信号，而且主要研究电压信号。处理模拟电信号的电子电路称为模拟电路，而处理数字电信号的电子电路称为数字电路。

模拟电路主要包括信号放大、功率放大、模拟有源滤波、电源稳压、模拟信号产生电路等。在实际的电子设备当中，模拟电路主要出现在前端传感器和模拟数字转换器(A/D)之间，起到阻抗匹配、信号调理、放大、滤波的作用；在后端的数字模拟转换器(D/A)和传感器(如扬声器)之间，起到功率放大的作用。

数字电路是本书的主要内容，包括组合逻辑电路(编码器、译码器、数据选择器等)和时序逻辑电路(计数器、寄存器、脉冲产生与整形电路等)。其处理的直接对象就是数字信号；在现代电子设备中应用非常广泛。例如，手机、MP4、计算机、数码相机、数字电视等的主要部分都属于数字电路。数字电路负责信号的数字运算、逻辑处理、数字滤波、波形产生、数据存储等功能，是智能设备的核心。

数字电路与模拟电路相比有以下优点:

- (1) 抗干扰性能好、稳定;
- (2) 数字运算可重复性好、精度高,而且可以进行逻辑运算;
- (3) 结构简单,便于大规模集成,成本低,速度快;
- (4) 可以通过编程改变芯片的逻辑功能,便于采用计算机辅助设计。

比如利用第 6 章所讲的硬件描述语言(Hardware Description Language, HDL),就可以通过 EDA(Electronics Design Automation)工具编写代码改变可编程逻辑器件(Programmable Logic Device, PLD)的逻辑功能,达到设计数字系统的目的。

虽然数字电路在现代电子设备中处于核心地位,可以说是电子系统的大脑和神经中枢。但是模拟电路所能实现的一些功能也是数字器件无法完成的,如放大、阻抗匹配等,模拟电路相当于电子系统的耳朵、眼睛和手。模拟电路和数字电路是相辅相成、不可分割的,是一个有机的整体。而且数字电路的基本单元——门电路,分析其工作原理、输入输出特性时还应该把它当做模拟电路对待。因此,数字电子系统离不开模拟技术,一个操作方便、功能完善、性能可靠的电子系统也离不开数字电路的支持。关于数字电路和模拟电路相关联的两个重要部件 A/D 和 D/A 的内容将在第 7 章进行详细介绍。

## 1.2 数字系统设计与 EDA 技术概述

由于条件的制约,过去的数字设计工作并不涉及计算机软件工具,只利用一个原始的工具,如图 1.2-1 所示的塑料模板,可以利用它手工画出原理图的逻辑符号。

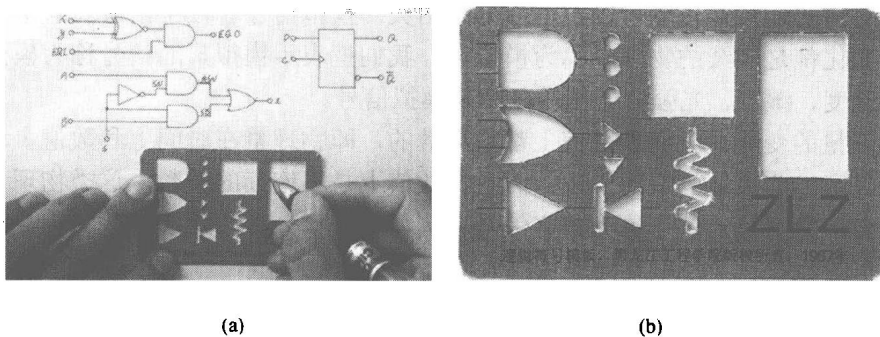


图 1.2-1 逻辑符号模板

然而在今天,计算机软件工具却成为数字设计的重要部分。的确,在过去的十几年间, HDL 的可用性和实践性,以及随之而来的电路模拟和综合工具,已经完全改变了数字设计的整个面貌。在本书的整个篇幅里,我们将广泛使用 HDL 和计算机上的数字设计软件工具。如图 1.2-2 所示为现代数字系统设计的基本流程,由于采用了 HDL,使得从系统到细节的总体设计方法成为可能。这样设计摆脱了传统搭积木式的思维束缚,即使完成一个超级复杂的数字系统的设计任务,设计者也不会陷入混乱,在以前的传统设计中实现这样复杂的系统设计是难以想象的。另外,利用 EDA 技术,各种各样的计算机软件工具提高了设计者的工作效率,并帮助提高设计的正确性和质量,让某些低级的重复性工作可以高效地自动完成,使设计者可以更多地关注逻辑功能的实现,而不是受低级的重复性工作的拖累。在竞争激烈的当今世界,往往要强制性地使用软件工具,这样才能在紧张的生产进度中获得高质量的成果。

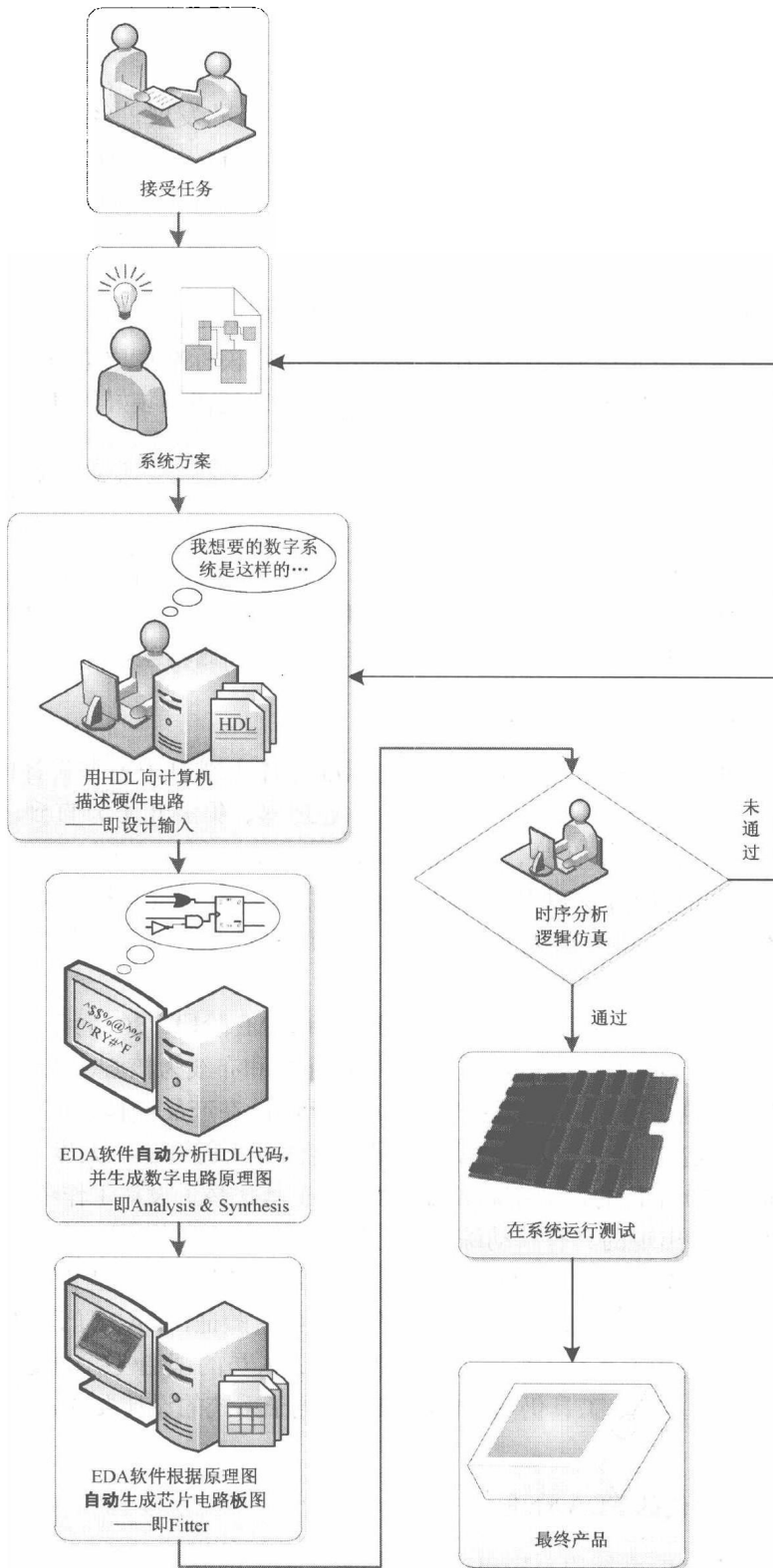


图 1.2-2 现代数字系统设计的基本流程

## 1.2.1 EDA 技术的起源

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了计算机辅助设计(Computer Assist Design, CAD)、计算机辅助工程设计(Computer Assist Engineering Design, CAE)和 EDA 三个发展阶段。

### 1. 20 世纪 70 年代的 CAD 阶段

早期的电子系统硬件设计采用的是分立元件,随着集成电路的出现和应用,硬件设计进入发展的初级阶段。初级阶段的硬件设计大量选用中小规模标准集成电路,人们将这些器件焊接在电路板上,做成初级电子系统,对电子系统的调试是在组装好的 PCB(Printed Circuit Board)板上进行的。

由于设计师对图形符号使用数量有限,传统的手工布图方法无法满足产品复杂性的要求,更不能满足工作效率的要求。这时,人们开始将产品设计过程中高度重复性的繁杂劳动,如布图布线工作,用二维图形编辑与分析的 CAD 工具替代,最具代表性的产品就是美国 Accel 公司开发的 Tango 布线软件。20 世纪 70 年代是 EDA 技术发展初期,由于 PCB 布图布线工具受到计算机工作平台的制约,其支持的设计工作有限且性能比较差。

### 2. 20 世纪 80 年代的 CAE 阶段

初级阶段的硬件设计是用大量不同型号的标准芯片实现电子系统设计的。随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万直到上百万储存单元的随机存储器和只读存储器。此外,支持定制单元电路设计的硅编辑、掩膜编程的门阵列,如标准单元的半定制设计方法以及可编程逻辑器件等一系列微结构和微电子学的研究成果都为电子系统的设计提供了新天地。因此,可以用少数几种通用的标准芯片实现电子系统的设计。

伴随计算机和集成电路的发展,EDA 技术进入到 CAE 阶段。20 世纪 80 年代初,推出的 EDA 工具以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计没有完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件,在设计阶段对产品性能的分析前进了一大步。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳动,那么,20 世纪 80 年代出现的具有自动综合能力的 CAE 工具则代替了设计师的部分工作,对保证电子系统的设计,制造出最佳的电子产品起着关键的作用。到 20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化,以及设计结果验证,CAE 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,而具体化的元件图形制约着优化设计。

### 3. 20 世纪 90 年代的 EDA 阶段

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是 PLD 的发展,使得微电子厂家可以为用户提供各种规模的 PLD,使设计者通过设计芯片实现电子系统功能。

EDA 工具的发展, 又为设计师提供了全线 EDA 工具。这个阶段发展起来的 EDA 工具, 目的是在设计前期将设计师从事的许多高层次设计由工具来完成, 如可以将用户要求转换为设计技术规范, 有效地处理可用的设计资源与理想的设计目标之间的矛盾, 按具体的硬件、软件和算法分解设计等。由于电子技术和 EDA 工具的发展, 设计师可以在不太长的时间内使用 EDA 工具, 通过一些简单标准化的设计过程, 利用微电子厂家提供的设计库来完成数千万门 ASIC (Application Special Integrated Circuit) 和集成系统的设计与验证。

20 世纪 90 年代, 设计师逐步从使用硬件转向设计硬件, 从单个电子产品开发转向系统级电子产品开发, 即片上系统集成 (System on a Chip)。因此, EDA 工具是以系统级设计为核心, 包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力, 而且能提供独立于工艺和厂家的系统级设计能力, 具有高级抽象的设计构思手段。例如, 提供方框图、状态图和流程图的编辑能力, 具有适合层次描述和混合信号描述的 HDL (如 VHDL、Verilog HDL 等), 同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具, 才可能使电子工程师在不熟悉各种半导体工艺的情况下, 完成电子系统的设计。

未来的 EDA 技术将向广度和深度两个方向发展, EDA 将会超越电子设计的范畴进入其他领域, 随着基于 EDA 的单片系统 (SOC) 设计技术的发展, 软硬核功能库的建立, 以及基于 VHDL 所谓自顶向下设计理念的确立, 未来的电子系统的设计与规划将不再是电子工程师们的专利。有专家认为, 21 世纪将是 EDA 技术快速发展的时期, 并且 EDA 技术将是对 21 世纪产生重大影响的十大技术之一。

### 1.2.2 EDA 技术的含义

什么是 EDA 技术? 由于它是一门迅速发展的高新技术, 涉及面广, 内容丰富, 理解各异, 目前尚无统一的看法。当今的 EDA 技术有狭义的 EDA 技术和广义的 EDA 技术之分。狭义的 EDA 技术, 就是指以大规模 PLD 为设计载体, 以 HDL 为系统逻辑描述的主要表达方式, 以计算机、大规模 PLD 的开发软件及实验开发系统为设计工具, 自动完成数字电路设计中某些过程的一门新技术, 或称为 IES/ASIC 自动设计技术。广义的 EDA 技术, 除了狭义的 EDA 技术外, 还包括计算机辅助分析 (Computer Aided Analysis, CAA) 技术 (如 Spice、Matlab 等) 和印刷电路板计算机辅助设计 (PCB-CAD) 技术 (如 Altium Designer, PADS 和 ORCAD 等)。在广义的 EDA 技术中, CAA 技术和 PCB-CAD 技术不具备逻辑综合和逻辑适配的功能, 因此它并不能称为真正意义上的 EDA 技术。故将广义的 EDA 技术称为现代电子设计技术更为合适。

### 1.2.3 EDA 技术的主要内容

EDA 技术涉及面广, 内容丰富, 从实用的角度看, 主要应掌握如下四个方面的内容: ① 大规模 PLD; ② HDL; ③ 软件开发工具; ④ 实验开发系统。其中, 大规模 PLD 是利用 EDA 技术进行电子系统设计的载体; HDL 是利用 EDA 技术进行电子系统设计的主要表达手段; 软件开发工具是利用 EDA 技术进行电子系统设计的智能化自动化设计工具; 实验开发系统则是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。为了使读者对 EDA 技术有一个总体印象, 下面对 EDA 技术的主要内容进行概要的介绍。



## 1. 大规模可编程逻辑器件

PLD 是一种由用户编程以实现某种逻辑功能的新型逻辑器件。其中, 现场可编程门阵列(Field Programmed Gate Array, FPGA)和复杂可编程逻辑器件(Complex Programmable Logic Device, CPLD)的应用已十分广泛, 它们将随着 EDA 技术的发展成为电子设计领域的重要角色。国际上生产 FPGA/CPLD, 并且在国内占有市场份额较大的主流公司主要是 Xilinx、Altera 和 Lattice 三家。Xilinx 公司的 FPGA 器件有 XC2000、XC3000、XC4000、XC4000E、XC4000XLA、XC5200 系列等, 可用门数为 1200~18000; Altera 公司的 CPLD 有 FLEX6000、FLEX8000、FLEX10K、FLEX10KE 系列等, 提供门数为 5000~25000; Lattice 公司的 ISP-PLD 有 ispLSI1000、ispLSI2000、ispLSI3000、ispLSI6000 系列等, 集成度可多达 25000 个 PLD 等效门。

FPGA 在结构上主要分为三部分, 即可编程逻辑单元、可编程输入/输出单元和可编程连线。CPLD 在结构上也主要包括三个部分, 即可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线。

高集成度、高速度和高可靠性是 FPGA/CPLD 最明显的特点, 其时钟延时可小至 ns 级, 结合其并行工作方式, 在超高速应用领域和实时测控方面有着非常广阔的应用前景。在高可靠应用领域, 如果设计得当, 将不会存在类似于 MCU 的复位不可靠和 PC 可能跑飞等问题。FPGA/CPLD 的高可靠性还表现在几乎可将整个系统下载于同一芯片中, 实现所谓片上系统, 从而大大缩小了体积, 易于管理和屏蔽。

由于 FPGA/CPLD 的集成规模非常大, 因此可利用先进的 EDA 工具进行电子系统设计和产品开发。由于开发工具的通用性、设计语言的标准化以及设计过程几乎与所用器件的硬件结构无关, 因而设计开发成功的各类逻辑功能块软件有很好的兼容性和可移植性。它几乎可应用于任何型号和规模的 FPGA/CPLD, 从而使得产品设计效率大幅度提高, 可以在很短时间内完成十分复杂的系统设计, 这正是产品快速进入市场最宝贵的特征。美国 IT 公司认为, 一个 ASIC 80% 的功能可用于 IP 核(Intellectual Property Core)等现成逻辑合成。而未来大系统的 FPGA/CPLD 设计仅仅是各类再应用逻辑与 IP 核的拼装, 其设计周期将更短。

与 ASIC 设计相比, FPGA/CPLD 显著的优势是开发周期短、投资风险小、产品上市速度快、市场适应能力强和硬件升级回旋余地大, 而且当产品定型和产量扩大后, 可将在生产中达到充分检验的 VHDL 设计迅速实现 ASIC 投产。

对于一个开发工程, 究竟是选择 FPGA 还是选择 CPLD 呢? 主要看开发工程本身的需要: 对于普通规模, 且产量不是很大的产品工程, 通常使用 CPLD 比较好; 对于大规模的逻辑设计、ASIC 设计或单片系统设计, 则多采用 FPGA。另外, FPGA 掉电后将丢失原有的逻辑信息, 所以在实用中需要为 FPGA 芯片配置一个专用 ROM。

## 2. HDL

常用 HDL 有 VHDL、Verilog HDL 和 ABEL。VHDL 起源于美国国防部的 VHSIC, Verilog HDL 起源于集成电路的设计, ABEL 则来源于 PLD 的设计。下面从使用方面将三者进行对比。

(1) 逻辑描述层次: 一般的 HDL 可以在三个层次上进行电路描述, 其层次由高到低依次分为行为级、RTL 级和门电路级。VHDL 是一种高级描述语言, 适用于行为级和 RTL 级的描