

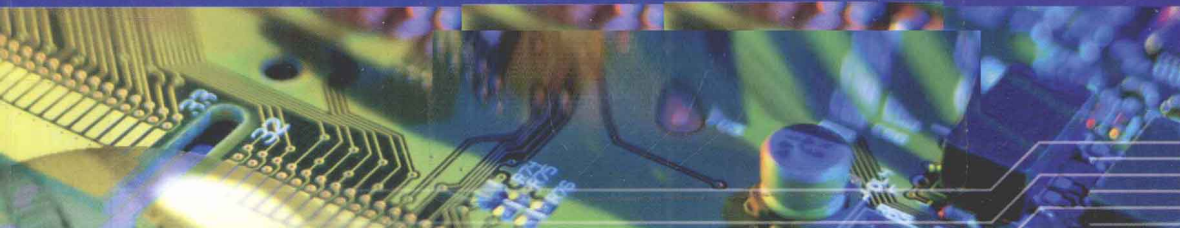
高速电路PCB设计与EMC技术分析

(第2版)

◆ 田广锴 范如东 等编著 ◆ 冼进 审校

>> >>>>>>

.. >>



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

高速电路 PCB 设计与 EMC 技术分析

(第 2 版)

田广锬 范如东 等编著
洗 进 审校

电子工业出版社

Publishing House of Electronics Industry

北京 · BEIJING

前 言

电子领域的快速发展，使得由集成电路构成的电子系统朝着大规模、小体积和高速度的方向发展。随着芯片的体积越来越小，电路的开关速度越来越快，PCB 的密度越来越大，信号的工作频率越来越高，高速电路 PCB 的电磁兼容性、信号完整性和电源完整性等问题一步步凸显出来，并且相互紧密地交织在一起，使得传统的设计方法已经不能适应现代高速电路设计的要求。

高速电路对 PCB 设计提出了新的挑战。设计者们应该如何应对这种挑战呢？是坚持传统的 PCB 设计观念和方法去实现一个高速电路产品设计，却发现设计出来的电路板根本无法工作，最后不得不花费大量的时间和精力去改进甚至从头做起；还是与时俱进，及时更新自身的知识结构，以全新的思维和观念来看待高速电路 PCB 的设计？

实践证明，与时俱进才是明智的选择，但是变革往往是痛苦的，或是无从下手。如果没有接触过射频及微波电路知识，那么，就很难接受 PCB 等效为天线、传输线、阻抗匹配和反射等一系列概念。

本书从高速电路的基本概念出发，首先分析高速电路与低速电路的区别，进而概括出高速电路所面临的三大问题：电磁兼容、信号完整性和电源完整性，接着本书对这些问题的来龙去脉及其危害作了详细的分析，最后将这些问题的解决方法贯穿到实际的高速电路 PCB 设计过程之中。

本书特点

本书采用“提出问题—分析问题—解决问题”的思维方式，坚持理论和实践相结合。一方面使高速电路 PCB 设计者对相关理论有清楚的认识，另一方面使高速电路 PCB 设计者形成一种全局观念，将电磁兼容、信号完整性等观念贯穿于 PCB 设计过程的始终。

概括来讲，本书具有如下特点：

- 紧扣基础理论，兼顾学科知识的广度和深度。
- 取材广泛，内容丰富。
- 案例实用，学以致用。

组织结构

本书分为上、下两篇。上篇为基础篇共 7 章：第 1 章介绍了高速电路的特点及 PCB 的基础知识，并提出高速电路 PCB 设计面临的问题；第 2、3、4、5、6、7 章分别对电磁兼容、PCB 上的电磁干扰、电路信号完整性、信号完整性及测量、电源完整性问题和去耦旁路做了

深入分析。下篇为应用篇：第 8、9 章介绍了高速电路布局布线技巧和现代高速电路 PCB 设计方法，并针对前述问题提出了解决方案；第 10 章、第 11 章介绍了业界广泛使用的 PCB 设计的 PADS 软件套装；第 12 章给出一个完整的应用实例：基于信号完整性分析的高速数据采集卡的设计。上、下篇的有机结合，使本书的知识浑然一体，不仅有利于课堂教学使用，还是一本很好的自学读物。

读者对象

- 电子信息类专业学生。
- 从事电路设计的硬件设计工程师、电磁兼容工程师、系统工程师。
- 对高速电路设计相关问题感兴趣的读者。

如果您是一名准备进入 PCB 设计行业的初学者，您将会幸运地避免上面的难题，本书将引导您直接进入高速电路 PCB 世界。

如果您负责公司的产品规划设计，了解这些理论，形成以上观念，在制订产品方案的时候，将电磁兼容、信号完整性，以及电源完整性等问题考虑进去，将会使设计工作变得更加高效可靠。

编者与致谢

本书由田广锬、范如东等编著，冼进审校。其中，范如东编写了第 1、4、5、8、9、10、11、12 章的内容；田广锬编写了第 2、3、6、7 章的内容。

参与本书编写工作的人员还有：邹素琼、冯强、曾德惠、许庆华、程亮、周聪、黄志平、胡松、邢永峰、邵军、边海龙、刘达因、赵婷、马鸿娟、侯桐、赵光明、李胜、李辉、侯杰、王红研、王磊、闫守红、康涌泉、蒋杼倩、王小东、张森、张正亮、宋利梅、何群芬、程瑶，在此一并表示感谢。

配套服务

为充分展现本书的编写特点，帮助读者深刻理解本书编写意图与内涵，进一步提高对本书在教学中的使用效率，我们提供的本书使用指导联络方式，是读者与编者之间交流沟通的直通车。欢迎读者将本书使用过程中的问题与各种探讨、建议反馈给我们，本书编者会竭诚给您满意的答复。我们的联系方式为 E-mail: china_54@tom.com。

目 录

上篇 基础篇

第 1 章 高速电路设计概述	(3)
1.1 高速信号.....	(3)
1.1.1 高速的界定.....	(3)
1.1.2 高速信号的频谱.....	(4)
1.1.3 集总与分布参数系统.....	(6)
1.2 无源器件的高频特性.....	(6)
1.2.1 金属导线和走线.....	(7)
1.2.2 电阻.....	(8)
1.2.3 电容.....	(8)
1.2.4 电感和磁珠.....	(8)
1.3 高速电路设计面临的问题.....	(9)
1.3.1 电磁兼容性.....	(9)
1.3.2 信号完整性.....	(10)
1.3.3 电源完整性.....	(10)
1.4 本章小结.....	(11)
第 2 章 电磁兼容基础	(12)
2.1 电磁兼容的基本概念.....	(12)
2.1.1 电磁兼容性定义.....	(12)
2.1.2 电磁干扰模型.....	(14)
2.2 电磁兼容的重要性.....	(17)
2.2.1 军事上的意义.....	(17)
2.2.2 产品的市场准入.....	(17)
2.2.3 电磁泄露与信息安全.....	(18)
2.3 电磁兼容标准化及认证.....	(19)
2.3.1 电磁兼容标准.....	(19)
2.3.2 电磁兼容相关认证.....	(24)
2.4 电磁兼容设计.....	(26)
2.4.1 系统工程方法.....	(26)
2.4.2 结构设计与 EMC.....	(27)

2.4.3	接地技术	(28)
2.4.4	滤波技术	(34)
2.4.5	电磁屏蔽技术	(40)
2.5	本章小结	(45)
第3章	PCB 上的电磁干扰	(47)
3.1	PCB 基础知识	(47)
3.2	PCB 上的噪声	(50)
3.2.1	电源线上的噪声	(50)
3.2.2	地线上的噪声	(51)
3.3	PCB 的电磁辐射	(52)
3.4	元器件的电磁辐射	(54)
3.5	典型案例 1——晶振信号辐射造成灵敏度下降	(58)
3.6	本章小结	(59)
第4章	高速电路信号完整性	(60)
4.1	信号完整性概述	(60)
4.1.1	信号完整性问题	(61)
4.1.2	高速电路信号完整性问题的分析工具	(62)
4.2	传输线原理	(65)
4.2.1	PCB 中的传输线结构	(65)
4.2.2	传输线参数	(66)
4.2.3	传输线模型	(67)
4.3	时序分析	(70)
4.3.1	传播速度	(70)
4.3.2	时序参数	(71)
4.3.3	时序设计目标和应用举例	(73)
4.4	反射及阻抗匹配	(75)
4.4.1	瞬态阻抗及反射	(76)
4.4.2	反弹	(77)
4.4.3	上升沿对反射的影响	(80)
4.4.4	电抗性负载反射	(81)
4.5	串扰	(86)
4.5.1	串扰现象	(86)
4.5.2	容性耦合和感性耦合	(87)
4.5.3	串扰的模型描述	(87)
4.5.4	串扰噪声分析	(90)

4.5.5	互连参数变化对串扰的影响	(93)
4.6	本章小结	(96)
第 5 章	信号完整性测量	(98)
5.1	逻辑分析仪	(98)
5.1.1	逻辑分析仪的工作原理	(98)
5.1.2	采集	(99)
5.1.3	存储	(100)
5.1.4	触发	(102)
5.1.5	分析	(103)
5.1.6	使用逻辑分析仪	(104)
5.2	示波器	(105)
5.2.1	模拟示波器和数字示波器	(105)
5.2.2	示波器的各个系统和控制	(108)
5.2.3	示波器的关键指标	(113)
5.3	时域反射仪和阻抗测量	(116)
5.4	本章小结	(118)
第 6 章	高速电路电源完整性	(119)
6.1	电源完整性问题概述	(120)
6.1.1	芯片内部开关噪声	(121)
6.1.2	芯片外部开关噪声	(123)
6.1.3	减小同步开关噪声的其他措施	(125)
6.1.4	同步开关噪声总结	(126)
6.2	电源分配网络系统设计	(126)
6.2.1	PCB 电源分配系统	(128)
6.2.2	电源模块的模型	(128)
6.2.3	去耦电容的模型	(129)
6.2.4	电源 / 地平面面对应的模型	(133)
6.3	本章小结	(134)
第 7 章	去耦和旁路	(135)
7.1	去耦和旁路特性	(135)
7.2	去耦和旁路电路属性参数	(136)
7.2.1	能量储存	(136)
7.2.2	阻抗	(136)
7.2.3	谐振	(137)
7.2.4	其他特性	(139)

7.3	电源层和接地层电容	(139)
7.4	电容选择举例	(141)
7.4.1	去耦电容的选择	(141)
7.4.2	大电容的选择	(144)
7.4.3	选择电容的其他考虑因素	(146)
7.5	集成芯片内电容	(146)
7.6	本章小结	(148)

下篇 应用篇

第 8 章	高速电路 PCB 的布局和布线	(151)
8.1	走线与信号回路	(152)
8.1.1	PCB 的走线结构	(152)
8.1.2	网络、传输线、信号路径和走线	(152)
8.1.3	“地”、返回路径、镜像层和磁通最小化	(154)
8.2	返回路径	(155)
8.2.1	返回电流的分布	(155)
8.2.2	不理想的参考平面	(156)
8.2.3	参考平面的切换	(157)
8.2.4	地弹	(158)
8.3	高速 PCB 的叠层设计	(160)
8.3.1	多层板叠层设计原则	(160)
8.3.2	尽量使用多层电路板	(162)
8.3.3	6 层板叠层配置实例	(163)
8.4	高速 PCB 的分区	(163)
8.4.1	高速 PCB 的功能分割	(163)
8.4.2	混合信号 PCB 的分区设计	(165)
8.5	高速 PCB 的元件布局	(167)
8.5.1	布线拓扑和端接技术	(168)
8.5.2	如何选择端接方式	(172)
8.5.3	端接的仿真分析	(173)
8.6	高速 PCB 布线策略和技巧	(175)
8.6.1	过孔的使用	(175)
8.6.2	调整走线长度	(176)
8.6.3	拐角走线	(176)
8.6.4	差分对走线	(177)

8.6.5	走线的 3-W 原则	(178)
8.7	本章小结	(179)
第 9 章	现代高速 PCB 设计方法及 EDA	(180)
9.1	现代高速 PCB 设计方法	(180)
9.1.1	传统的 PCB 设计方法	(180)
9.1.2	基于信号完整性分析的 PCB 设计方法	(181)
9.2	高速互连仿真模型	(182)
9.2.1	SPICE 模型	(182)
9.2.2	IBIS 模型	(183)
9.2.3	Verilog-AMS/VHDL-AMS 模型	(191)
9.2.4	三种模型的比较	(191)
9.2.5	传输线模型	(192)
9.3	常用 PCB 设计软件	(193)
9.3.1	Protel	(193)
9.3.2	OrCAD	(194)
9.3.3	ZUKEN CR5000	(195)
9.3.4	Cadence Allegro 系统互连设计平台	(195)
9.3.5	Mentor Graphics PADS	(196)
9.4	本章小结	(197)
第 10 章	PowerLogic & PowerPCB——高速电路设计	(198)
10.1	PADS 软件套装	(198)
10.2	PowerLogic——原理图设计	(200)
10.2.1	PowerLogic 的用户界面	(200)
10.2.2	建立一个新的设计	(202)
10.2.3	环境参数设置	(203)
10.2.4	添加、删除和复制元件	(205)
10.2.5	PADS 元件库与新元件的创建	(206)
10.2.6	建立和编辑连线	(207)
10.2.7	在 PowerLogic 下的叠层设置	(209)
10.2.8	在 PowerLogic 下定义设计规则	(209)
10.2.9	输出网表到 PCB	(210)
10.3	PowerPCB——版图设计	(211)
10.3.1	PowerPCB 的用户界面	(211)
10.3.2	设计准备	(213)
10.3.3	单位设置	(213)

10.3.4	建立板边框	(213)
10.3.5	设置禁布区	(214)
10.3.6	输入网表	(215)
10.3.7	叠层设计	(216)
10.3.8	定义设计规则	(218)
10.3.9	颜色设置	(223)
10.4	元件布局	(224)
10.4.1	准备	(224)
10.4.2	散开元器件	(225)
10.4.3	设置网络的颜色和可见性	(226)
10.4.4	建立元件组合	(226)
10.4.5	原理图驱动布局	(228)
10.4.6	放置连接器	(229)
10.4.7	顺序放置电阻	(229)
10.4.8	使用查找 (Find) 命令放置元件	(230)
10.4.9	极坐标方式放置 (Radial Placement) 元件	(231)
10.4.10	布局完成	(232)
10.5	布线	(232)
10.5.1	布线准备	(232)
10.5.2	几种布线方式	(236)
10.5.3	布线完成	(242)
10.6	定义分割 / 混合平面层	(242)
10.6.1	选择网络并指定不同的显示颜色	(242)
10.6.2	设置各层的显示颜色和平面层的属性	(243)
10.6.3	定义平面层区域	(243)
10.6.4	定义平面层的分隔	(244)
10.6.5	灌注平面层	(244)
10.6.6	初步完成 PCB 设计	(245)
10.7	本章小结	(245)
第 11 章	HyperLynx——信号完整性及 EMC 分析	(246)
11.1	HyperLynx 软件	(246)
11.2	LineSim——布线前仿真	(247)
11.2.1	利用 LineSim 进行反射分析	(247)
11.2.2	利用 LineSim 进行 EMC/EMI 分析	(257)
11.2.3	传输线损耗仿真	(258)

11.2.4	利用 LineSim 进行串扰分析	(259)
11.3	BoardSim——布线后分析	(264)
11.3.1	生成 BoardSim 电路板	(265)
11.3.2	BoardSim 的批处理板级分析	(265)
11.3.3	BoardSim 的交互式仿真	(272)
11.3.4	BoardSim 端接向导	(274)
11.3.5	BoardSim 串扰分析	(276)
11.4	本章小结	(278)
第 12 章	实例——基于信号完整性分析的高速数据采集系统的设计	(279)
12.1	系统组成	(279)
12.1.1	AD9430 芯片简介	(280)
12.1.2	CPLD 芯片简介	(280)
12.1.3	USB2.0 设备控制芯片——CY7C68013	(281)
12.1.4	SDRAM	(281)
12.2	基于信号完整性的系统设计过程	(281)
12.2.1	原理图的信号完整性设计	(281)
12.2.2	PCB 的信号完整性设计	(283)
12.3	设计验证	(288)
12.3.1	差分时钟网络仿真	(288)
12.3.2	数据通道仿真	(289)
12.4	本章小结	(290)
附录 A	常用导体材料的特性参数	(291)
附录 B	常用介质材料的特性参数	(292)
附录 C	变化表	(293)
附录 D	国际单位的前缀	(294)
附录 E	电磁兼容常用术语	(295)
附录 F	我国的电磁兼容标准	(298)
参考文献		(303)

上篇 基础篇



第 1 章 高速电路设计概述

知识点

- 高速的定义
- 无源器件的射频特性
- 高速电路设计面临的问题

本章导读

电子系统的时钟频率越来越高，如果一个数字系统的时钟频率达到或者超过 50 MHz，而且工作在这个频率之上的电路已经占到了整个电子系统一定的分量，就称为高速电路。高速电路设计给工程师们带来了许多新的挑战。本章从介绍高速电路的特性出发，对无源器件在高频下的特性进行概括性的介绍，并由此提出设计高速电路 PCB 面临的几个问题：电磁兼容、信号完整性和电源完整性。

1.1 高速信号

英特尔的创始人之一摩尔曾经预测：每隔 18 个月计算机的性能将翻倍，历史证明了这个预测。衡量计算机性能指标的一个重要指标就是处理器芯片的时钟频率，如图 1-1 所示说明了英特尔处理器时钟频率的发展趋势：大约每两年时钟频率就能提高一倍。2001 年半导体行业协会对未来芯片上时钟频率做了一个规划 [半导体国际技术发展蓝图 (ITRS)]，根据规划处理器时钟频率将不断增长，这必然意味着系统上的数据传输速率、总线速率不断增长。此外，其他产品如宽带通信设备中的数据传输率和时钟频率也会加速提高。因此，越来越多的电子系统设计师们将从事 100 MHz 频率以上的电路设计。目前，超过一半的数字系统的时钟频率高于 100 MHz。当系统时钟频率超过 50 MHz 时，将出现传输线效应和信号完整性问题；而当系统时钟频率达到 120 MHz 时，基于传统方法设计的 PCB 将无法工作，必须使用高速电路设计方法。因此，高速电路设计已经成为现代电子系统设计师必须掌握的知识。只有使用高速电路设计技术，才能实现设计过程的可控性。

1.1.1 高速的界定

如果一个数字系统的时钟频率达到或者超过 50 MHz，而且工作在这个频率之上的电路已经占到了整个电子系统一定的分量（比如说 1/3），这就称为高速电路。

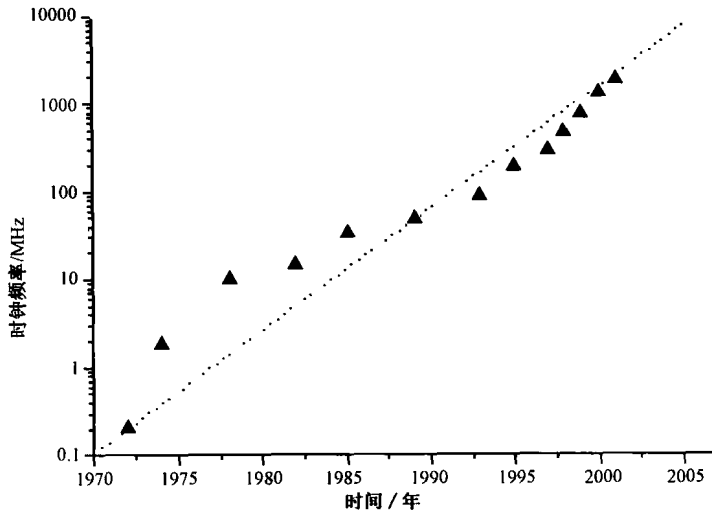


图 1-1 英特尔处理器时钟频率的发展趋势

实际上信号的谐波频率比信号本身的重复频率高，是信号快速变化的上升沿与下降沿引发了信号传输的非预期结果。因此，通常约定如果走线传播延时大于 20% 驱动端的信号上升时间，则认为此类信号是高速信号并可能产生传输线效应。

定义了传输线效应发生的前提条件，又如何判断传播延时是否大于 20% 驱动端的信号上升时间呢？信号上升时间的典型值一般可通过器件手册查出，而信号的传播时间在 PCB 设计中由实际布线长度和传播速度决定。例如，“FR4（环氧树脂）”印刷板上信号传播速度大约为 6 inch/ns（1 inch=2.54 cm），但如果过孔多，器件引脚多，速度将降低，高速逻辑器件的信号上升时间大约为 0.2 ns，则安全的走线长度将不会超过 0.24 inch。

假设“ T_r ”为信号上升时间，“ T_D ”为信号线传播延时，有如下经验法则：如果 $T_r \geq 5T_D$ ，信号落在安全区域；如果 $2T_D \geq T_r \geq 5T_D$ ，信号落在不确定区域；如果 $T_r \leq 2T_D$ ，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速电路设计方法进行设计。

与低速情况下的数字设计相比，高速数字设计着重强调了数字电路之间用来传输信号的路径和互连，设计者需要关注从发送信号芯片到接收信号芯片间的完整的电流路径，包括封装、走线、连接器、插座，以及许多其他的结构。高速数字电路的设计主要研究互连对信号传播的影响、信号间的相互作用，以及和外界的相互作用。

1.1.2 高速信号的频谱

标准时钟信号波形是梯形的周期数字脉冲，如图 1-2 所示，脉冲周期为 T ；信号上升时间为 t_r ；信号下降时间为 t_f 。假设 $t_r = t_f$ ，高电平维持时间为 t_0 ，定义数字脉冲宽度为 $\tau = t_0 + t_r$ 。

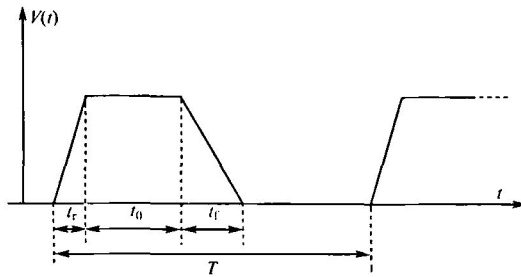


图 1-2 数字时钟信号

将此时钟信号作傅里叶展开如下：

$$V(t) = V_0 \frac{\tau}{T} + \sum_1^{\infty} C_n \cos\left(2\pi \frac{\tau}{T} + \phi_n\right)$$

$$C_n = 2V_0 \frac{\tau + t_l}{T} \cdot \frac{\sin\left[n\pi\left(\frac{\tau + t_l}{T}\right)\right] \sin\left[n\pi\left(\frac{t_l}{T}\right)\right]}{n\pi\left(\frac{\tau + t_l}{T}\right) \cdot n\pi\left(\frac{t_l}{T}\right)} \quad (1-1)$$

$$\phi_n = -n\pi\left(\frac{\tau + t_l}{T}\right)$$

通过式 (1-1) 的傅里叶展开可以得到此时大致的时钟信号离散频谱，如图 1-3 所示。可见数字信号的频谱并不局限于其时钟频率，而是覆盖很宽的频率范围。例如，一个时钟频率为 33 MHz 的数字系统，它的三次谐波分量接近 100 MHz。电路板上的元件、走线、封装、连接器等互连结构在 33 MHz 时可能不会带来问题，但是对于 100 MHz 的谐波，趋肤效应、传输线效应开始出现，并影响信号的完整性。随着频率的升高，一段不起眼的导线、一个封装引脚都可能像天线一样辐射电磁波，带来电磁兼容性问题。此外，系统互连对不同频率的衰减不同，频率越高，衰减越大，这就可能带来信号波形退化等一系列问题。

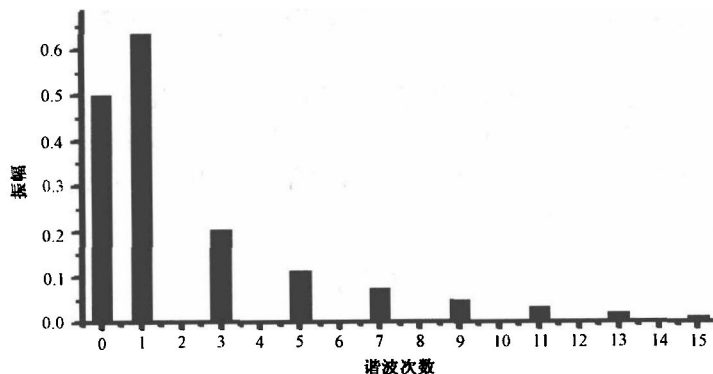


图 1-3 时钟信号的频谱

1.1.3 集总与分布参数系统

在传统的低速数字设计中,通常认为一段走线是等电位的,忽略了它对信号传输的影响,但对于高速信号就没那么简单了。

来看一个上升/下降沿为 0.1 ns,高电平维持时间为 1 ns 的脉冲信号分别经过一段 1 inch 长的 PCB 走线和 0.1 inch 走线的情况。

如图 1-4 (a) 所示,对于输入的该脉冲信号,在同一时刻线上各点的瞬时电位几乎是一致的,可以近似把它看做等电位的一点,这样的系统称之为集总参数系统。

如图 1-4 (b) 所示为信号经过 1 inch 走线传输时沿线各点的一系列瞬时波形。显然,随着该脉冲信号沿走线传播,走线上各个点的电位在同一时刻是不一样的。这个系统对输入脉冲的响应沿走线是分布的,所以,从时域来看,称之为分布参数系统。

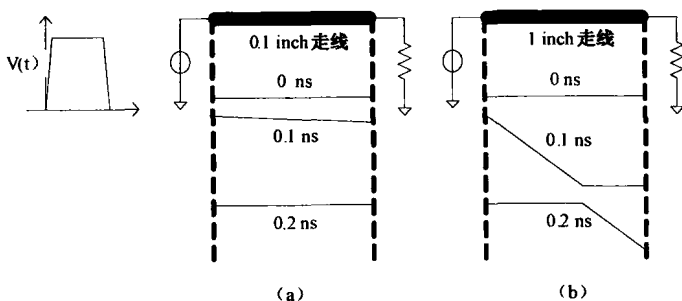


图 1-4 集总参数系统和分布参数系统对脉冲波形的瞬时响应

1.2 无源器件的高频特性

电子器件分为两种:实际的和理想的。实际的器件是可测的、实际存在的事物,是构成硬件电路系统的互连线或元件。实际的器件包括 PCB 上的线条、封装引线或是板上的去耦电容等。

理想器件是特殊的电路元件的数学描述,有详细而精确的定义。仿真器只能仿真实理想器件的性能,电路理论的概念和公式也仅适用于理想器件,它是数学模型,如“SPICE”模型。

实际和理想总是有差别的,而差别的大小与适合元件的应用环境有密切的关系。根据设计低速电路的经验,一个电阻可以定义为

$$R = \frac{V}{I} \quad (1-2)$$

电容定义为

$$C = \frac{I}{dV/dt} \quad (1-3)$$