



普通高等教育电气信息类规划教材



免费电子教案下载

www.cmpedu.com

CPLD/FPGA

控制系统设计



机械工业出版社
CHINA MACHINE PRESS

普通高等教育电气信息类规划教材

CPLD/FPGA 控制系统设计

周京华 等编著



机械工业出版社

本书首先阐述了可编程逻辑器件的基本情况,接着介绍了 VHDL 硬件描述语言的相关知识,然后介绍了 Quartus II 编译环境、可编程逻辑器件应用设计的常见问题、数字控制系统的设计,最后以 5 个具体应用实例说明 CPLD/FPGA 的设计方法,并给出仿真及实验结果,旨在通过对 CPLD/FPGA 在电力电子技术中典型的应用实例分析,提高学生应用 CPLD/FPGA 设计控制系统的能力。书中实例以具体的工程项目为背景,均为作者参与的实际工程项目,具有较强的针对性与实用性,可以较快地提高使用者设计控制系统的能力。

本书适合作为电气工程类、自动化类、机电类等专业的本科生、研究生的教材或教学参考书,也可供从事电气传动、电力电子技术及相关领域的工程技术人员参考。

图书在版编目(CIP)数据

CPLD/FPGA 控制系统设计/周京华等编著. —北京:机械工业出版社, 2010.6

普通高等教育电气信息类规划教材

ISBN 978-7-111-31022-8

I. ①C… II. ①周… III. ①可编程序逻辑器件—控制系统—系统设计
IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2010) 第 112143 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

责任编辑:郝建伟

责任印制:杨 曦

北京蓝海印刷有限公司印刷

2011 年 4 月第 1 版·第 1 次印刷

184mm×260mm·15.5 印张·381 千字

0001—3500 册

标准书号: ISBN 978-7-111-31022-8

定价: 28.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心 : (010)88361066

门户网:<http://www.cmpbook.com>

销售一部 : (010)68326294

教材网:<http://www.cmpedu.com>

销售二部 : (010)88379649

封面无防伪标均为盗版

读者购书热线: (010)88379203

前 言

随着计算机控制技术的进步,控制系统也朝着小型化、高集成度的方向发展。CPLD/FPGA 在控制系统中作为 DSP、单片机的协处理器,不仅协调与各种外设(如 A/D、D/A、I/O)的逻辑、处理各种时序关系,也可以利用其实时性强的特点,配合微处理器完成一些复杂算法。

本书以编者近几年从事的实际工程项目为背景,着重阐述了 CPLD/FPGA 在控制系统中的设计流程、功能分析、开发步骤,针对工业界多个方向(如 PWM 整流器、多电平逆变器、矩阵式变换器、交流调速系统等)的具体应用,进行实例分析,并附有详细的仿真及实验结果。对于 CPLD/FPGA 在控制系统中的作用、设计原则、设计方法、具体实现等关键性问题进行了详细的阐述,对于电类专业学生采用 CPLD/FPGA 设计控制系统具有一定的指导意义。

目前高等教育更加注重实践环节的训练及创新型人才的培养,本书也是针对这一特点进行编写的。内容主要包括:可编程逻辑器件概述、VHDL 硬件描述语言、Quartus II 编译环境介绍、可编程逻辑器件应用设计的常见问题、数字控制系统的设计、工业界 5 个方向的实例分析。

本书编写的目的是使学生紧密联系所学习的 DSP 等微处理器知识,通过实例,理解 CPLD/FPGA 在控制系统中的作用,以及如何与 DSP 进行协调工作,如何进行控制任务分配,并培养学生系统设计的概念,提高学生设计控制系统的能力;同时,对从事电气传动、电力电子技术的工程技术人员也具有较强的实践指导意义。

本书第 1、4~8、10 章由周京华编写,第 9 章由梅杨编写,第 2 章由章小卫编写,第 3 章由刘坤编写。全书由周京华统稿,李正熙教授主审。

本书的编写及出版受到 2009 年北京市电气工程优秀教学团队、2009 年北京市科技新星计划资助。

由于时间仓促加之经验不足,书中难免存在不妥之处,请读者谅解,并提出宝贵意见。

编 者

目 录

前言

第 1 章 可编程逻辑器件概述	1
1.1 可编程逻辑器件的发展	1
1.2 可编程逻辑器件的基本分类	2
1.2.1 按配置分类	2
1.2.2 按原理分类	2
1.3 CPLD 的基本结构及特点	3
1.3.1 CPLD 的基本结构	3
1.3.2 CPLD 的基本特点	8
1.4 FPGA 的基本结构及特点	8
1.4.1 FPGA 的基本结构	9
1.4.2 FPGA 的基本特点	11
1.5 CPLD 与 FPGA 的选择与应用比较	11
1.6 本章小结	14
1.7 习题	14
第 2 章 VHDL 硬件描述语言	15
2.1 VHDL 程序基本结构	15
2.1.1 实体	15
2.1.2 结构体	17
2.2 VHDL 常用语句	22
2.2.1 并行语句	22
2.2.2 顺序语句	29
2.3 VHDL 程序设计基础	38
2.3.1 库	38
2.3.2 程序包	40
2.3.3 子程序	42
2.4 常用逻辑电路的 VHDL 描述	47
2.4.1 组合逻辑电路	48
2.4.2 时序逻辑电路	56
2.5 有限状态机	64
2.5.1 有限状态机的基本原理及分类	64
2.5.2 有限状态机的具体应用	65
2.6 本章小结	70
2.7 习题	70

第 3 章	Quartus II 编译环境介绍	71
3.1	Quartus II 基本特点	71
3.2	Quartus II 设计流程	71
3.3	Quartus II 设计实例分析	72
3.3.1	建立新工程	72
3.3.2	设计输入	74
3.3.3	分配引脚	76
3.3.4	系统仿真	76
3.3.5	硬件配置	78
3.4	Quartus II 中可参数化宏模块介绍及应用	79
3.4.1	可参数化宏模块	79
3.4.2	可参数化宏模块应用	81
3.5	基于 Nios II 的 SOPC 系统设计	87
3.5.1	Nios II 软核的设计	88
3.5.2	外设模块的配置	92
3.5.3	SOPC 应用系统的生成	93
3.5.4	SOPC 软件系统设计	95
3.6	本章小结	99
3.7	习题	99
第 4 章	可编程逻辑器件应用设计的常见问题	100
4.1	编程习惯注意要点	100
4.2	设计硬件电路注意要点	103
4.3	VHDL 语言的优化问题	105
4.4	整体系统的设计和优化	106
4.5	本章小结	109
4.6	习题	109
第 5 章	数字控制系统的设计	110
5.1	数字控制系统简介	110
5.1.1	数字控制系统的特点	110
5.1.2	数字控制系统具体实现形式	110
5.1.3	CPLD/FPGA 在数字控制系统中的作用	113
5.2	数字控制系统的设计原则	114
5.3	数字控制系统的构成	115
5.3.1	DSP 的选择	116
5.3.2	A/D 的选择	118
5.3.3	D/A 的选择	119
5.3.4	CPLD/FPGA 的选择	120
5.4	数字控制系统设计实例分析	121
5.4.1	控制功能分析	121

5.4.2	硬件结构分析	122
5.5	本章小结	123
5.6	习题	123
第 6 章	CPLD 在数据采集系统中的应用	124
6.1	系统功能要求	124
6.2	系统硬件设计	124
6.2.1	MAX1312 介绍	124
6.2.2	硬件设计总体框图	126
6.3	系统软件设计	126
6.3.1	状态机功能分析	127
6.3.2	状态机设计	127
6.4	仿真结果分析	129
6.4.1	状态机程序分析	129
6.4.2	数据采集系统原理图及状态机生成	136
6.4.3	仿真及结果分析	140
6.5	本章小结	142
6.6	习题	142
第 7 章	FPGA 在 PWM 整流器中的应用	143
7.1	系统功能要求	143
7.1.1	PWM 整流器工作原理	143
7.1.2	FPGA 在 PWM 整流器中实现的功能	145
7.2	PWM 整流器控制系统设计	145
7.2.1	PWM 整流器的数学模型	146
7.2.2	基于电流前馈解耦的 PWM 控制策略	149
7.2.3	系统硬件构成及分析	152
7.2.4	系统硬件资源分配	153
7.2.5	FPGA 具体实现功能分析	155
7.2.6	仿真及实验结果	166
7.3	本章小结	167
7.4	习题	167
第 8 章	FPGA 在多电平逆变器中的应用	168
8.1	多电平逆变器概述	168
8.1.1	多电平逆变器基本结构及原理	168
8.1.2	多电平逆变器调制策略	171
8.2	多电平逆变器控制系统设计	173
8.2.1	控制功能分析	173
8.2.2	硬件系统设计	173
8.2.3	总体框图描述	174
8.2.4	系统硬件资源分配	174

8.3	FPGA 在多载波 PWM 脉冲发生器中的应用	175
8.3.1	FPGA 在多载波垂直分布调制策略中的应用	175
8.3.2	FPGA 在多载波水平移相调制策略中的应用	178
8.4	仿真及实验结果	188
8.4.1	多载波垂直分布调制策略仿真及实验结果	188
8.4.2	多载波水平移相调制策略仿真及实验结果	190
8.5	本章小结	195
8.6	习题	195
第 9 章	CPLD 在矩阵式变换器中的应用	196
9.1	矩阵式变换器概述	196
9.1.1	矩阵式变换器基本结构及原理	196
9.1.2	矩阵式变换器调制策略	198
9.1.3	矩阵式变换器换流方法	199
9.2	矩阵式变换器控制系统设计	201
9.3	开关换流过程的 CPLD 实现	202
9.3.1	传统三相-三相矩阵式变换器的 CPLD 换流实现	202
9.3.2	双级矩阵式变换器的 CPLD 换流实现	208
9.4	仿真及实验结果	210
9.4.1	传统三相-三相矩阵式变换器	210
9.4.2	双级矩阵式变换器	212
9.5	本章小结	215
9.6	习题	216
第 10 章	CPLD 在交流电机控制系统中的应用	217
10.1	交流电机控制系统概述	217
10.2	系统功能要求	217
10.3	交流电机控制系统设计	218
10.3.1	控制系统硬件平台构成	218
10.3.2	硬件电路具体实现	218
10.3.3	PWM IP 核的原理及具体实现	227
10.3.4	交流调速系统的具体实现	229
10.3.5	空间电压矢量脉宽调制策略的 CPLD 具体实现	230
10.3.6	正弦波脉宽调制策略的 CPLD 具体实现	236
10.4	本章小结	238
10.5	习题	238
参考文献		239

第 1 章 可编程逻辑器件概述

本章要点

- 可编程逻辑器件的发展
- 可编程逻辑器件的基本分类及结构、特点
- CPLD 和 FPGA 的选择与应用比较

1.1 可编程逻辑器件的发展

可编程逻辑器件 (Programmable Logic Device, PLD) 是专用集成电路 (Application Specific Integrated Circuit, ASIC) 的一个重要分支, 是厂家作为一种通用型器件生产的半定制电路, 用户可通过对器件编程来实现所需要的逻辑功能。PLD 是用户可配置的逻辑器件, 它的成本比较低、使用灵活、设计周期短, 而且可靠性高、风险小, 因而很快得到了普遍应用, 发展非常迅速。现在, 系统设计师在实验室里就可以设计出合适的 ASIC 芯片, 并且立即投入到实际应用之中, 这都得益于可编程逻辑器件的出现。目前, 应用最广泛的 PLD 主要是现场可编程门阵列 (Field Programmable Gate Array, FPGA) 和复杂可编程逻辑器件 (Complex PLD, CPLD)。

20 世纪 70 年代中期, 出现了可编程逻辑阵列 (Programmable Logic Array, PLA) 器件, 它是由可编程的与阵列和可编程的或阵列组成的, 但是由于价格较贵, 编程复杂, 支持 PLA 的开发软件有一定难度, 而且器件的资源利用率低, 因而没有得到广泛应用。

20 世纪 70 年代末期, 美国 NMI 公司率先推出可编程阵列逻辑 (Programmable Array Logic, PAL) 器件, 它由可编程的与阵列和固定的或阵列组成, 采用熔丝编程方式, 双极性工艺制造。由于它的输出结构种类很多, 设计很灵活, 器件的工作速度很高, 成为第一个得到普遍应用的可编程逻辑器件。

20 世纪 80 年代初期, Lattice 公司最先发明了通用阵列逻辑 (Generic Array Logic, GAL) 器件。GAL 与 PLD 相比, 增加了输出逻辑宏单元, 并且具有可电擦写、可重复编程、可设置加密位的 PLD。在实际应用中, GAL 器件对 PAL 器件仿真具有 100% 的兼容性, 所以 GAL 几乎完全代替了 PAL 器件, 获得了广泛的应用。

随着技术的发展, PLD 向高密度、高速度、低功耗以及结构体系更灵活、适用范围更宽广的方向发展, 但是 PAL 和 GAL 结构简单、规模小, 难以实现复杂的逻辑功能。

20 世纪 80 年代中期, Altera 公司推出了可擦除可编程逻辑器件 (Erasable PLD, EPLD), 它是基于 CMOS 和 EPROM 工艺制造的, 基本逻辑单元是宏单元。宏单元由可编程的与阵列、可编程寄存器和可编程 I/O 三部分组成。从某种意义上讲, EPLD 是改进的 GAL, 它在 GAL 基础上大量增加输出宏单元的数目, 提供更大的与阵列, 灵活性较 GAL 有较大改善, 集成密度大幅度提高, 内部连线相对固定, 延时小, 有利于器件在高频率下工作, 但内部互连能力十分弱。

现场可编程门阵列 (FPGA) 是 Xilinx 公司在 1985 年首家推出的, 它是一种新型的高密

度 PLD，采用 CMOS-SRAM 工艺制作。FPGA 的结构与门阵列 PLD 不同，其内部由许多独立的可编程逻辑模块（CLB）组成，逻辑块之间可以灵活地相互连接。

20 世纪 80 年代末期，复杂可编程逻辑器件（CPLD）由 Lattice 公司提出。CPLD 是在 EPLD 的基础上发展起来的，采用 CMOS 工艺制作，与 EPLD 相比，增加了内部连线，对逻辑宏单元和 I/O 单元也有重大的改进，部分 CPLD 器件内部还集成了 RAM、FIFO 或双口 RAM 等存储器，以适应 DSP 应用设计的要求。

20 世纪末期，出现了片上可编程系统（System On a Programmable Chip, SOPC）器件，它将 EAD 技术、计算机系统、嵌入式系统、数字逻辑系统、DSP 等融为一体，涵盖了嵌入式系统设计技术的全部内容。SOPC 集成了硬核或软核 CPU、DSP、存储器、外围 I/O 及可编程逻辑，用户可以基于 FPGA，构建 SOPC 系统，来实现特殊的功能。

1.2 可编程逻辑器件的基本分类

从可编程逻辑器件的发展过程来看，各大公司的可编程逻辑器件层出不穷，但是可编程逻辑器件的命名十分不规范。因此设计人员很难根据可编程逻辑器件的名称来进行严格的分类。在可编程逻辑器件应用领域中的分类方法，也没有一个相对统一的标准。一般来说，设计人员经常按照可编程逻辑器件的配置、原理等来进行分类。

1.2.1 按配置分类

按照芯片断电后信息是否丢失，PLD 被划分为非易失性 PLD 和易失性 PLD 两大类。

非易失性 PLD 的内部编程元件是 E^2 PROM 或 Flash Memory，它们的显著优点是系统断电后用户定义的芯片功能不会丢失，芯片的编程配置信息仍旧保留在 PLD 中，上电后芯片能够不受影响地继续可靠工作。基于 E^2 PROM 编程元件的非易失性 PLD 可以编程 100 次以上，而采用 Flash Memory 作为编程元件的非易失性 PLD，其允许编程的次数超过 10 万次，但是这类 PLD 允许的编程次数少于以静态存储器 SRAM 作为编程元件的易失性 PLD。通过与、或门阵列组合以产生乘积项、内含 E^2 PROM 或 Flash Memory 编程元件的高密度非易失性 PLD 称为 CPLD

易失性 PLD 采用 SRAM 作为其编程元件。基于门阵列组合、通过查找表 LUT 完成数字逻辑功能、编程元件为 SRAM 的高密度易失性 PLD 称为 FPGA。因为 SRAM 在芯片断电后存储的编程数据会消失，故 FPGA 在每次断电后，用户原先定义的逻辑功能也就消失了，当每次恢复上电时，用户必须重新为易失性 PLD 配置数据，芯片才能恢复规定的逻辑功能。

1.2.2 按原理分类

从器件内部构成原理上来看，可以将 PLD 按结构原理划分为阵列型 PLD 和现场可编程门阵列 FPGA 两大类。

（1）阵列型 PLD

其逻辑实现功能主要由与门阵列和或门阵列组成，进行编程操作主要通过修改内部电路的逻辑功能来实现。阵列型 PLD 是最早的可编程逻辑器件，它采用了较大规模的逻辑单元，能够有效地实现“积之和”形式的布尔逻辑函数。阵列型 PLD 的连续式连线结构采用

点到点的金属连线，这些连线经过多路选择器或者交叉连接矩阵，便可以构成相应的信号通路，因此信号延迟可以预测，非常容易消除竞争冒险现象，以利于设计的顺利实现。阵列型 PLD 包括简单 PLD (PLA、PAL 和 GAL)、电可擦除的可编程逻辑器件 (EPLD) 和复杂可编程逻辑器件 (CPLD)。

(2) 现场可编程门阵列 FPGA

FPGA 器件的基本结构是一种门阵列，它能够有效地实现各种大规模的逻辑函数。FPGA 器件的连线结构是利用不同长度的几种连线线段，经过相应的开关元件将各种内部逻辑单元连接起来，从而构成相应的信号通路，因此相应的信号延迟不固定和不可预测。

1.3 CPLD 的基本结构及特点

现在的可编程逻辑器件以大规模、超大规模集成电路工艺制造的 CPLD、FPGA 为主。简单 PLD 基本上已被淘汰，只有 GAL 还在应用于小规模数字逻辑模块方面。

1.3.1 CPLD 的基本结构

在 CPLD 的应用中，Altera 公司的 MAX7000 系列器件具有一定典型性，本章以此为例介绍 CPLD 的结构。

1. MAX7000 系列器件结构

MAX7000 系列器件包含 32~256 个宏单元，每 16 个宏单元组成一个逻辑阵列块 (Logic Array Block, LAB)。每个宏单元占有一个可编程的“与”阵列和固定的“或”阵列，以及一个可配置寄存器，这个触发器具有独立可编程的时钟、时钟使能、清除和置位等功能。每个宏单元共享扩展乘积项和高速并联扩展乘积项，它们可向每个宏单元提供多达 32 个乘积项，以构成复杂的逻辑函数。

MAX7000 结构中包含有 5 个主要部分，即逻辑阵列块 (LAB)、宏单元、扩展乘积项 (共享和并联)、可编程内连线阵列 (PIA) 和 I/O 控制模块。

(1) 逻辑阵列块 (LAB)

一个 LAB 由 16 个宏单元的阵列组成。MAX7000 主要是由多个 LAB 组成的阵列以及它们之间的连线构成，如图 1-1 所示。多个 LAB 通过可编程连线阵列 (Programmable Interconnect Array, PIA) 和全局总线连接在一起，全局总线是可以把任何信号连接到器件中任何地方的一个可编程通道，包括所有的专用输入、I/O 引脚和宏单元馈入信号，对于每个 LAB 有下列输入信号：

- 1) 来自作为通用逻辑输入的 PIA 的 36 个信号。
- 2) 用于寄存器辅助功能的全局控制信号。
- 3) 从 I/O 引脚到寄存器直接输入通道的信号。

(2) 宏单元

MAX7000 系列中的宏单元由 3 个功能块组成：逻辑阵列、乘积项选择矩阵和可编程寄存器，它们可以被单独地配置为时序逻辑和组合逻辑工作方式。其中逻辑阵列实现组合逻辑，可以给每个宏单元提供 5 个乘积项。乘积项选择矩阵分配这些乘积项作为到“或”门和“异

或”门的主要逻辑输入，以实现组合逻辑函数；或者把这些乘积项作为宏单元中寄存器的辅助输入：清零（Clear）、置位（Preset）时钟（Clock）和时钟使能控制（Clock Enable）。

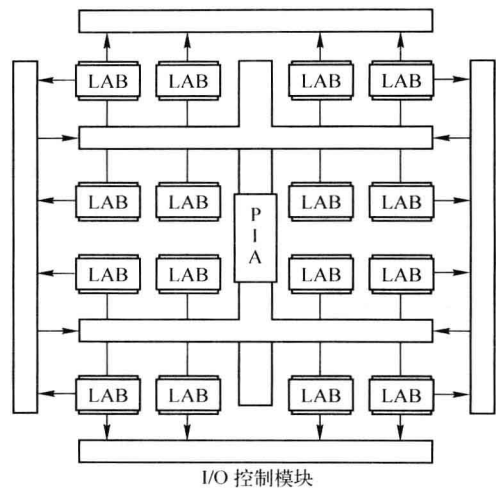


图 1-1 MAX7128 逻辑阵列块结构图

每个宏单元中有一个“共享扩展”乘积项，经非门后回馈到逻辑阵列中，宏单元中还存
在“并行扩展”乘积项，从邻近宏单元借位而来。宏单元中的可配置寄存器可以单独地被配
置为带有可编程时钟控制的 D、T、JK 或 SR 触发器工作方式，也可以将寄存器旁路掉，以
实现组合逻辑工作方式，如图 1-2 所示。

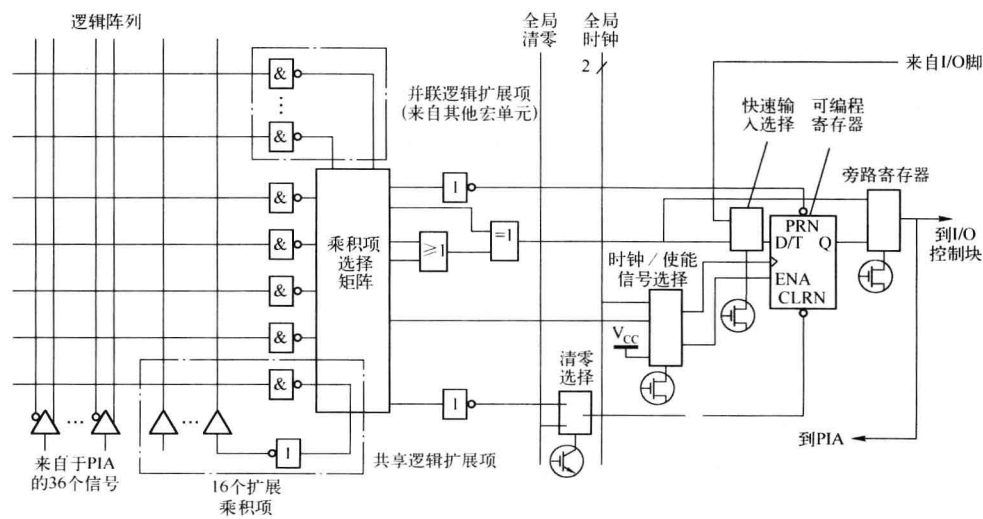


图 1-2 每个宏单元内部结构图

每个可编程寄存器可以按 3 种时钟输入模式工作：

1) 全局时钟信号。该模式能实现最快的时钟到输出（Clock to Output）性能，这时全局时钟输入直接连向每一个寄存器的 CLK 端。

2) 全局时钟信号由高电平有效的时钟信号使能。这种模式提供每个触发器的时钟使能信号, 由于仍使用全局时钟控制, 输出速度较快。

3) 用乘积项实现一个阵列时钟。在这种模式下, 触发器由来自隐埋的宏单元或 I/O 引脚的信号进行时钟控制, 其速度稍慢。

每个寄存器也支持异步清零和异步置位功能。乘积项选择矩阵分配, 并控制这些操作。虽然乘积项驱动寄存器的置位和复位信号是高电平有效, 但在逻辑阵列中将信号取反可得到低电平有效的效果。此外, 每一个寄存器的复位端可以由低电平有效的全局复位专用引脚 GCL Rn 信号来驱动。

(3) 扩展乘积项

大部分逻辑函数能够用每个宏单元中的 5 个乘积项实现, 但更复杂的逻辑函数需要扩展乘积项。可以利用其他宏单元以提供所需的逻辑资源, 还可以利用其结构中具有的共享和并联扩展乘积项, 即“扩展项”。这两种扩展项作为扩展乘积项直接送到本 LAB 的任意一个宏单元中。利用扩展项可保证在实现逻辑综合时, 用尽可能少的逻辑资源, 得到尽可能快的工作速度。

MAX7000 系列器件的内部结构中, 扩展乘积项可以分为两种形式: 一种是共享扩展乘积项, 另一种是并联扩展乘积项。

1) 共享扩展乘积项。对于每一个 LAB 来说, 可以有多达 16 个的共享扩展乘积项。共享扩展乘积项就是由每一个宏单元提供一个未进行使用的乘积项, 然后将它们进行反向操作后反馈到相应的逻辑阵列中, 目的是便于集中使用, 每个共享扩展乘积项都可以被 LAB 中的任何一个宏单元或者全部宏单元来使用或共享, 用来实现更为复杂的逻辑功能, 但是在采用共享扩展乘积项时, 会增加一个很短的延时。图 1-3 给出了共享扩展乘积项是如何反馈到多个宏单元中的。可以看出, 两个宏单元逻辑, 通过每一个乘积项选择矩阵的编程, 可以将一个未使用的乘积项送出, 然后经过反向操作后反馈到逻辑阵列中, 这样便可以进行多个宏单元之间的级联操作, 从而 LAB 便可以实现比较复杂的逻辑功能。

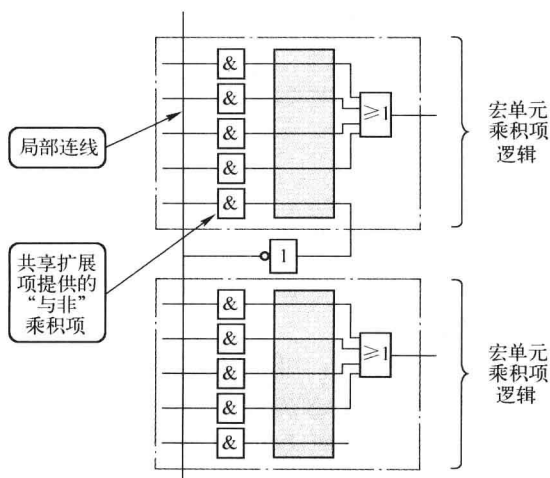


图 1-3 共享扩展乘积项

2) 并联扩展乘积项。在 MAX7000 系列中, 并联扩展乘积项是一个在本宏单元中没有使用的乘积项, 此时这些乘积项可以分配到相邻的宏单元中去实现快速复杂的逻辑功能。通常, 并联扩展乘积项允许采用多达 20 个乘积项直接反馈到宏单元的或阵列中, 其中 5 个乘积项是由宏单元自身提供的, 另外 15 个并联扩展乘积项则是同一 LAB 中的相邻宏单元提供的。

通过器件内部结构可以看出, 每一个 LAB 含有 16 个宏单元。一般来说, 这 16 个宏单元在 LAB 中分为两组, 每组含有 8 个宏单元, 其中宏单元 1~8 为一组, 而宏单元 9~16 则为另一组。LAB 中就可以形成两个借出或借入并联扩展乘积项的链, 一个宏单元可以从编号较低的宏单元中借入并联扩展乘积项。在 LAB 含有 8 个宏单元的每一组中, 最小编号的宏单元只能借出并联扩展乘积项, 最大编号的宏单元只能借入并联扩展乘积项, 另外, 宏单元中不用的乘积项可以分配给邻近的宏单元。如图 1-4 所示, 给出了并联扩展乘积项是如何从邻近的宏单元中被借入的具体情况。

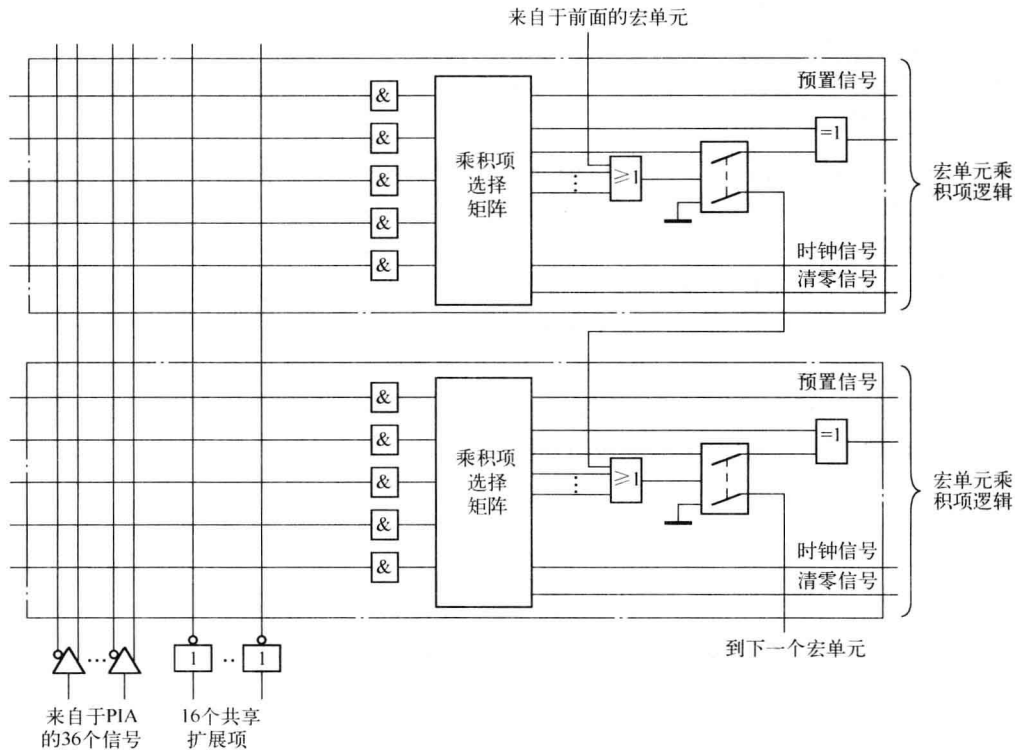


图 1-4 并联扩展乘积项

(4) 可编程内连线阵列 (PIA)

在 MAX7000 系列器件的内部结构中, 可编程逻辑阵列之间的逻辑布线是通过可编程内连线阵列 (PIA) 来进行实现的。所有 MAX7000 系列器件的专用输入引脚、I/O 引脚和宏单元输出都可以反馈到 PIA 中, PIA 可以把这些信号送到整个器件的任何地方。只有每一个 LAB 需要信号, 才真正地给它提供从 PIA 到 LAB 的内部进线, 如图 1-5 所示。图 1-5 给出了 PIA 信号是如何连接到 LAB 的具体方法, 一个 E²PROM 单元用来控制着相应二输入与门的一个

输入端口，用来选择驱动 LAB 的 PIA 信号。MAX7000 系列器件的 PIA 则具有固定的延时，因此，器件中的 PIA 消除了信号之间的时间偏移，同时使得器件的时间性能变得十分容易预测。

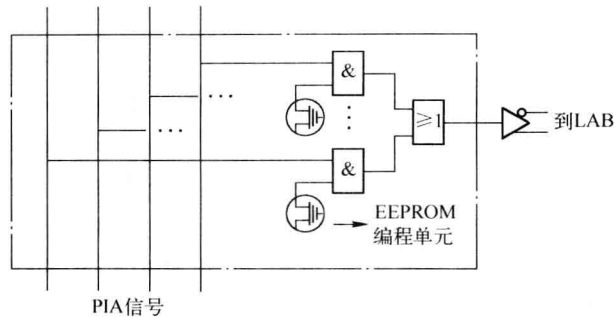


图 1-5 PIA 与 LAB 的布线方式

(5) I/O 控制模块

I/O 控制模块允许 I/O 引脚单独被配置为输入、输出和双向工作方式，所有 I/O 引脚都有一个三态缓冲器，它的控制端信号来自一个多路选择器，可以选择用全局输出使能信号其中之一进行控制，或者直接连到地（GND）或电源（V_{CC}）上。图 1-6 所示是 EPM7128S 器件的 I/O 控制模块，它共有 6 个全局输出使能信号。这 6 个使能信号可来自两个专用的、低电平有效的输出使能引脚 OE1 和 OE2、I/O 引脚的子集或 I/O 宏单元的子集，也可以是这些信号取反后的信号。

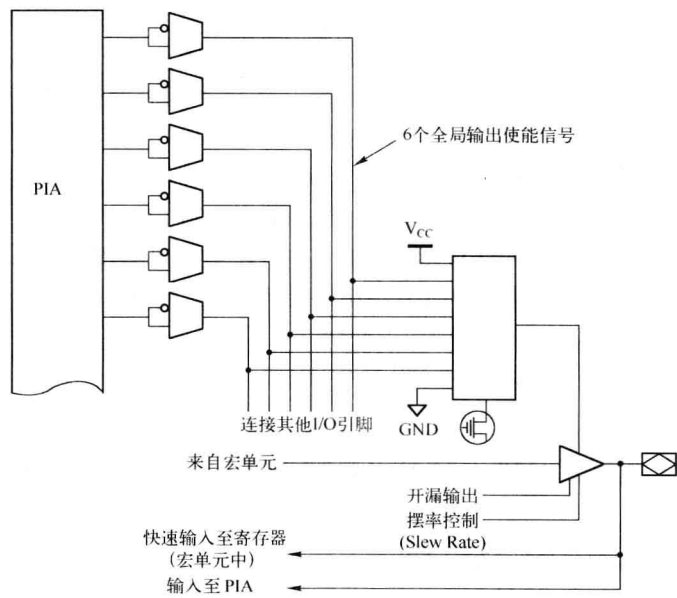


图 1-6 I/O 口控制模块

当三态缓冲器的使能端接地（GND）时，其输出为高阻态，这时 I/O 引脚可作为专用输入引脚使用；当三态缓冲器使能端接电源 V_{CC} 时，输出一直被使能，为普通输出引脚。MAX7000 结构提供双 I/O 反馈，其宏单元和 I/O 引脚的反馈是独立的。当 I/O 引脚被配置成

输入引脚时，与其相连的宏单元可以作为隐埋逻辑使用。另外，MAX7000 系列器件 I/O 控制模块还提供减缓输出缓冲器的电压摆率（Slew Rate）选择项，以降低工作速度要求不高的信号在开关瞬间产生的噪声。

2. CPLD 的配置和编程

MAX7000 的输出可以根据不同系统的需要进行配置。MAX7000 器件（除 44 脚封装的器件）支持多电压（MultiVolt）接口，这使得 MAX7000 器件可以和不同供电电压的系统一起工作。MAX7000 可以将 I/O 引脚设置在 3.3V 或 5V 电源电压下工作。这些器件有两组 VCC 管脚：VCCINT 用于器件内部工作和输入缓冲，VCCIO 用于 I/O 的输出驱动。VCCINT 必须始终接 5V 电源电压，此时输入电平是 TTL 电平，可以兼容 3.3V 和 5V 输入；VCCIO 可以接 3.3V 或 5V 电源电压。VCCIO 管脚接 5V 电源时，输出电平兼容 5V 系统；VCCIO 管脚接 3.3V 电源时，输出高电平为 3.3V，因此输出电平可以兼容 3.3V 或 5V 系统。

MAX7000 系列器件可以通过标准的 JTAG 接口进行编程。通常用一条编程电缆把准备编程的器件与计算机的并口或是串口相连接，利用开发系统的下载功能对器件进行编程。Altera 公司可以提供 BitBlaster 串口和 ByteBlaster 并口两种下载电缆。通常使用的编程电缆是 ByteBlaster 并口下载电缆。

1.3.2 CPLD 的基本特点

Altera 公司的 MAX 系列产品基本上属于 CPLD 结构。它的内部连线均采用集总式互联通路结构，即利用同样长度的一些连线实现逻辑之间的互联，任意两逻辑单元之间的延时是相等并可预测的。MAX 系列芯片是 Altera 公司目前最为流行、使用最广泛的 CPLD 之一。MAX7000 系列是高性能、高密度的 CPLD，包含了多种不同类型的器件，主要特点如下：

- 1) 高性能可擦除器件，采用第二代多阵列矩阵（MAX）结构。
- 2) 引脚之间的延时为 6ns，可达最高 151.5MHz 的工作频率。
- 3) 集成密度门数可达 1000 门，可用门数为 600~5000 门。
- 4) MAX7000 系列通过标准的 JTAG 接口，支持在系统可编程（ISP）技术。
- 5) 高性能的可编程连线阵列（PIA）提供一个高速的、延时可预测的互联资源网络。
- 6) 每个宏单元中可编程扩展乘积项可达 32 个。
- 7) 具有全面保护设计的可编程保密位。
- 8) 具有独立的全局时钟信号。
- 9) 可支持 2.5V（MAX7000B），3.3V（MAX7000A），5V（MAX7000S）电源供电。

1.4 FPGA 的基本结构及特点

FPGA 是一种可由用户自定义并进行配置的高密度专用集成电路。FPGA 具有阵列型 PLD 的优点，同时其结构又类似掩模可编程门阵列，因此具有更高的集成度和更强大的逻辑实现能力，使得设计更加灵活和容易实现。对 FPGA 而言有着不同的分类方法，一般可以根据互连结构和编程特性对 FPGA 进行分类。目前主流的 FPGA 产品内部连线一般采用分段式互连型结构，并且可重复编程。

