

—— ◎ 国家“十一五”课题研究成果



FPGA/CPLD

系统设计与应用开发

◎ 周淑阁 主编 ◎ 李国丽 主审



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

FPGA/CPLD

系统设计与应用开发

周淑阁 主编

周莉莉 井娥林 编

李国丽 主审

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书共分4章。第1章是绪论；第2章讲述FPGA/CPLD的开发工具，主要是MAX+plus II和Quartus的使用方法；第3章讲述硬件描述语言，主要讲述VHDL的使用方法；第4章讲解FPGA/CPLD系统设计方法、FPGA/CPLD系统设计综合举例。书中通过实际设计举例使读者逐步学会开发软件的使用方法和逐步掌握使用VHDL的设计方法。综合型例题中注重讲述设计原理和思路，并对波形仿真图的结果加以较详细的解释和说明。内容的编排循序渐进。

本书为高等学校电子信息类专业相关课程的教材，也可以供从事电子技术开发工作的工程技术人员、非电子信息类相关课程的教师和学生参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容
版权所有·侵权必究

图书在版编目(CIP)数据

FPGA/CPLD 系统设计与应用开发/周淑阁主编. —北京：电子工业出版社，2011.8
ISBN 978-7-121-13623-8

I. ①F… II. ①周… III. ①可编程序逻辑器件—系统设计—高等学校—教材 IV. ①TP332.1

中国版本图书馆CIP数据核字(2011)第094700号

策划编辑：章海涛

责任编辑：章海涛 特约编辑：郭 莉

印 刷：三河市鑫金马印装有限公司
装 订：

出版发行：电子工业出版社

北京市海淀区万寿路173信箱 邮编 100036

开 本：787×1092 1/16 印张：15 字数：384千字

印 次：2011年8月第1次印刷

印 数：4000册 定价：29.50元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010)88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：(010)88258888。

前 言

目前高新技术日新月异,电子技术迅猛发展,传统的电子技术设计方法逐步被 EDA 技术取代,尤其 FPGA(Field Programmable Gate Array,现场可编程门阵列)和 CPLD(Complex Programmable Logic Device,复杂可编程逻辑器件)是当今应用最广泛的可编程专用集成电路。由于 FPGA/CPLD 具有体积小、功耗低、运行速度快、集成度高、可靠性高等优点,被广泛应用于航空航天、通信、医疗、仪器仪表、工业控制、家用电器等领域。使用 FPGA/CPLD 开发的产品具有将软件和硬件融合在一起的特点,因此使设计后的系统技术含量高、保密性强、不易仿造。

基于以上特点,目前各高校将“FPGA/CPLD 系统设计”课程定为电子信息类专业的重要专业基础课,因为它对应用型人才的培养、教育服务于社会、提高教育的现代化水平都有很大影响。

本书编写的宗旨是夯实基础、突出应用、强化实践、注重创新。

本书具有如下特点:

(1) 减少硬件内部结构的讲解、注重应用

“FPGA/CPLD 系统设计”应用性很强,而对实际硬件内部结构的认知程度不影响实际应用的水平,因此本书以实现应用为目的,减少硬件内部结构的讲解,将重点放在设计、应用等方面。

(2) 注重认知规律

本书在内容的编排中注重认知规律,循序渐进,逐步推进,使全书内容易读、易理解,适合自学。

(3) 以实例讲解硬件描述语言

有关 VHDL 部分,以实例说明 VHDL 的应用方法,书中的所有实例都经过了编程、下载、调试等过程。

在 VHDL 的语句讲解之后紧跟应用实例,不但可以加强读者对语句的理解,而且可以通过实际设计举例逐步掌握使用 VHDL 的设计方法和记忆具体语句。

同一个例题用不同的设计方法进行设计,可以使读者学会和理解结构体的行为描述、数据流描述和结构化描述的设计方法。

(4) 加强综合性设计和系统设计的讲解

将多个综合性设计例题集中到一章中讲解。在讲述综合型例题时,仔细讲解设计思路,将设计原理和思路讲解清楚后,采用自顶向下的方法画出设计系统的模块图,然后用自底向上的设计方法逐步实现全系统的设计(这点在现有的教材中较少见)。

(5) 注重波形仿真

例题中,各模块设计均有波形仿真,而且对波形仿真图的结果加以较详细的解释和说明,并且将它们与设计要求进行对比,说明设计的合理性(这点在现有的教材中也较少见)。

(6) 注重常用的模块程序的积累和移植

注重模块化设计方法的移植,注重常用的模块程序的积累,将常用的、最基本的模块讲

深讲透，在其他的设计中使读者能自然而然地想起调用，即使不调用，也能使读者自己在编写这些模块时轻而易举、容易实现。

全书共4章。第1章是绪论；第2章讲解FPGA/CPLD的开发工具，主要讲解MAX+plus II和Quartus的使用方法；第3章讲解硬件描述语言，主要讲解VHDL的特点和基本语法、VHDL的结构、VHDL的常用语句等；第4章讲解FPGA/CPLD系统设计方法、FPGA/CPLD系统设计举例。

本书由周淑阁教授任主编。参加编写的人员有周莉莉、井娥林。第2章的2.1节和2.2节，第3章，第4章的4.1~4.5节由周淑阁编写；第1章，第4章的4.6节、4.7节由井娥林编写；第2章的2.3节，第4章的4.8节、4.9节、4.10节由周莉莉编写。

李国丽教授审阅了本书并提出了许多宝贵的意见，在此表示衷心的感谢。

由于我们的水平有限，再加上时间仓促，书中难免有错误和不妥之处，恳请读者批评指正。

作 者

目 录

第 1 章 绪论	1	3.3.1 结构体中的并行语句	81
1.1 简介	1	3.3.2 进程中的顺序语句	87
1.2 FPGA/CPLD 开发平台	4	3.3.3 结构体中元件定义语句和元件 例化语句	103
1.3 FPGA/CPLD 开发流程	5	3.3.4 结构体中的生成语句	106
1.4 硬件描述语言(HDL)	7	3.3.5 结构体中的块语句	108
第 2 章 FPGA/CPLD 的开发工具	9	3.3.6 结构体中的子程序	111
2.1 MAX+plus II 开发工具	9	3.3.7 结构体中的状态机设计 技术	114
2.1.1 MAX+plus II 的特点	9	第 4 章 FPGA/CPLD 系统设计	118
2.1.2 MAX+plus II 的安装	10	4.1 FPGA/CPLD 系统设计 的方法	118
2.2 MAX+plus II 的使用方法	16	4.2 数字跑表的设计	119
2.2.1 MAX+plus II 的设计流程	16	4.2.1 数字跑表系统模块图 的设计	119
2.2.2 MAX+plus II 的原理图输入 设计法	22	4.2.2 “分频模块”的设计	119
2.2.3 MAX+plus II 的硬件描述语言 输入设计法	31	4.2.3 “计时模块”的设计	121
2.2.4 MAX+plus II 中可调参数器件库 的使用方法	32	4.2.4 “控制模块”的设计	122
2.2.5 MAX+plus II 中的仿真和 分析方法	38	4.2.5 “显示模块”的设计	124
2.3 Quartus II 开发工具	43	4.2.6 综合设计	127
2.3.1 Quartus II 概述	43	4.3 自动邮票售票机设计	139
2.3.2 Quartus II 的界面概况	44	4.3.1 自动邮票售票系统总体模块图 的设计	139
2.3.3 Quartus II 设计流程	45	4.3.2 “票价设定模块”的设计	140
2.3.4 Quartus II 的原理图输入 设计法	58	4.3.3 “邮票类型选择模块” 的设计	141
第 3 章 VHDL 硬件描述语言	63	4.3.4 “点阵票型显示模块” 的设计	143
3.1 VHDL 的特点和基本语法	63	4.3.5 “票价类型选择与票价设定模块” 的设计	148
3.1.1 VHDL 的特点	63	4.3.6 “邮票数量设定模块” 的设计	149
3.1.2 VHDL 的基本语法	64	4.3.7 “邮票购买模块”的设计	151
3.2 VHDL 的结构	72	4.3.8 “数据转换模块”的设计	154
3.2.1 库和程序包	72	4.3.9 “动态扫描模块”的设计	155
3.2.2 实体	74		
3.2.3 结构体	76		
3.3 VHDL 中的常用语句	81		

4.3.10 “数码管显示模块”		4.7 病床呼叫系统的设计	191
的设计	156	4.7.1 按键矩阵扩展模块	192
4.3.11 综合设计	157	4.7.2 定时模块	195
4.4 乐曲演奏系统的设计	158	4.7.3 二进制编码转 BCD 码	
4.4.1 乐曲中的音符和音长		模块	197
问题	158	4.7.4 数码管动态扫描模块	199
4.4.2 乐曲演奏系统的框图	160	4.7.5 显示段码转换模块	200
4.4.3 预置数和音长控制模块	161	4.7.6 二分频模块	201
4.4.4 模可变的计数器模块	165	4.7.7 综合设计	202
4.4.5 占空比均衡控制模块	166	4.8 出租车计费系统的设计	203
4.4.6 综合设计	167	4.8.1 车轮脉冲计数模块	203
4.5 交通灯控制系统的设计	169	4.8.2 里程计数模块	205
4.5.1 交通灯控制系统模块图	169	4.8.3 计费模块	207
4.5.2 控制模块设计	170	4.8.4 动态扫描模块	209
4.5.3 显示模块设计	175	4.8.5 译码模块	211
4.5.4 综合设计	179	4.8.6 顶层设计原理图	212
4.6 八路抢答器的设计	180	4.9 数字电压表的设计	212
4.6.1 主持人控制模块	180	4.9.1 A/D 转换控制模块	213
4.6.2 抢答信号锁存模块	182	4.9.2 数据转换模块	216
4.6.3 倒计时模块	184	4.9.3 显示译码模块	219
4.6.4 二进制编码转 BCD 码		4.9.4 顶层设计	221
模块	186	4.10 数字频率计的设计	223
4.6.5 扫描信号产生模块	187	4.10.1 分频模块	224
4.6.6 数码管位信号与段信号匹配		4.10.2 计数模块	225
模块	188	4.10.3 锁存器	227
4.6.7 BCD 码转七段码模块	189	4.10.4 动态扫描模块	229
4.6.8 报警模块	190	4.10.5 译码模块	231
4.6.9 综合设计	191	4.10.6 顶层设计原理图	232

第1章 绪 论

随着电子技术、芯片集成技术、计算机及其软件等技术的飞速发展，现场可编程逻辑门阵列 FPGA(Field Programmable Gate Array)和复杂可编程逻辑器件 CPLD(Complex Programmable Logic Device)，从最初的数千个可利用门发展到如今的数百万个可利用门的单个 FPGA/CPLD 芯片。

FPGA/CPLD 以其低电压、低功耗、体积小、高可靠性、设计灵活、静态可重复编程、开发周期短、开发成本不断降低等特点成为很多电子系统的首选，在市场中占据一定份额。

1.1 简 介

现场可编程逻辑门阵列 FPGA 是在可编程阵列逻辑 PAL(Programmable Array Logic)、通用阵列逻辑 GAL(Generic Array Logic)等可编程器件的基础上发展起来的，是一种新型的高密度可编程逻辑器件 PLD(Programmable Logic Device)，采用互补金属氧化物半导体 CMOS(Complementary Metal Oxide Semiconductor)工艺制成。与 PAL、GAL 器件相比，FPGA 可以实时地对外围或内置的随机存取存储器 RAM(Random Access Memory)或可擦除可编程只读存储器 EPROM(Erasable Programmable ROM)编程，实时配置器件功能，可进行现场编程或在线配置。

经过近三十年的发展，许多公司都研发出具有各自知识产权的形形色色的可编程逻辑器件，具有代表性的公司有 Altera 公司、Xilinx 公司、Lattice 公司等。Altera 公司在 20 世纪 90 年代后期快速发展，成为最大的可编程逻辑器件供应商之一，主要产品有 MAX3000/7000、FLEX10K、APEX20K、ACEX1K、Stratix、Cyclone 等系列。Xilinx 公司是 FPGA 的首创者，也是最大的可编程逻辑器件供应商之一，产品种类比较齐全，主要产品有 XC9500/4000、Coolrunner(XPLA3)、Spartan、Virtex 等。Altera 公司、Xilinx 公司研发的 FPGA/CPLD 产品占据全球 60%以上的市场，共同决定着 FPGA/CPLD 技术的发展方向。

FPGA 内部采用独立的逻辑单元阵列 LCA(Logic Cell Array)，各逻辑单元阵列之间可以相互连接。尽管 FPGA 芯片种类繁多，但 FPGA 内部逻辑单元概括起来可分为三部分：可编程逻辑模块 CLB(Configurable Logic Block)、可编程输入/输出模块 IOB(Input/Output Block)、可编程内部连线 PI(Programmable Interconnect)，如图 1.1.1 所示。

可编程逻辑块 CLB 是 FPGA 实现用户功能的基本单元，是由一个二维的逻辑块阵列构成的。

可编程输入/输出模块 IOB 通常分布在器件的周围，可通过编程配置引脚功能为输入、输出或双向输入/输出功能，并为 FPGA 器件引脚与内部逻辑阵列之间提供连接资源。

可编程内部连线 PI 由可编程开关矩阵与各种长度的金属连线线段组成，可通过编程，将内部可编程逻辑块之间及可编程逻辑块与可编程输入/输出块之间相互连接起来，以满足各种复杂系统的需要。

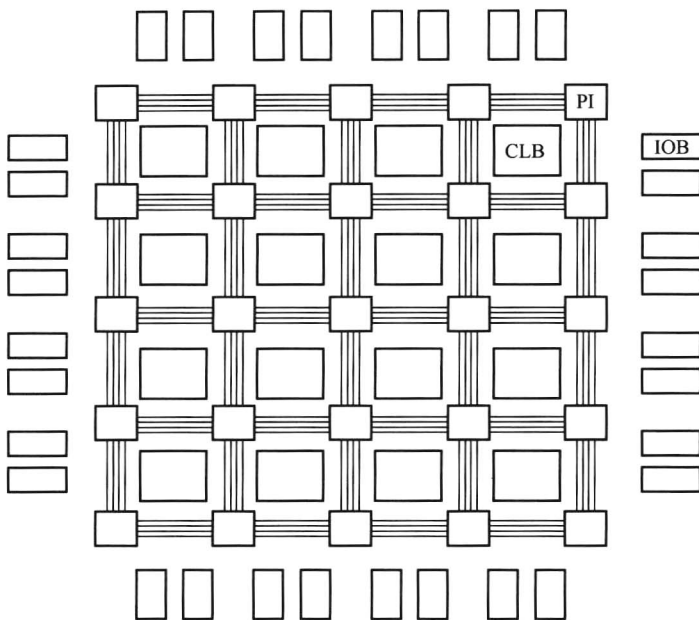


图 1.1.1 FPGA 结构

不同芯片制造厂家在可编程逻辑模块上采用的设计原理不尽相同，但常见的 FPGA 结构主要有三种：多级与非门型结构、多路开关型结构、查找表型结构。

采用多级与非门型结构的 FPGA 芯片，通常它的可编程逻辑模块是一个与-或-异或逻辑块，这种结构同 PLD 的与或阵列较类似，常归为可擦除可编程逻辑器件 EPLD(Erasable Programmable Logic Device)系列。该结构类型的 FPGA 以线与形式实现与逻辑，线与门可编程，同时起逻辑连接和布线的作用，而在其他结构类型的 FPGA 中，两者是分开的。采用多级与非门结构的有 Altera 公司的 FPGA。

通常，采用多路开关型结构的 FPGA 的可编程逻辑模块是可配置的多路开关，它利用多路开关的特性，对多路开关的输入和选择信号进行配置，将其接到固定电平或输入信号上，实现不同的逻辑功能。采用多路开关型结构的有 Actel 公司的 ACT 系列的 FPGA。

通常，采用查找表 LUT(Look-Up-Table)型结构的 FPGA 的可编程逻辑模块是查找表，由查找表构成函数发生器，通过查找表来实现逻辑函数。采用查找表型结构的有 Altera 公司的 ACEX、APEX、FLEX6000 系列以及 Xilinx 公司的 Spartan、Virtex、XC 系列的 FPGA。

采用查找表结构类型的 FPGA 的可编程逻辑单元实质上就是一个存储器，目前大部分芯片是采用的静态存储器 SRAM(Static RAM)。以 Altera 公司的 FLEX 6000 系列 FPGA 为例，它的每个逻辑阵列块 LAB(Logic Array Block) 10 个逻辑单元 LE(Logic Element)，每个逻辑单元是由 4 输入的查找表、寄存器、进位链等组成，而每个查找表可以看作一个有 4 位地址线的 $2^4 \times 1$ 的 RAM。受到客观条件的制约，查找表输入项一般不超过 5 个，图 1.1.2 为基于查找表的 FLEX 6000 系列 FPGA 结构，图 1.1.3 为逻辑单元 LE 内部结构。

用户通常可在 FPGA 开发平台上采用原理图或硬件描述语言(HDL)来描述一个逻辑电路，然后通过 FPGA 芯片数据配置与调试接口将配置结果写入到 SRAM 中，这样，每输入一个信号进行逻辑运算就相当于输入一个地址进行查表，找出每个地址对应的内容，然后输出即可。

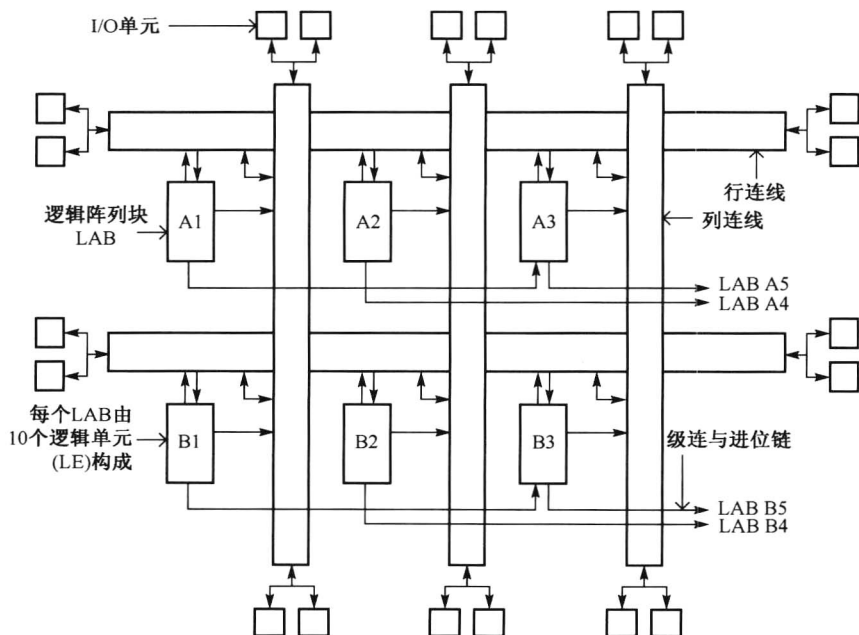


图 1.1.2 基于查找表的 FLEX 6000 系列 FPGA 结构

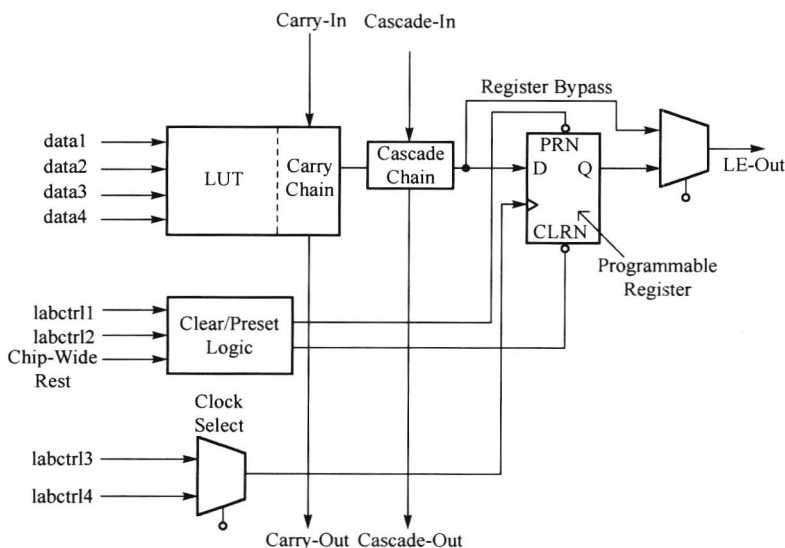


图 1.1.3 逻辑单元(LE)内部结构

CPLD 与 FPGA 都是可编程器件，有很多相似的特点，但两者在结构上和性能上仍有许多差异。CPLD 通常采用乘积项结构方式构成逻辑行为器件，触发器少、规模小逻辑复杂度低、采用集总式结构布线资源较有限、保密性好、成本低等，比较适合完成各种算法和组合逻辑功能。尽管 CPLD 与 FPGA 的内部结构有所不同，但用法基本相同，只不过 CPLD 采用 E²PROM 或 Flash 存储器进行编程，而 FPGA 采用 SRAM 进行编程，系统断电时会丢失配置信息，使用时需从外部存储器加载编程数据到 SRAM。

FPGA/CPLD 可以说是一种特殊的 ASIC 芯片，由于芯片规模越来越大、功能越来越强、开发周期短、开发成本低、可多次重复配置、保密性能好、开发平台智能化等，FPGA/CPLD

迅速占领全球市场，从低成本产品的简单应用到复杂性的开发平台设计，结合其并行工作方式，在超高速应用领域和实时测控方面广泛应用，而通信与工业应用将是 FPGA 最大的终端用户市场，未来的消费电子和汽车电子将是 FPGA 应用中成长最快的领域。

FPGA/CPLD 的集成度非常高，可采用先进的 FPGA/CPLD 开发工具进行电子系统设计和产品开发。而开发工具具有的通用性、硬件描述语言的标准化及设计过程的独立性，使得设计成功的各类逻辑功能模块具有良好的兼容性和可移植性，可用于任何型号和规模的 FPGA/CPLD 中，从而使得产品开发周期大大缩减，可使产品快速进入市场。

采用 FPGA/CPLD 技术可降低开发成本、缩短开发周期、简化设计文档管理、提高大规模电子系统设计的自动化程度，设计者拥有完全的自主权，设计的系统具有良好的可移植性与可测试性，为系统开发提供可靠保证，系统设计结束可利用计算机对硬件系统进行完整测试。

1.2 FPGA/CPLD 开发平台

各大 FPGA/CPLD 芯片厂商在研发产品的同时，也开发了适合各自公司 FPGA 产品的集成开发环境软件。目前，比较流行的、主流厂家的开发环境有：Altera 公司的 MAX+plus II 和 Quartus II，Xilinx 公司的 Foundation 和 ISE，Lattice 公司的 ispLever 等。这些集成开发平台给 FPGA 开发带来了方便，同时为第三方 EDA 工具提供了接口，使 FPGA 厂商提供的集成开发环境、专业逻辑仿真软件（如 Mentor Graphics 公司的 ModelSim、Aldel 公司的 ActiveHDL 等）、专业逻辑综合软件（如 Synplify 公司的 Synplify Pro、Synopsys 公司的 FPGA Compiler II 等）可以一起使用，进行多种 EDA 工具的协同设计，提高了设计效率、优化了设计效果。常用的 FPGA/CPLD 开发工具大致包含设计输入编辑器、HDL 综合器、仿真器、适配器、下载编程等模块。

这里主要介绍比较流行的 Altera 公司的 MAX+plus II 和 Quartus II。

多阵列矩阵和可编程用户系统 MAX+plus II (Multiple Array and Programming Logic User System) 开发工具是 Altera 公司推出的第三代 EDA 工具，是完全集成开发环境的软件，不需要第三方工具，支持 30000 门以下的各种设计，具有灵活高效、使用便捷、易学易用等特点。这种开发平台不要求精通器件内部复杂结构，只需熟悉所使用的设计工具，如硬件描述语言、原理图等进行输入，软件可将输入自动转变成目标文件下载到器件中去。

MAX+plus II 开发工具包括设计输入、设计处理、设计校验仿真和下载编程 4 个模块，可根据设计流程需要选择工作模块。设计输入模块支持图形输入、文本输入、波形输入等多种输入方式，支持多种输入的任意混合设计。图形输入的功能是用户可以使用软件自带的图形器件库调用元器件编辑电路原理图，而且可以通过软件提供的接口使用几乎全部的标准 EDA 设计工具，可识别第三方 EDA 工具生成的 EDIF 网表文件、VHDL 网表文件、OrCAD 原理图及 Xilinx 网表文件等。文本输入方式支持硬件描述语言 AHDL、VHDL 和 Verilog 的输入。波形输入方式可以为所设计的电路输入端加上波形信号，以便仿真模块对所设计的逻辑电路进行仿真，并可通过波形编辑器编辑仿真用的波形。这些输入方式输入的文件，经开发环境编译器编译可生成多种格式文件，可直接下载到 FPGA 器件仿真，也可在 ModelSim 等第三方仿真软件中进行仿真。

Quartus II 开发环境软件，是 Altera 公司在 21 世纪初推出的第四代 FPGA/CPLD 集成开发环境，可在 Windows、Solaris、Hpx 和 Linux 等多种操作系统中使用，是 MAX+plus II 的升级产品，包含 MAX+plus II 用户界面，支持新器件和大规模 FPGA 的开发。Quartus II

提供了完整的多平台设计环境,可满足各种特定设计需要,同时集成了单芯片可编程系统 SoPC 开发环境,支持层次化设计等。Quartus II 开发环境同面向设计的多种知识产权核 IP 相结合,技术领先,为用户提供了优越的性能与无法比拟的系统级设计效率,缩短了产品开发周期,降低了开发成本,为更广泛的用户接受。

1.3 FPGA/CPLD 开发流程

随着大规模集成电路的开发和研制,为了提高开发效率和提升已有开发系统的可继承性,以及缩短开发时间,出现了很多 FPGA/CPLD 开发工具,特别是硬件描述语言(HDL)的出现,使得传统的硬件电路设计方法发生了巨大的变化。各种新出现的 FPGA/CPLD 开发工具进行硬件电路设计大多采用了自顶向下(Top-Down)的设计方法。所谓自顶向下的设计方法,就是从系统总体要求出发,自顶向下地逐步将设计内容细化,最后完成系统硬件的整体设计。

FPGA/CPLD 开发流程如图 1.3.1 所示,包括设计准备、设计输入、设计处理和器件编程四个步骤以及相应的功能仿真(前仿真)、时序仿真(后仿真)和器件测试三个设计过程。

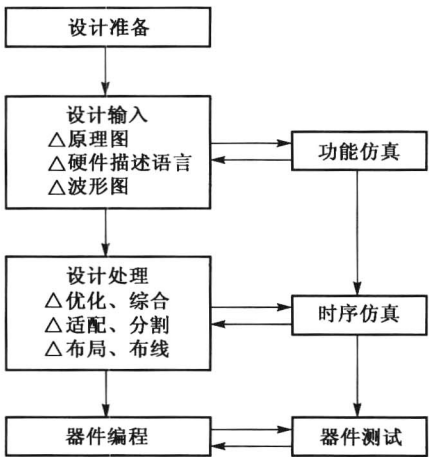


图 1.3.1 FPGA/CPLD 开发流程

1. 设计准备

在对 FPGA/CPLD 芯片进行设计之前,首先要进行方案论证、系统设计和器件选择等设计准备工作。设计者首先根据任务要求,如系统所完成的功能及复杂程度,对工作速度和器件本身的资源、成本及连线的可行性等方面进行权衡,选择合适的设计方案和合适的器件类型。常采用自顶向下的设计方法。

2. 设计输入

设计者将所设计的系统或电路以开发软件要求的某种形式表示出来,并经编译连接形成可配置硬件文件的过程称为设计输入。设计输入通常有以下几种形式。

(1) 原理图输入方式

这是一种最直接的设计描述方式,使用 FPGA/CPLD 开发工具提供的元器件库及各种符号和连线画出原理图,形成原理图输入文件。这种方式要求设计者有丰富的电路知识并对器件结构比较熟悉。这种输入方式容易实现仿真,便于信号的观察和电路的调整,但在系统功能较复杂时效率较低。

(2) 硬件描述语言输入方式

硬件描述语言是用文本方式输入设计,分为普通硬件描述语言和行为描述语言。普通语言支持逻辑方程、真值表、状态机等简单的设计输入。行为描述语言是目前常用的高层硬件描述语言,主要有 VHDL 和 Verilog HDL 两个 IEEE 标准,它们有许多突出的优点:语言与工艺的无关性,可以使设计者在系统设计、逻辑验证阶段便确立方案的可行性;语言的公开可利用性,便于实现大规模系统的设计;具有很强的逻辑描述和仿真功能,输入效率高,在不同的设计输入库之间转换非常方便,不需对底层电路和 FPGA/CPLD 结构很熟悉。

(3) 波形输入方式

波形输入方式主要用来建立和编辑波形设计文件以及输入仿真向量和功能测试向量,适用于时序逻辑和有重复性的逻辑函数。系统软件可以根据用户定义的输入波形自动生成逻辑关系。波形编辑功能还允许设计人员对波形进行复制、剪切、粘贴、重复和伸展,从而可以用内部节点、触发器和状态机建立设计文件,并将波形进行组合,显示各种进制的状态值,还可以将一组波形重叠到另一组波形上,对两组波形结果进行比较分析。

3. 功能仿真

用户所设计的电路必须在编译之前进行逻辑功能验证,即功能仿真,也叫前仿真,此时的仿真没有延时信息,对于初步的功能检测来说非常简便。仿真前,需建立波形文件和测试向量,仿真结果会生成报告文件并输出仿真波形,从中可以观察到各节点的信号变化,发现错误,可返回设计输入中修改逻辑设计。

4. 设计处理

设计处理是 FPGA/CPLD 开发设计中的核心环节。在设计处理过程中,编译器对设计输入文件进行逻辑化简、综合优化,并适当地用一片或多片器件自动进行适配,最后产生编程用的编程文件。设计处理过程主要包括:语法检查 and 设计规则检查、逻辑优化和综合、适配和分割、布局和布线、生成编程数据文件等。

(1) 语法检查 and 设计规则检查

设计输入完成后,对输入文件进行编译,编译过程中首先进行语法检查,如检查原理图有无漏连信号线,信号有无多重来源,文本输入文件中关键字有无输错等各种语法错误,并将错误信息报告在状态栏显示供设计者修改设计;然后进行设计规则检查,检查总的设计有无超出器件资源或规定的限制,并提供编译报告,指明违反规则情况以供设计者纠正。

(2) 逻辑优化和综合

化简所有的逻辑方程或用户自建的宏,使设计所占的资源最少。综合的目的是将多个模块设计文件合并为一个网表文件,供布局布线使用,网表文件包含了目标器件中的逻辑单元和互连的信息,并使层次适合平面化(即展平)。FPGA 综合工具主要有 Synopsys 公司的 Compilier II FPGA 和 Synplicity 公司的 Synplify 等。

(3) 适配和分割

确立优化后的逻辑能否与器件中的宏单元和 I/O 单元适配,然后将设计分割为多个便于识别的逻辑小块形式映射到器件的相应宏单元中。如果整个设计较大,不能装入一片器件,可以将整个设计划分(分割)成多块,并装入同一系列的多片器件中。分割可全部自动实现,也可以部分由用户控制,或全部由用户控制进行,目的是使器件数目最少,器件之间通信的引脚数目最少。

(4) 布局和布线

在设计检验通过后,需要进行布局和布线操作,可以由软件自动完成,也可以根据设计者指定约束条件(如延时、时钟等)、目标器件的结构资源和工艺特性,以最优的方式对逻辑元件布局,并准确地实现元件间的布线互连。布局布线工具主要由器件厂商提供,布线以后软件自动生成报告,提供有关设计中各部分资源的使用情况等信息。

(5) 生成编程数据文件

设计处理的最后一步是产生可供器件编程使用的数据文件。对 FPGA 来说,是生成比

特流数据文件 BG (Bit-stream Generation); 对 CPLD 来说, 是生成熔丝图文件, 即 JED 文件 (电子器件工程联合会制定的标准格式文件 JEDEC, 简称 JED 文件)。

5. 时序仿真

时序仿真也叫后仿真或延时仿真, 是在选择了具体器件并完成布局、布线后进行的时序关系仿真。时序仿真与功能仿真一起统称为设计校验, 是设计处理过程中同时进行的。

由于不同器件的内部延时不一样, 不同的布局布线方案也给延时造成不同的影响, 因此在设计处理后, 对系统和各模块进行时序仿真, 分析其时序关系, 估计设计的性能及检查和消除竞争冒险等是非常有必要的。

6. 器件编程与配置

时序仿真完成后, 软件就可产生供器件编程使用的数据文件, 然后下载到对应的具体 FPGA/CPLD 芯片中去。

器件编程需要满足一定的条件, 如编程电压、编程时序和编程算法等。普通的 CPLD 和一次性编程的 FPGA 需要专用的编程器完成器件的编程工作。基于 SRAM (静态随机存储器) 的 FPGA 可以由 EPROM 或其他存储体进行配置。在系统可编程器件 (In-System Programming PLD, ISP-PLD) 则不需专门的编程器, 只需一根编程下载连接线。

器件在编程完毕后, 可以用编译时产生的文件对器件进行校验、加密等工作。对于具有边界扫描测试能力、支持 JTAG (Joint Test Action Group) 技术及在系统编程能力的器件来说, 测试起来会更加方便。

1.4 硬件描述语言 (HDL)

硬件描述语言 (HDL) 是 FPGA/CPLD 开发技术的一个重要组成部分, 主要用于从多种抽象设计层次上进行数字系统的建模。常用的硬件描述语言有 ABEL、AHDL、SystemVerilog、SystemC、UDL/I、VHDL 和 Verilog HDL 等。其中, VHDL、Verilog HDL 在目前 FPGA/CPLD 开发设计中使用最多, 也拥有大部分主流 FPGA/CPLD 开发平台的支持。

VHDL (Very-High-Speed Integrated Circuit Hardware Description Language) 起源于美国政府于 1980 年开始启动的超高速集成电路计划, 根据集成电路结构与功能描述需要, 于 1983 年由美国国防部发起创建, 由 IEEE (Institute of Electrical and Electronics Engineers) 进一步发展。在 1987 年底, VHDL 被 IEEE 和美国国防部确认为标准描述语言。自此, VHDL 成为硬件描述语言标准之一, 得到众多的 FPGA/CPLD 开发平台的支持, 广泛应用于电子设计领域。

VHDL 具有以下主要优点。

1. VHDL 具有较强的行为描述能力

VHDL 可用于从门级、电路级、直至系统级的描述, 支持层次化设计。

VHDL 强大的描述能力还体现在它具有丰富的数据类型。VHDL 支持标准定义的数据类型, 也支持用户自定义的数据类型, 这样给用户进行硬件描述带来了方便, 使设计更为灵活。

2. VHDL 具有丰富的仿真语句和库函数

VHDL 使得在任何大或复杂系统的设计早期, 就能检验系统设计的功能可行性, 可实时对系统进行仿真模拟, 使设计者对整个系统的结构和功能可行性做出判断。

3. VHDL 具有很强的移植能力

自 IEEE 公布了 VHDL 的标准版本(IEEE Std1076)后, 各大 FPGA/CPLD 研发公司研制的 FPGA/CPLD 开发工具均支持 VHDL。VHDL 可以从一个模拟工具移植到另一个模拟工具, 从一个综合工具移植到另一个综合工具, 从一个工作平台移植到另一个工作平台上执行。

4. VHDL 的设计描述具有很强的独立性

采用 VHDL 描述硬件电路时, 设计者不需要了解器件内部结构, 也与器件内部结构无关。正因为 VHDL 的硬件描述与器件无关, VHDL 设计程序的硬件实现目标器件有广阔的选择范围, 其中包括各系列的 FPGA、CPLD 及其他可编程门阵列器件。

第2章 FPGA/CPLD 的开发工具

本章详细介绍 FPGA/CPLD 常用的开发工具 MAX+plus II 和 Quartus II 的使用方法。

2.1 MAX+plus II 开发工具

MAX+plus II 开发工具是 Altera 公司自行设计的 EDA 开发软件,其全称为 Multiple Array Matrix and Programmable Logic User System,即多阵列矩阵和可编程用户系统。MAX+plus II 具有简捷方便的用户界面、完备的设计库和编译仿真功能,因此 MAX+plus II 是 FPGA/CPLD 设计人员喜爱的设计开发工具。

2.1.1 MAX+plus II 的特点

MAX+plus II 是用来开发和设计 FPGA/CPLD 的软件平台,其主要特点如下。

1. MAX+plus II 支持多种系列的器件

MAX+plus II 支持很多种系列的 FPGA/CPLD 器件,如 ACEX1K 系列、FLEX10KE 系列、FLEX10KB 系列、FLEX10KA 系列、FLEX10K 系列、FLEX8000 系列、FLEX6000 系列、MAX3000 系列、MAX7000 系列、MAX9000 系列、CLASSIC 系列等。

在每个系列中又有很多和不同型号的器件,如在 ACEX1K 系列中有如下型号: EP1K10TC100、EP1K10TC144、EP1K10QC208、EP1K10FC256 EP1K30TC144、EP1K30QC208、EP1K30FC256、EP1K50TC144 EP1K50QC208、EP1K50FC256、EP1K50FC484、EP1K100QC208 EP1K100FC256、EP1K100FC184。

由于 MAX+plus II 支持很多种系列不同型号的器件,因此 MAX+plus II 提供了器件选择的功能。

2. MAX+plus II 支持多种输入方式

MAX+plus II 支持多种输入方式,其中最常用的输入方法是图形输入法和硬件描述语言输入法。图形输入法是输入设计电路的原理图或模块图。硬件描述语言输入法是输入用硬件描述语言设计的程序。MAX+plus II 支持多种硬件描述语言,如 AHDL、VHDL、Verilog HDL 等。

3. MAX+plus II 有强大的编译和错误检查能力

在具体的设计项目中,无论使用什么输入方法,MAX+plus II 都提供了编译和检查错误的能力,如果有输入错误,则在编译的过程中显示出错误窗口,以红色的错误信息标记和蓝色的警告信息标记提供给用户,供用户修改设计方案。如果没有错误,也会出现提示框,提示输入是正确的。

另外,在模块化的分层次设计中,在总的设计方案中的错误如果是由于子模块的错误产生的,则可以直接修改子模块,然后检查总的设计方案。

这种编译和错误检查方式和能力可以使设计者在设计项目时,方便、快捷、提高工作效率。

4. MAX+plus II 有强大的逻辑综合能力

MAX+plus II 有强大的逻辑综合能力, 可以将设计方案进行逻辑化简、逻辑优化, 去除冗余, 由编辑器生成网表文件、建立库文件、将大的设计项目自动分割、完成布线功能、提取时序仿真网表文件、建立器件下载或配置的文件等。

在编译和逻辑综合过程中形成的文件为完成 MAX+plus II 的其他功能做了充分的准备。

5. MAX+plus II 有完备的设计库文件

MAX+plus II 具有完备的设计库文件, 库文件中的器件几乎覆盖了目前常用的各种数字逻辑器件, 还提供了参数可以由用户设定的器件库, 使用户有便利的设计平台。

6. MAX+plus II 有多种仿真工具

MAX+plus II 提供了多种仿真工具, 有波形仿真工具、传输延时分析工具、时序逻辑性能分析工具、建立时间和保持时间分析工具等, 这些分析工具可以使设计工作者判断所设计项目的正确与否, 也可以对设计结果进行性能的检测。

7. MAX+plus II 有现场可编程能力和配置能力

MAX+plus II 提供了软件程序下载的功能, 同时为不同的器件提供了不同的编程与配置方法, 可以使软件通过下载端口下载到硬件开发系统中去, 从而实现现场调试, 可以大大提高设计速度。

8. MAX+plus II 的在线帮助

MAX+plus II 提供了十分方便的在线帮助功能, 在使用过程中任何时候都可以按 F1 键来查找帮助信息, 或者使用 “?” 按钮得到对应的帮助信息。

2.1.2 MAX+plus II 的安装

下面以 MAX+plus II 10.0 版为例, 介绍 MAX+plus II 的安装方法。MAX+plus II 10.0 版可以在 486 以上的 PC 和 Windows 95 以上的各种操作系统上运行。

安装步骤如下:

1. 将光盘插入光驱中安装

将光盘插入光驱中, 运行 “setup.exe” 文件或者 “autorun.exe” 文件, 安装时与安装其他软件没有什么区别, 因此安装的界面这里不再赘述。

2. 授权文件的处理

MAX+plus II 安装好后, 将光盘中的授权文件 “License.dat” 复制到用户安装的目录下, 如 C:\maxplus。

由 Windows 的 “开始” 用 “所有程序” 项启动 MAX+plus II 10.0, 如图 2.1.1 所示。

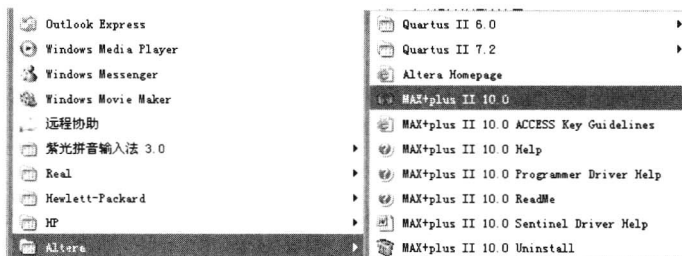


图 2.1.1 MAX+plus II 10.0 的启动界面