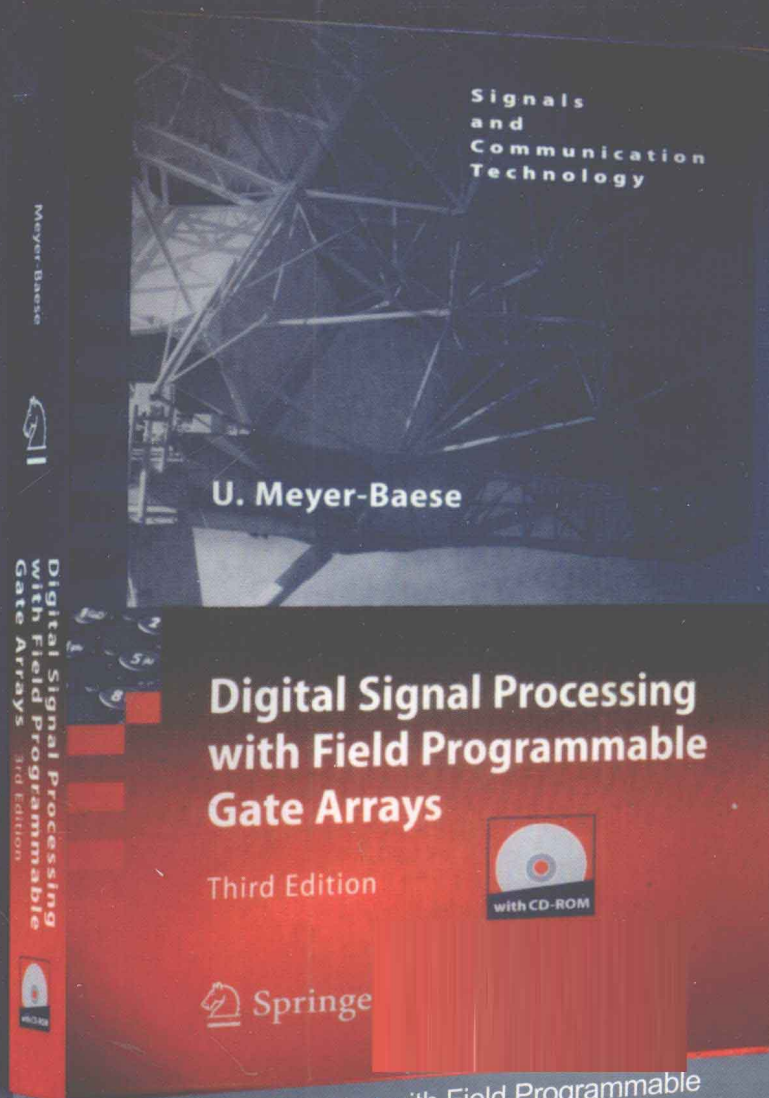


# 数字信号处理的 FPGA实现 (第3版)

(美) U. Meyer-Baese 著 刘凌 译



Digital Signal Processing with Field Programmable Gate Arrays, Third Edition



清华大学出版社

国外电子信息经典教材

# 数字信号处理的 FPGA 实现

## (第 3 版)

(美) U. Meyer-Baese 著

刘 凌 译

清华大学出版社

北 京

U. Meyer-Bäese

Digital Signal Processing with Field Programmable Gate Arrays, Third Edition

ISBN: 978-3-540-72612-8

Copyright © Springer 2007

Springer is a part of Springer Science + Business Media

All Rights Reserved.

本书中文简体字翻译版由德国施普林格公司授权清华大学出版社在中华人民共和国境内(不包括中国香港、澳门特别行政区和中国台湾地区)独家出版发行。未经出版者预先书面许可,不得以任何方式复制或抄袭本书的任何部分。

北京市版权局著作权合同登记号 图字: 01-2010-2095

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话: 010-62782989 13701121933

图书在版编目(CIP)数据

数字信号处理的FPGA实现(第3版)/(美)贝耶尔(Baese,U.M.) 著;刘凌 译. —北京:清华大学出版社, 2011.3

书名原文: Digital Signal Processing with Field Programmable Gate Arrays, Third Edition

(国外电子信息经典教材)

ISBN 978-7-302-24617-6

I. 数… II. ①贝… ②刘… III. 现场可编程门阵列—应用—数字信号—信号处理—教材 IV. TN911.72

中国版本图书馆CIP数据核字(2011)第012434号

责任编辑:王军 谢晓芳

版式设计:孔祥丰

责任校对:胡雁翎

责任印制:李红英

出版发行:清华大学出版社

地址:北京清华大学学研大厦A座

<http://www.tup.com.cn>

邮编:100084

社总机:010-62770175

邮购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015; zhiliang@tup.tsinghua.edu.cn

印刷者:清华大学印刷厂

装订者:三河市新茂装订有限公司

经销:全国新华书店

开本:185×260 印张:38.25 字数:860千字

附光盘1张

版次:2011年3月第1版

印次:2011年3月第1次印刷

印数:1~4000

定价:69.00元

产品编号:033040-01

# 出版说明

电子信息产业是一项新兴的高科技产业，有“朝阳产业”之称，有着巨大的潜力和广阔的发展前景。近年来，我国电子信息产业的飞速发展，大大推动了对电子信息类人才的需求，迫切需要我国的高等院校能够培养出大批符合企业要求的电子信息类人才。

教育与教材的关系始终是密不可分的，教材的合适与否会直接影响到培养人才的质量好坏。虽然目前我国高校中现行的电子信息类教材曾经对我国电子信息类人才的培养做出了非常重要的贡献，但是确实普遍存着一些问题，如“课程系统老化”、“内容落伍”、“惯性大，更新速度慢”、“针对性差”、“缺乏原创精品”等等，教学内容和课程体系的改革已经成为目前教学改革过程中的当务之急。

基于这种背景，我们决定在国内引进并推出一套“国外电子信息经典教材”，通过系统地研究和借鉴国外一流大学的相关教材，为我国高校的课程改革和国际化教学进程提供参考和推动作用。

为了组织该套教材的出版，我们在国内聘请了一批资深的专家和教授，共同成立了教材编审委员会。由编委会结合目前国内高校电子信息类专业的课程体系和教学内容，从 McGraw-Hill Education、Thomson Learning、John Wiley & Sons 和 Springer 等一批国际著名的教育出版集团，精选出一套“国外电子信息经典教材”。列选的每本教材都经过了国内相应领域的资深专家推荐和审读，对于一些基础类的专业课程，我们列选了多种不同体系、不同风格 and 不同层次的教材，以供不同要求和不同学时的同类课程使用。为了确保该套教材的质量，我们聘请了高校相应专业的资深教师和相应领域的专家担纲译者，加强了该套教材各个出版环节的编审力量和质量控制。另外，为了丰富国内的教学资源，我们在引进教材的同时也积极引进了教材配套的教学资源。

该套教材的读者对象为电子信息与电气工程类专业的本科生，同时兼顾相关工程学科各专业的本科生或研究生。该套教材既可作为相应课程的教材或教学参考书，也适于相应技术领域的工程师和技术人员参考或自学。

尽管我们作了种种努力，但该套教材书目选择的恰当性，内容的合理性，都还有待于通过教学实践来检验。首先感谢选用该套教材的广大教师对我们的支持，同时期待广大读者积极为该套教材提出意见或建议。

# 国外电子信息经典教材

## 编审委员会

### 主任委员：

孙家广 清华大学教授

### 副主任委员：

周立柱 清华大学教授

### 委员（按姓氏笔画排序）：

王成山	天津大学教授
王 珊	中国人民大学教授
冯少荣	厦门大学教授
冯全源	西南交通大学教授
刘乐善	华中科技大学教授
刘腾红	中南财经政法大学教授
吉根林	南京师范大学教授
孙吉贵	吉林大学教授
阮秋琦	北京交通大学教授
何 晨	上海交通大学教授
吴百锋	复旦大学教授
李 彤	云南大学教授
沈钧毅	西安交通大学教授
邵志清	华东理工大学教授
陈 纯	浙江大学教授
陈 钟	北京大学教授
陈道蕃	南京大学教授
周伯生	北京航空航天大学教授
孟祥旭	山东大学教授
姚淑珍	北京航空航天大学教授
徐佩霞	中国科学技术大学教授
徐晓飞	哈尔滨工业大学教授
秦小麟	南京航空航天大学教授
钱培德	苏州大学教授
曹元大	北京理工大学教授
龚声蓉	苏州大学教授
谢希仁	中国人民解放军理工大学教授

# 译者序

众所周知，信号与信号处理是信息科学中近十几年来发展最为迅速的学科之一。而 FPGA(Field Programmable Gate Array, 现场可编程门阵列)正处于数字信号处理技术的最前沿。全新的 FPGA 系列正在逐步地替代 ASIC 和 PDSP, 并用于前端数字信号处理的运算。FPGA 具有许多与 ASIC 相同的特点, 例如, 在规模、重量和功耗等方面都有所降低, 而且吞吐量更高、能够更好地防止未经授权复制、元器件和开发成本进一步降低, 开发时间也大大缩短; 还具有在线路中可重复编程的特性; 从而可以产生更为经济的设计。正如我们现在已经看到的, 随着 FPGA 在数字信号处理中的大规模应用, FPGA 正在日渐深入地影响我们的生活, 这种趋势必将在这一领域引起深刻的变革。本书的主旨就是讲述如何用 FPGA 实现数字信号处理。

简洁明了是作者 U. Meyer-Baese 的风格, 也是本书的风格。与大多数强调信号处理理论的著作相比, 本书摒弃了传统的说教内容, 更多地从应用的角度出发, 注重如何用 FPGA 实现这些理论, 并且致力于找到最适合解决问题的途径。本书开篇简要地介绍了当前 FPGA 技术的发展和用于设计的元器件, 以及设计 DSP 的技术要求, 之后就给出了频率合成器的示例。随后的章节系统地介绍了计算机算法和 FIR、IIR 滤波器的实现, 多级信号处理、各种傅立叶变换, 以及自适应滤波器等内容。最后一章简要介绍了当前的前沿课题, 对其中一些方面感兴趣的读者可以进行进一步的研究。

本书共给出 33 个程序示例(正文中是 VHDL 代码, 附录中有相应的 Verilog 代码), 还有 213 张插图和 57 个表格, 均充分体现了本书的特点。译者认为这也是除了学习本书中的知识以外的更大的收获。

鉴于 FPGA 是一项全新的技术, 特别是对于国内, 相应的中文资料少之又少, 又加之本人水平有限, 本书的翻译不能够说是填补空白, 只是想起到抛砖引玉的效果, 只要能够对读者学习、了解和掌握用 FPGA 实现数字信号处理起到一定的作用也就心满意足了。在翻译中定有不妥之处, 敬请广大读者提供反馈意见, 读者可以将意见发送到 [wkservice@vip.163.com](mailto:wkservice@vip.163.com), 我们会仔细阅读读者发来的每一封邮件, 以求进一步提高今后译者的质量。

另外, 建议读者在阅读本书之前最好认真复习一下高等代数中多项式、行列式、矩阵、线性空间、线性变换和群、环、域等方面的概念和知识, 能够熟练地完成各种矩阵的运算。并且最好是预先学习过信号与系统、数字信号处理和通信系统等相关课程, 这样对您理解和掌握本书的知识要点会有极大的帮助, 否则您会感到非常吃力, 毕竟这并不是一本简单的科普教材。

# 第1版前言

正如可编程数字信号处理器(Programmable Digital Signal Processor, PDSP)在近 20 年前出现时的情形一样,如今,现场可编程门阵列(Field-Programmable Gate Array, FPGA)正处于革命性的数字信号处理技术的前沿。过去,前端的可编程数字信号处理(Digital Signal Processing, DSP)算法(如 FFT、FIR 和 IIR 滤波器)都是利用 ASIC 或者 PDSP 构建的,但现在大多为 FPGA 所代替。现代的 FPGA 系列为快速进位链(Xilinx Virtex, Altera FLEX)提供 DSP 算法支持,快速进位链用于快速、低系统开销、低成本实现乘-累加(Multiply-ACcumulate, MAC)<sup>[1]</sup>。以前的 FPGA 系列大多面向 TTL “胶合逻辑”,没有 DSP 函数需要的大量的门数量。这些前端算法的有效实现就是本书要讲解的主要内容。

在 21 世纪初,我们就看到,两个可编程逻辑器件(Programmable Logic Device, PLD)的市场领导者(Altera 和 Xilinx)都宣称获得了超过 10 亿美元的收入。在过去 10 年中,FPGA 一直保持以 20% 以上的速度稳步增长,超过 ASIC 和 PDSP 10% 以上。这源于 FPGA 具有许多与 ASIC 相同的功能,比如,在规模、重量和功耗等方面都降低了,同时还具有更高的吞吐量、防止非授权复制的更高安全性、降低了器件和开发的成本,并且还降低了电路板测试成本。此外,还声称具有优于 ASIC 的优势,例如,开发时间的缩短(快速的原型设计)、在电路中的可重复编程性、更低的 NRE 成本,对于需求少于 1 000 个单元的解决方案,还可以产生更为经济的设计。与 PDSP 相比,FPGA 设计通常采用并行性,例如,实现多重乘-累加调用效率、消除零乘积项,以及流水线操作,也就是每个 LE 都有一个寄存器,这样流水线操作就不再需要额外的资源了。

在 DSP 硬件设计领域中的另一个趋势就是从图形设计入口转向硬件描述语言(Hardware Description Language, HDL)。尽管很多 DSP 算法可以用“信号流程图”来描述,但是现在已经发现采用基于 HDL 的设计入口,其“代码复用率”大大高于图形化设计入口的“代码复用率”。这就对 HDL 设计工程师提出了更高的要求,我们已经在本科生的课堂上开设了采用 HDL 进行逻辑设计的课程<sup>[2]</sup>。但是现在有两种流行的 HDL 语言。美国西海岸和亚洲倾向于采用 Verilog,而美国东海岸和欧洲则常使用 VHDL。对于用 FPGA 实现 DSP,两种语言似乎都非常适用,尽管一些 VHDL 示例更容易阅读一些,这主要是因为 IEEE VHDL 1076-1987 和 1076-1993 标准中支持有符号算术和乘/除运算。这一差距有望在新的 Verilog IEEE 1364-1999 标准获得批准之后消失,这一标准也包括有符号算术。其他的约束条件可能包括个人的偏爱、EDA 库和工具包的可用性、数据类型、可读性、性能和采用 PLI 进行语言扩展,以及商业、企业和市场因素等<sup>[3]</sup>。工具提供商目前都支持这两种设计语言,而且这两种设计语言都适用于本书所采用的示例。

我们现在还是比较幸运的,因为不同来源的“基准”HDL 编译器基本上对于教学应用

来说都是免费的。在本书中,我们就享受了这样的优惠。它包含一个 CD-ROM 和 Altera 最新的 MaxPlus II 软件,该软件提供了一整套设计工具,包括区分内容的编辑器、编译器、仿真器,以及位流生成器,或者比特流生成器。本书给出的所有示例都是用 VHDL 和 Verilog 语言编写的,应该很容易适应于其他专用的设计入口系统中。不需要在 VHDL 或者 Verilog 代码中做任何改动,Xilinx 的“基础系列”、ModelTech 的 ModelSim 编译器和 Synopsys FC2 或者 FPGA 编译器都可以运行。

本书结构是这样安排的。第 1 章首先简要介绍了当前的 FPGA 技术,用于设计先进 DSP 系统的器件和工具。它还给出一个有关频率合成器的详细案例研究,包括编译步骤、仿真、性能评估、功耗估算和平面布置图。这一案例研究是后续章节中 30 多个设计示例的基础。第 2 章着眼于计算机算法方面,包括可行的 DSP FPGA 算法的数字表示方式,以及诸如加法器、乘法器或积之和计算等基本构造模块的实现。在这一章的结尾,还讨论了对 FPGA 非常有用的两个计算机算法概念:分布式算法(Distributed Arithmetic, DA)和 CORDIC 算法。第 3 章和第 4 章将研究 FIR 和 IIR 滤波器的理论和实现。我们将回顾如何确定滤波器的系数,并讨论针对规模或者速度优化的可能实现。第 5 章涵盖了许多应用于多级数字信号处理系统的概念,例如,抽取、插值和滤波器组,第 5 章结尾还讨论了采用双信道滤波器组实现小波处理器的多种可能性。第 6 章讨论了最重要的 DFT 和 FFT 算法的实现,主要包括 Rader、chirp-z 和 Goertzel DFT 算法,以及 Cooley-Tuckey、Good-Thomas 和 Winograd FFT 算法。第 7 章介绍了更为专用的算法。与 PDSP 相比,这对改进的 FPGA 实现可能具有更大的潜力。这些算法包括数论变换、密码术算法和错误校正,以及通信系统的实现。附录(见光盘)包括 VHDL 和 Verilog 语言概述,以及 Verilog HDL 的示例,并简要介绍了 CD-ROM 中包含的实用程序。

U. Meyer-Baese



## 第2版前言

新版的书总会跟上本领域内的最新发展趋势，同时还会修订前几版中的一些错误。为此，本书在第2版中进行了如下改进：

- 为本书设置了一个网页，其 URL 为：<http://hometown.aol.de/uwemeyerbaese>。该网站还提供了用 FPGA 实现 DSP 的其他信息、有用链接，以及与设计相关的其他支持，如代码生成器和其他文档。
- 更正了第1版中的错误。可以从本书的网页或 Springer 的 [www.springer.de](http://www.springer.de) 的网页上下载本书第1版的勘误表。进入 Springer 的网页后搜索 Meyer-Baese 即可。
- 第2版新增了100多页内容，主要包括：
  - 串行除法器 and 阵列除法器的设计。
  - 完整的浮点库文件的说明。
  - 新增内容还包括第8章关于自适应滤波器的设计。
- Altera 当前的学生版已从 9.23 更新到 10.2，所有设计示例、规模和性能测定，也就是说，很多表和图已经被 Altera 的大学开发板 UP2 的 EPF10K70RC240-4 器件编译过。配有 EPF10K20RC240-4 的 Altera 的 UP1 开发板已不再使用。
- 可以从 Amazon 网站获取本书第1版(有超过65个练习和33个其他的设计示例)的答案手册。第2版还包括增加了一些新的(超过25个)作业练习。

U. Meyer-Baese

# 第3版前言

FPGA 仍旧是快速创新的领域,我非常高兴 Springer Verlag 公司给我这个机会将 FPGA 领域的最新发展囊括到本书的第 3 版中。本版新增了总计 150 多页全新的理念和当前的设计方法。第 3 版的创新主要包括以下几方面。

- 现在许多 FPGA 都包含嵌入式 18 位×18 位乘法器,因而推荐在以 DSP 为主的应用中使用这些器件,因为嵌入式乘法器可以节省很多 LE。例如,在本版的所有示例中都用到的 Cyclone II EP2C35F672C6 器件就具有 35 个 18 位×18 位乘法器。
- MaxPlus II 软件不再更新,新的器件(如 Stratix 和 Cyclone)仅在 Quartus II 中支持。本书中所有新旧示例目前均通过 Quartus 6.0 针对 Cyclone II EP2C35F672C6 器件编译。从 Quartus II 6.0 起,整数是以最小负整数(类似于 ModelSim 仿真器)而不再是 0 进行默认初始化,因而本书第 2 版中完全相同的例子将不能在 Quartus II 6.0 下运行。所提供的 Tcl 脚本允许所有示例的评估也可以用于其他器件。由于下载 Quartus II 需要的时间比较长,本书附赠的 CD 包含了书中用到的 Quartus II 6.0 网络版。
- 新器件的功能也允许使用很多 MAC 调用的设计。本书新增了一节(2.9 节),讲述关于基于 MAC 的三角、指数、对数和平方根的函数逼近。
- 为进一步缩短产品投放市场的时间,FPGA 供应商提供了可以很容易引用到新设计项目的知识产权保护(Intellectual Property, IP)内核。本书也解释了 IP 模块如何用于 NCO、FIR 滤波器和 FFT 的设计。
- 采样速率的任意变化是多速率系统中常见的问题,5.6 节给出了几种解决方案,包括 B 样条、MOMS 和 Farrow 类型转换器的设计。
- 基于 FPGA 的微处理器已经成为 FPGA 供应商的重要 IP 模块。尽管不具备自定义算法设计一样的高性能,但通过微处理器算法的软件实现通常需要的资源更少。新增的第 9 章涵盖了从软件工具到硬核和软核微处理器的许多方面,并开发了带有汇编程序和 C 编译器的一个完整的示例处理器。
- 本书新增了 107 道练习,答案手册可以从 [www.amazon.com](http://www.amazon.com) 以成本价购得。
- 最后特别感谢读者访问 Harvey Hamel,后者发现了许多错误,这些错误已经总结在本书第 2 版的勘误表中,贴在本书的主页 <http://hometown.aol.de/uwemeyerbaese> 上。

U. Meyer-Baese

# 目 录

<b>第 1 章 绪论</b> .....	1	2.6.2 浮点数到定点数的 格式转换 .....	94
1.1 数字信号处理技术概述 .....	1	2.6.3 浮点数乘法 .....	95
1.2 FPGA 技术 .....	2	2.6.4 浮点数加法 .....	96
1.2.1 按颗粒度分类 .....	3	2.6.5 浮点数除法 .....	98
1.2.2 按技术分类 .....	6	2.6.6 浮点数倒数 .....	99
1.2.3 FPL 的基准 .....	7	2.6.7 浮点数合成结果 .....	101
1.3 DSP 的技术要求 .....	10	<b>2.7 MAC 与 SOP</b> .....	101
1.4 设计实现 .....	12	2.7.1 分布式算法基础 .....	102
1.4.1 FPGA 的结构 .....	16	2.7.2 有符号的 DA 系统 .....	104
1.4.2 Altera EP2C35F672C6 .....	20	2.7.3 改进的 DA 解决方案 .....	105
1.4.3 案例研究: 频率合成器 .....	25	<b>2.8 利用 CORDIC 计算特殊 函数</b> .....	107
1.4.4 用知识产权内核进行设计 .....	31	<b>2.9 用 MAC 调用计算特殊 函数</b> .....	115
1.5 练习 .....	36	2.9.1 切比雪夫逼近 .....	115
<b>第 2 章 计算机算法</b> .....	49	2.9.2 三角函数的逼近 .....	117
2.1 计算机算法概述 .....	49	2.9.3 指数函数和对数函数 的逼近 .....	124
2.2 数字表示法 .....	49	2.9.4 平方根函数的逼近 .....	130
2.2.1 定点数 .....	50	<b>2.10 练习</b> .....	135
2.2.2 非传统定点数 .....	53	<b>第 3 章 FIR 数字滤波器</b> .....	147
2.2.3 浮点数 .....	64	3.1 数字滤波器概述 .....	147
2.3 二进制加法器 .....	67	3.2 FIR 理论 .....	147
2.3.1 流水线加法器 .....	69	3.2.1 具有转置结构的 FIR 滤波器 .....	148
2.3.2 模加法器 .....	73	3.2.2 FIR 滤波器的对称性 .....	151
2.4 二进制乘法器 .....	74	3.2.3 线性相位 FIR 滤波器 .....	152
2.5 二进制除法器 .....	82	3.3 设计 FIR 滤波器 .....	153
2.5.1 线性收敛的除法算法 .....	83	3.3.1 直接窗函数设计方法 .....	154
2.5.2 快速除法器的设计 .....	87	3.3.2 等波纹设计方法 .....	156
2.5.3 阵列除法器 .....	92		
2.6 浮点算法的实现 .....	93		
2.6.1 定点数到浮点数的 格式转换 .....	93		

3.4	常系数 FIR 设计	158	5.3.4	Hogenaaur “剪除”理论	241
3.4.1	直接 FIR 设计	158	5.3.5	CIC RNS 设计	245
3.4.2	具有转置结构的 FIR 滤波器	161	5.4	多级抽取器	247
3.4.3	采用分布式算法的 FIR 滤波器	167	5.5	作为通频带抽取器的频率采样滤波器	250
3.4.4	IP 内核 FIR 滤波器设计	183	5.6	任意采样速率转换器的设计	252
3.4.5	基于 DA 和基于 RAG 的 FIR 滤波器的比较	185	5.6.1	分数延迟速率变换	255
3.5	练习	187	5.6.2	多项式分数延迟设计	261
<b>第 4 章</b>	<b>IIR 数字滤波器</b>	<b>193</b>	5.6.3	基于 B 样条的分数速率变换器	266
4.1	IIR 数字滤波器概述	193	5.6.4	MOMS 分数速率变换器	270
4.2	IIR 理论	196	5.7	滤波器组	277
4.3	IIR 系数的计算	198	5.7.1	均匀 DFT 滤波器组	278
4.4	IIR 滤波器的实现	201	5.7.2	双通道滤波器组	281
4.4.1	有限字长效应	204	5.7.3	实现双通道滤波器组	286
4.4.2	滤波器增益系数的优化	205	5.8	小波	294
4.5	快速 IIR 滤波器	206	5.9	练习	300
4.5.1	时域交叉	206	<b>第 6 章</b>	<b>傅立叶变换</b>	<b>307</b>
4.5.2	群集和分散预见的流水线技术	208	6.1	傅立叶变换概述	307
4.5.3	IIR 抽取器设计	210	6.2	离散傅立叶变换算法	308
4.5.4	并行处理	211	6.2.1	用 DFT 近似傅立叶变换	308
4.5.5	采用 RNS 的 IIR 设计	214	6.2.2	DFT 的性质	310
4.6	练习	214	6.2.3	Goertzel 算法	312
<b>第 5 章</b>	<b>多级信号处理</b>	<b>221</b>	6.2.4	Bluestein Chirp-z 变换	313
5.1	抽取和插值	221	6.2.5	Rader 算法	316
5.1.1	Noble 恒等式	223	6.2.6	Winograd DFT 算法	321
5.1.2	用有理数因子进行采样速率转换	224	6.3	快速傅立叶变换算法	323
5.2	多相分解	224	6.3.1	Cooley-Tukey FFT 算法	324
5.2.1	递归 IIR 抽取器	228	6.3.2	Good-Thomas FFT 算法	334
5.2.2	快速 FIR 滤波器	229	6.3.3	Winograd FFT 算法	336
5.3	Hogenaaur CIC 滤波器	231	6.3.4	DFT 和 FFT 算法的比较	340
5.3.1	单级 CIC 案例研究	232	6.3.5	IP 内核 FFT 设计	342
5.3.2	多级 CIC 滤波器理论	234	6.4	与傅立叶相关的变换	345
5.3.3	幅值与混叠畸变	239	6.4.1	利用 DFT 计算 DCT	346
			6.4.2	快速直接 DCT 实现	347
			6.5	练习	349

<b>第 7 章 前沿课题</b> .....	359	8.6.4 转置形式的 LMS 滤波器	452
7.1 算法应用概述	359	8.6.5 DLMS 算法的设计	453
7.2 矩形变换和数论变换	359	8.6.6 应用 SIGNUM 函数的 LMS 设计	456
7.2.1 算术模 $2^b \pm 1$	361	8.7 递归最小二乘法算法	459
7.2.2 采用 NTT 的高效卷积	363	8.7.1 有限记忆的 RLS 算法	462
7.2.3 采用 NTT 的快速卷积	363	8.7.2 快速 RLS 算法的卡尔曼 实现	464
7.2.4 NTT 的多维索引映射和 Agarwal-Burrus NTT	366	8.7.3 快速后验卡尔曼 RLS 算法	468
7.2.5 用 NTT 计算 DFT 矩阵	369	8.8 LMS 与 RLS 参数的比较	468
7.2.6 NTT 的索引映射	370	8.9 练习	469
7.2.7 用矩形变换计算 DFT	372	<b>第 9 章 微处理器设计</b> .....	475
7.3 差错控制和加密技术	373	9.1 微处理器设计概述	475
7.3.1 编码理论的基本概念	374	9.2 微处理器发展史	476
7.3.2 分组码	379	9.2.1 多功能微处理器简史	476
7.3.3 卷积码	382	9.2.2 RISC 微处理器简史	478
7.3.4 FPGA 的加密算法	389	9.2.3 PDSP 简史	478
7.4 调制和解调	403	9.3 指令集设计	480
7.4.1 基本调制概念	403	9.3.1 寻址模式	481
7.4.2 非相干解调	408	9.3.2 数据流: 零、单、二和三 地址设计	487
7.4.3 相干解调	413	9.3.3 寄存器文件和存储器 体系结构	491
7.5 练习	420	9.3.4 操作支持	495
<b>第 8 章 自适应滤波器</b> .....	425	9.3.5 下一次操作的定位	497
8.1 滤波器应用概述	425	9.4 软件工具	497
8.2 自适应滤波器的应用	425	9.4.1 词法分析	499
8.2.1 干扰的消除	426	9.4.2 分析程序的开发	509
8.2.2 预测	426	9.5 FPGA 微处理器内核	518
8.2.3 反演模拟	427	9.5.1 硬内核微处理器	519
8.2.4 辨识	427	9.5.2 软内核微处理器	524
8.3 最优估计技术	428	9.6 案例研究	534
8.4 Widrow-Hoff 最小二乘法 算法	433	9.6.1 T-RISC 栈处理器	534
8.4.1 学习曲线	438	9.6.2 LISA 小波处理器的设计	540
8.4.2 标准化 LMS	441	9.6.3 Nios FFT 设计	553
8.5 变换域 LMS 算法	442	9.7 练习	560
8.5.1 快速卷积技术	442	<b>参考文献</b> .....	573
8.5.2 应用正交变换	444		
8.6 LMS 算法的实现	446		
8.6.1 量化效应	446		
8.6.2 LMS 算法的 FPGA 设计	447		
8.6.3 流水线 LMS 滤波器	450		

# 第1章

# 绪论

本章概述将要在本书中研究的算法和技术。首先简要介绍一下数字信号处理技术，然后重点讨论 FPGA 技术。最后研究 Altera 的 EP2C35F672C6 芯片和一个包含了芯片合成、时序分析、平面布局和功耗分析的大型设计示例。

## 1.1 数字信号处理技术概述

长期以来，信号处理技术一直用于转换和产生模拟或数字信号。其中最常见的应用就是信号的滤波，第 3 章和第 4 章将讨论这一问题。此外，从数字通信、语音、音频、生物医学信号处理到检测仪器仪表、机器人技术等诸多领域中，都广泛地应用了数字信号处理 (Digital Signal Processing, DSP) 技术。表 1-1 给出了 DSP 技术的一些应用概况<sup>[6]</sup>。

表 1-1 数字信号处理的应用

应用领域	DSP 算法
通用领域	滤波和卷积、自适应滤波、检测和校正、谱估计和傅立叶变换
语音处理	编码和解码、加密和解密、语音识别和合成、扬声器识别、回声消除、人工耳蜗的信号处理
音频处理	hi-fi 编码和解码、噪声消除、音频平衡、环境声学仿真、混音和编辑、声音合成
图像处理	压缩和解压缩、旋转、图像传输与分解、图像识别、图像增强、人工视网膜的信号处理
信息系统	语音信箱、传真、调制解调器、移动电话、调制器/解调器、线路均衡器、数据加密和解密、数字通信和局域网、延拓频谱技术、无线局域网、广播和电视、生物医学信号处理
控制	伺服控制、磁盘控制、打印机控制、发动机控制、定向和导航、振动控制、电力系统监控器、机器人
仪表设备	波束成型、波形发生器、瞬态分析、稳态分析、科学仪器设备、雷达和声纳

数字信号处理(DSP)已经发展成为一项成熟的技术，并且在许多应用领域逐步取代了传统的模拟信号处理系统。DSP 系统具有如下几项优点：如数字元器件对温度变化、老化

以及对元件容差不敏感。在过去，模拟芯片设计可以生产出很小体积的芯片，可是发展到今天，随着现代亚微米设计所带来的噪声，使得数字设计在集成度方面可以比模拟设计做得更好。紧凑、低功耗并且低成本的数字设计产品就应运而生了。

有两个事件加速了 DSP 技术的发展。其一是 Cooley 和 Tuckey(1965 年)揭示了一种计算离散傅立叶变换(Discrete Fourier Transform, DFT)的有效算法。第 6 章将详细讨论这类算法。另一个里程碑就是可编程数字信号处理器(Programmable Digital Signal Processor, PDSP)在 20 世纪 70 年代后期的引入，第 9 章将详细讨论该内容。这种 PDSP 能够在仅仅一个时钟周期内完成(定点数)“乘-累加”的计算，与同一时代“冯·诺伊曼(Von Neuman)”式微处理器为基础的系统相比较有着本质上的改进。现代的 PDSP 可以包含更加复杂的功能，例如：浮点数乘法器、桶式移位器、存储器组以及零架空的 A/D 和 D/A 转换器接口。EDN 每年都会出版一份有关可用的 PDSP 的详细综述<sup>[7]</sup>。在研究了 FPGA 的体系结构之后，第 2 章和第 9 章将继续研究 PDSP。

图 1-1 给出了一个借助于数字信号处理系统实现过去由模拟系统实现的典型应用示例。模拟输入信号通过一个模拟抑混叠滤波器进入系统，该滤波器阻带起始于采样频率  $f_s$  的一半，用于抑制采样过程中出现的异常镜像频率。随后是模拟数字转换器(Analog-to-Digital Converter, ADC)，通常由采样-保持以及量化(和编码)电路构成。接下来由数字信号处理电路执行与模拟系统中相同的处理过程。然后就可以进一步处理或存储(即在 CD 上)数字化处理的数据，也可以通过数字模拟转换器(Digital-to-Analog Converter, DAC)生成等价于模拟系统输出的模拟输出信号(如音频信号)。

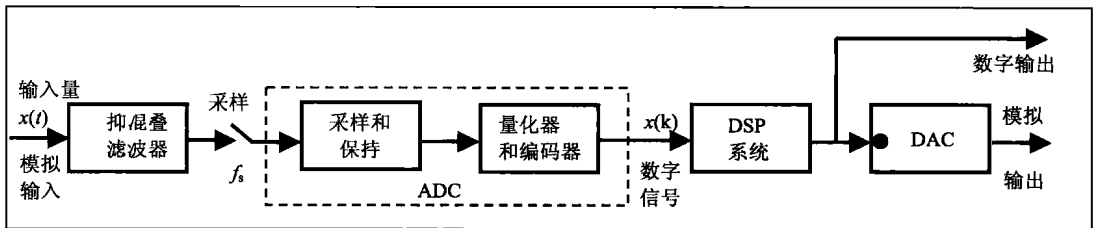


图 1-1 一个典型的 DSP 应用示例

## 1.2 FPGA 技术

VLSI(Very Large Scale Integration, 超大规模集成)电路可以按如图 1-2 所示进行分类。FPGA 属于现场可编程逻辑(Field-Programmable Logic, FPL)器件。FPL 被定义为如下可编程器件：它包含可反复使用字段的小规模逻辑模块和元件的可编程器件<sup>1</sup>。鉴于 FPGA 是专用的集成电路，所以该技术可以认为是一种专用集成电路(Application Specific Integrated Circuit, ASIC)技术。但是，通常假设典型 ASIC 电路的设计需要额外的半导体处理步骤，

1 Xilinx 称之为可配置的逻辑模块(Configurable Logic Block, CLB)，而 Altera 称之为逻辑单元(Logic Cell, LC)或逻辑元件(Logic Element, LE)。

而 FPL 则不需要这些步骤。这些额外的处理步骤能够为更高阶的 ASIC 提供性能和能耗优势，但同时也带来了高额的一次性工程成本(Non Reoccurring Engineering, NRE)。在 65 纳米级别，NRE 成本大约是 400 万美元<sup>[8]</sup>。另一方面，门阵列通常由“NAND 门海”构成，用户在“网表(wire list)”中定义其功能属性。在整个制造过程中都要使用这一网表，以便获得最终明确清晰的金属层布线。但可编程门阵列解决方案的设计人员可以完全控制设计的实现过程，而不需要任何实际的集成电路制造设备，也不会因为后者而延缓设计进度。1.3 节给出了 FPGA/ASIC 更详细的比较。

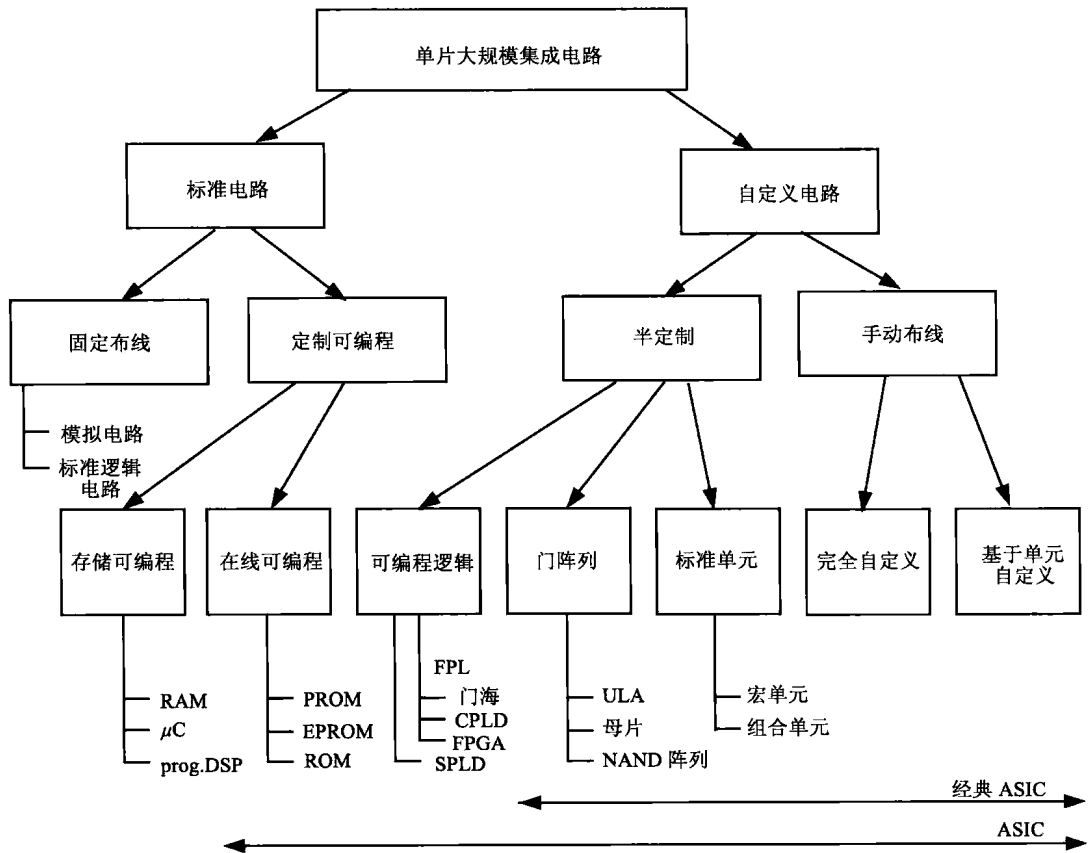


图 1-2 VLSI 电路的分类(©1995, VDI 出版社<sup>[4]</sup>)

### 1.2.1 按颗粒度分类

逻辑模块规模与器件的颗粒度相关，而器件的颗粒度又与模块之间需要完成的布线(路由通道)工作量相关。通常，3 种不同颗粒度分类如下：

- 小颗粒度(Pilkington 或“门海”体系结构)
- 中等颗粒度(FPGA)
- 大颗粒度(CPLD)



### 1. 小颗粒度器件

由 Pilkington 半导体公司提供的小颗粒度元器件最初获得了 Plessey 公司和 Motorola 公司的许可证。基本逻辑单元包括一个单一“与非”(NAND)门和一个锁存器(请参阅图 1-3)。因为采用“与非”门可以实现任何二进制逻辑函数(请参阅练习 1-1),所以“与非”门被称作通用函数。这一技术连同已被认可的逻辑合成工具(如 ESPRESSO)一起,还应用于门阵列的设计之中。门阵列的与非门之间的布线采用额外的金属层来实现。但对于可编程的体系结构,这就成为一个瓶颈,因为与已经实现的逻辑函数相比,它对布线资源的利用率非常高。此外,构建一个简单的 DSP 对象就需要大量的“与非”门。例如:一个高速的 4 位加法器就要用大约 130 个“与非”门。这使得小颗粒度技术在实现大多数 DSP 算法时并没有什么吸引力。

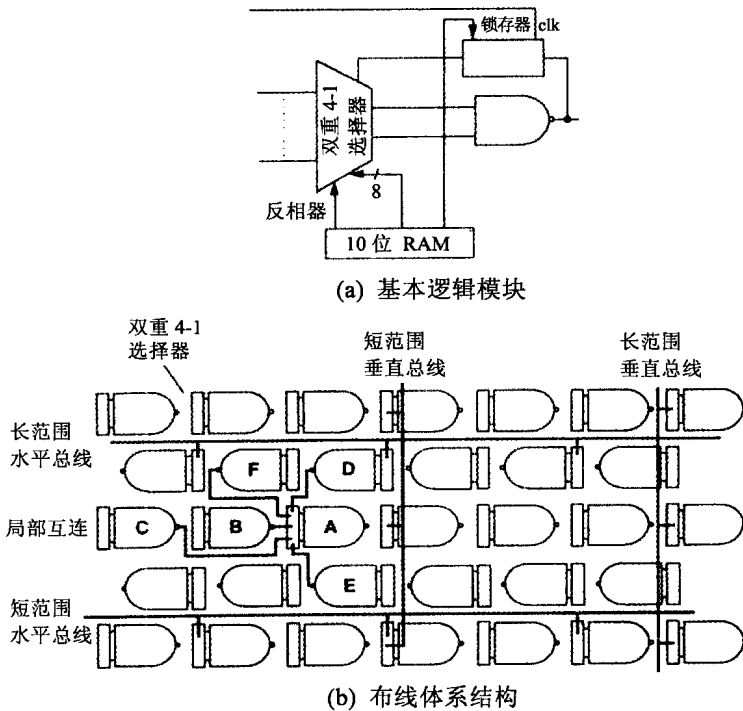


图 1-3 具有 10K 个“与非”逻辑模块的 Plessey ERA60100 体系结构<sup>[9]</sup>(© 1990 Plessey)

### 2. 中等颗粒度器件

最为常见的 FPGA 体系结构如图 1-4(a)所示。图 1-5 给出了一个当前中等颗粒度 FPGA 器件的具体示例。具有代表性的基本逻辑模块是小规模的表(如 Xilinx Virtex, 具有 4~5 位的输入表, 1 位或 2 位的输出)或由专用的多路复用器(multiplexer, MPX)逻辑来实现,如在 Actel 的 ACT-2 器件中所使用的 MPX<sup>[10]</sup>。布线通道的选择范围是从短到长。带有触发器的可编程 I/O 模块就附在器件的物理边缘。