

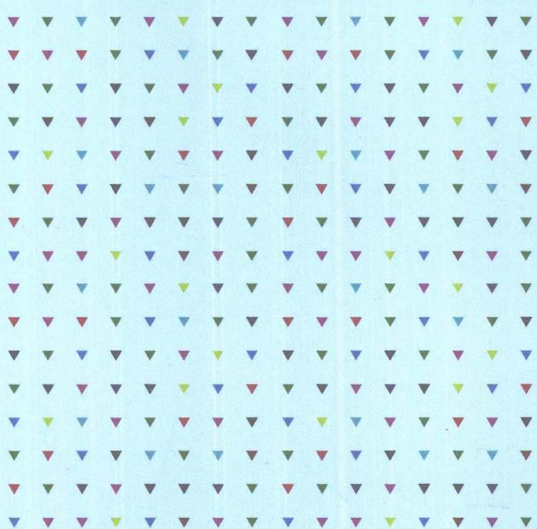
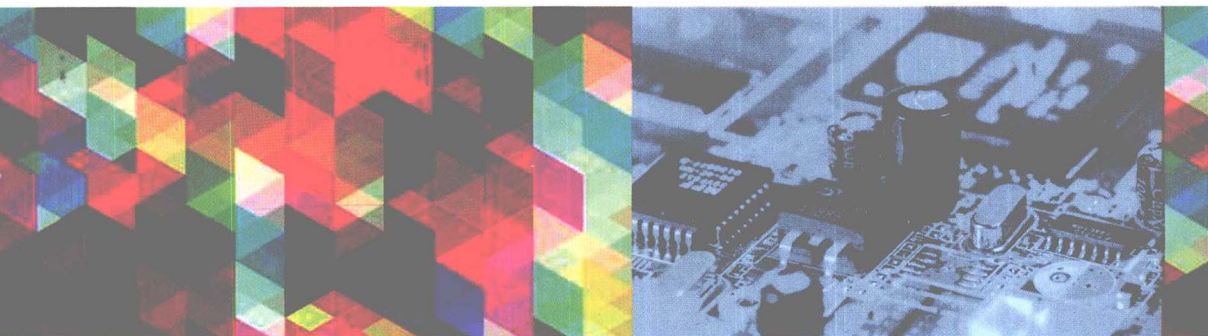


▶ 原版书CD-ROM请访问<http://www.okbook.com.cn>

 **Xilinx** **FPGA**

数字电路设计

郑群星 编著



 科学出版社

Xilinx FPGA 数字电路设计

郑群星 编著

科学出版社

北 京

图字: 01-2011-6655 号

内 容 简 介

本书以 Xilinx ISE 开发系统为开发环境,以范例执行的方式逐步介绍使用 FPGA 设计数字电路,并下载至 FPGA 开发板上验证。读者只要依照范例的操作步骤执行,一定可以了解如何进入 FPGA 的设计领域。

本书适用于广大工科院校电子、电机、应用工程系的“FPGA 数字电路设计”相关课程,也适合广大爱好者自学。

图书在版编目(CIP)数据

Xilinx FPGA 数字电路设计/郑群星编著. —北京:科学出版社,2011
ISBN 978-7-03-032697-3

I. X… II. 郑… III. ①可编程序逻辑器件-系统设计 ②数字电路-电路设计 IV. ①TP332.1 ②TN79

中国版本图书馆 CIP 数据核字(2011)第 226839 号

责任编辑:喻永光 杨 凯 / 责任制作:董立颖 魏 谨

责任印制:赵德静 / 封面设计:王秋实

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2012 年 1 月第 一 版 开本: B5(720×1000)

2012 年 1 月第一次印刷 印张: 41

印数: 1—3 000 字数: 806 000

定 价: 85.00 元

(如有印装质量问题,我社负责调换)

郑群星: Xilinx FPGA 数位电路设计

ISBN: 978-957-21-7534-7

 全华科技图书股份有限公司

原著于 2010 年出版发行

本书中文简体字版由台湾全华科技图书股份有限公司授权科学出版社独家出版, 仅限于中国大陆地区出版发行, 不含台湾、香港、澳门。

未经出版者预先书面许可, 不得以任何方式复制或抄袭本书的任何部分。

本书封底贴有全华科技图书股份有限公司防伪标签, 无标签者不得销售。

商标声明

ISE 为 Xilinx 公司的注册商标, ModelSim 为 Mentor Graphics 公司的注册商标, 本书所提及的商标及引用的画面、专用名词、指令功能、使用方法、程序语句等皆为 Xilinx 公司及 Mentor Graphics 公司所提供。

序 言

FPGA 是一种可以用来在自己的实验室或公司设计数字电路的集成电路,它不但避免了使用者使用传统面包板的方式设计数字电路,而且可以实现马上烧录、验证设计结果;如果电路设计错误,可重新设计、重复烧录使用,适合用作早期设计 IC 雏形的工具。随着半导体制程技术的进步,FPGA 的容量也越来越大,速度越来越快,再加上产品的设计周期越来越短,FPGA 已经逐渐取代部分 ASIC 的地位。加上近几年来片上系统芯片设计(SoC)已成为 IC 设计产业的新技术,FPGA 也提供了低成本及高灵活度的解决方法。在嵌入式系统的开发应用上,FPGA 也提供了 32 位 RISC 处理器。由此可见,使用 FPGA 设计数字系统已经成为 IC 设计及系统设计众所瞩目的发展目标。

本书撰写的目的为使 FPGA 初学者了解如何进入 FPGA 的设计领域,主要以 Xilinx ISE 开发系统为开发环境,使用 ModelSim 模拟器作为功能模拟及时序模拟工具,以依元素科技有限公司的 XC3S200AN-FT256(EDK-3SAISE) FPGA 开发板为平台。首先介绍以绘图的方式设计 FPGA 数字电路,经模拟验证后再下载到 FPGA 开发板上验证,最后介绍如何使用 VHDL 来设计 FPGA 的数字电路。

本书的内容

第 1 章 在介绍设计数字集成电路发展过程的基础上,让读者了解 FPGA 的基本架构及其在数字集成电路中所担任的角色以及 FPGA 未来的发展方向。

第 2 章 主要介绍 Xilinx ISE WebPACK 及 ModelSim 模拟器的下载及安装方法。

第 3 章 详细介绍依元素科技公司 XC3S200AN-FT256 FPGA (EDK-3SAISE)开发板的基本架构。

第 4 章 介绍以绘图的方式使用 Xilinx ISE WebPACK、ISim 模拟器及 ModelSim 模拟器完成简单逻辑门的设计,并下载至 FPGA 开发板上验证。阅读完这一章,读者就会对 FPGA 的设计方式有基本的概念及了解。

第 5 章 主要介绍以绘图的方式设计组合电路,如编码器、译码器、多路选择器、多路分配器、一位加法器、二位加法器、七段显示器译码器等,并以二位加法器为例,介绍如何以阶层式的方式设计数字电路。读者 Step by Step 依范例程序执行,就可完成一颗 FPGA 实体芯片的设计,掌握熟练使用 FPGA 设计数字电路的技巧。

· PREFACE ·

第6章 以计数器为例,介绍时序电路的设计方法。完成本章阅读,就可熟悉如何使用绘图的方式设计FPGA数字电路。

第7~9章 介绍如何使用VHDL硬件描述语言的方式设计FPGA数字电路,其中包含VHDL的语法介绍及设计实例。读者只要Step by Step依据范例操作,就可熟悉如何使用VHDL语言在FPGA芯片上设计组合电路与时序电路。

第10章 介绍VHDL专题设计,如 8×8 点阵LED、液晶显示、键盘、蜂鸣器、RS232接口传输等。

本书的对象 ·

1. 高职高专电子、电机、信息相关专业之“数字逻辑实验”教学及实验课程使用。
2. 本科院校电子、电机、机电、自动化及应用工程之“数字逻辑实验”、“数字电路设计”、“数字系统设计”、“可编程逻辑器件设计”及“集成电路分析与模拟”等相关教学课程使用。
3. 相关专业学生,欲以Xilinx FPGA作为“专题制作”之设计工具时使用。
4. 相关系所研究生,欲以Xilinx FPGA作为其研究论文之设计及实验时使用。
5. 从事电子电机系统设计之工程师,欲以Xilinx FPGA作为系统芯片(SoC)或雏形(Prototyping)设计工具时使用。
6. 从事IC设计之工程师,欲以Xilinx FPGA作为ASIC验证工具时使用。

本书主要特色是,以范例实作的方式逐步介绍使用FPGA设计数字电路的方法,并下载至FPGA开发板上验证。读者只要一步一步依照范例的操作步骤实作,一定可以在自己的实验室设计出一颗实际的数字集成电路。

本书的完成要感谢依元素科技有限公司王建宇总经理的大力支持及技术顾问何奇旺先生提供的协助和相关数据。最后要感谢全华图书公司团队之协助,方能顺利出版。

本书系作者利用研究及课余闲暇编辑而成,虽悉心校订,但错误之处在所难免,希望先进专家专赐指正,不胜感激。

郑群星 谨识

景文科技大学 应用工程系

RFID与嵌入式系统整合实验室

cscheng@just.edu.tw

目 录

Chapter 1 使用 FPGA 芯片设计数字电路的方法

1.1	什么是 FPGA	2
1.2	FPGA 芯片的发展过程及其基本架构	2
1.2.1	PLD 的基本架构	2
1.2.2	PLD 的种类	3
1.3	Xilinx FPGA 的基本架构	6
1.3.1	Xilinx Spartan-3AN FPGA 的基本架构	6
1.4	Xilinx Spartan 3AN FPGA 芯片型号代表的意义	12
1.5	数字电路的传统设计方法	13
1.6	使用 FPGA 设计数字电路的方法	16
1.6.1	使用绘图方式设计数字电路的方法	16
1.6.2	使用 VHDL 硬件描述语言设计数字电路的方法	26
1.6.3	使用 Verilog 硬件描述语言设计数字电路的方法	29
1.6.4	使用状态机方式设计数字电路的方法	30
1.7	Xilinx ISE 开发系统功能简介	30
1.8	使用 Xilinx ISE 开发系统设计 FPGA 及 CPLD 操作方式的差异	33
1.9	Xilinx ISim Simulator 简介	34
1.10	ModelSim 模拟器简介	34

Chapter 2 Xilinx ISE WebPACK 及 ModelSim XE 模拟器的下载及安装

2.1	ISE WebPACK 软件的下载	36
2.1.1	登录 Xilinx 公司网站	36
2.1.2	进行注册	38
2.1.3	下载 ISE WebPACK 软件	41
2.1.4	ISE WebPACK 更新文件的下载	43
2.1.5	License 文件的产生及下载	45
2.2	ISE WebPACK 软件的安装	51

CONTENTS

2.3	Xilinx ISE WebPACK 的更新	64
2.4	ModelSim XE 模拟器的下载及安装	68
2.4.1	ModelSim XE 模拟器的下载	68
2.4.2	ModelSim XE 模拟器的安装	72
2.4.3	ModelSim License 文件的下载及安装	76
2.5	ISE WebPACK License 文件的更新方法	84

Chapter 3 FPGA 芯片开发板

3.1	概 述	90
3.2	依元素 XC3S200AN_FT256 FPGA 芯片开发板	90
3.3	依元素 XC3S200AN_FT256 开发板外围装置与 FPGA 芯片引脚	92
3.3.1	电源装置	92
3.3.2	输入装置	93
3.3.3	输出装置	97
3.3.4	RS232 传输接口	103
3.3.5	Xilinx Spartan 3AN XC3S200AN-FTG256 FPGA 芯片	104
3.3.6	J1 Connector	109
3.3.7	J2 Connector	110
3.4	XC3S200AN_FT256 开发板的下载方式	112

Chapter 4 Xilinx ISE 的简易操作步骤

4.1	如何进入 ISE Project Navigator 窗口	116
4.2	如何新建工程	117
4.3	如何离开所建立的工程	124
4.4	Project Navigator 窗口功能介绍	125
4.5	如何打开一个旧的工程	130
4.6	基本逻辑门介绍	138
4.6.1	非门的电路符号、布尔代数式及真值表	138
4.6.2	或门的电路符号、布尔代数式及真值表	139

4.6.3	与门的电路符号、布尔代数式及真值表	139
4.6.4	异或门的电路符号、布尔代数式及真值表	139
4.7	基本逻辑门设计方法	140
4.7.1	取出逻辑门组件	140
4.7.2	缓冲器组件的取出	144
4.7.3	执行连线的动作	147
4.7.4	加入输入/输出端	147
4.7.5	定义输入/输出端名称	149
4.8	基本逻辑门功能模拟的执行	152
4.8.1	TestBench 的产生	152
4.8.2	TestBench 语法的检查	158
4.8.3	使用 ISim 模拟器的模拟方法	160
4.8.4	模拟时间的设定	163
4.8.5	使用 ModelSim 模拟器的模拟方法	165
4.9	设计执行	170
4.9.1	Implementation Constraints File 的设定	170
4.9.2	Implement Design 的执行	181
4.10	使用 FPGA Editor 查看芯片布局与布线	191
4.11	FPGA 芯片资源利用报告的查看	192
4.12	Configuration Data 的产生	193
4.13	时序模拟的执行	197
4.13.1	使用 ModelSim 执行时序模拟的方法	197
4.13.2	使用 Xilinx ISim Simulator 执行时序模拟的方法	205
4.14	Configuration 的执行	212
4.14.1	直接下载至 FPGA 芯片	212
4.14.2	下载至 FPGA 芯片内部的 Flash Memory	218
4.14.3	USB 下载线的连接方法	219
4.14.4	直接下载至 FPGA 与下载至 FPGA Flash 的差异	219
4.15	以 HDL 硬件描述语言设计数字电路的方法	220

CONTENTS

Chapter 5 组合逻辑设计实例

5.1	编码器	222
5.1.1	十进制对二进制编码器	222
5.1.2	使用绘图方式的设计方法	224
5.1.3	功能模拟的执行	240
5.1.4	ModelSim 模拟器的简易操作	247
5.1.5	将十进制对二进制编码器设计成组件模块使用	255
5.1.6	十进制对二进制编码器组件模块的模拟及下载	260
5.2	如何将建立的组件模块用于别的工程	302
5.3	BCD 译码器	307
5.3.1	BCD 译码器的基本电路	307
5.3.2	使用绘图方式的设计方法	310
5.3.3	将 BCD 译码器组成组件模块使用	320
5.3.4	再使用 ModelSim 模拟电路的功能	322
5.3.5	执行及下载	322
5.4	2 对 4 译码器	325
5.5	多路分配器	332
5.5.1	1 对 4 多路分配器	332
5.6	多路选择器	337
5.6.1	4 对 1 多路选择器	337
5.7	一位全加器的设计	344
5.7.1	一位半加器	344
5.7.2	一位全加器	345
5.8	二位全加器的设计	353
5.9	BCD 七段显示器译码器的设计	368
5.9.1	七段显示器的基本架构	369
5.9.2	七段显示器译码器的真值表	370
5.9.3	布尔代数式	371
5.9.4	逻辑电路图	371

5.9.5	使用 Xilinx ECS 绘图	375
5.9.6	使用 ModelSim 执行电路功能模拟	375
5.9.7	将七段显示器译码器设计成组件模块使用	378
5.9.8	再使用 ModelSim 模拟电路的功能	379
5.9.9	Implementation Constraints File 的执行	380
5.9.10	Implement Design 的执行	382
5.9.11	时序模拟的执行	382
5.9.12	Configuration 的执行	382

Chapter 6 时序逻辑电路设计

6.1	四位异步加法计数器的设计	384
6.2	不同频率时钟脉冲产生电路的设计	389
6.3	具有七段显示器译码器的四位异步加法计数器的设计	392

Chapter 7 VHDL 硬件描述语言设计方法

7.1	使用 VHDL 硬件描述语言设计数字电路	406
7.1.1	使用 ISE HDL Text Editor 编辑 VHDL 硬件描述语言设计 电路	406
7.1.2	使用 ISE 语言样板设计 VHDL 硬件描述语言的方法	426
7.2	VHDL 硬件描述语言的基本架构组成	443
7.2.1	Library 声明的格式	445
7.2.2	Use 声明的格式	445
7.2.3	Entity 电路实体的描述格式	445
7.2.4	Architecture 结构体的描述格式	446
7.2.5	Structure 声明所使用的格式及范例	446
7.2.6	Dataflow 描述的格式及范例	460
7.2.7	Behavioral 行为描述的格式及范例	463
7.2.8	组成声明描述的格式及范例	467

CONTENTS

Chapter 8 VHDL 硬件描述语言的描述规则

8.1	VHDL 硬件描述语言指令的命名规则	472
8.1.1	VHDL 的批注	472
8.2	VHDL 语句的描述形式	472
8.3	VHDL 的常用指令	478
8.3.1	IF 条件式	478
8.3.2	WHEN...ELSE 语句	491
8.3.3	CASE...IS... WHEN... WHEN OTHERS 语句	495
8.3.4	WITH...SELECT... WHEN... WHEN OTHERS 语句	501
8.3.5	LOOP 语句	516
8.3.6	NEXT 语句	528
8.3.7	WAIT 语句	529
8.4	VHDL 中所使用的运算符	531
8.5	VHDL 的保留字	533

Chapter 9 VHDL 设计实例

9.1	3 对 8 译码器	536
9.2	十六进制加减计数器	541
9.2.1	分频器的设计	542
9.2.2	十六进制加减计数器的设计	546
9.2.3	多路选择器	554
9.2.4	七段显示器译码器的设计	560
9.2.5	十六进制加减计数器完整电路的设计	563
9.3	BCD 加减计数器	567
9.3.1	BCD 加减计数器的设计方法	568
9.3.2	分频器、多路选择器、七段显示器译码器模块的导入	572
9.3.3	BCD 加减计数电路的完整设计	577

9.4 跑马灯	581
9.4.1 八位右移寄存器的设计	581
9.4.2 完整跑马灯的设计	583

Chapter 10 VHDL 专题设计

10.1 8×8 点阵 LED	592
10.1.1 基本架构	592
10.1.2 设计方法	592
10.1.3 合成及下载	599
10.2 液晶显示	601
10.2.1 液晶显示模块基本架构	602
10.2.2 LCM 工作原理	602
10.2.3 设计方法	609
10.2.4 VHDL 设计	610
10.2.5 合成及下载	614
10.2.6 LCD 由右向左移位显示的设计	615
10.3 键 盘	619
10.3.1 键盘读取基本原理	619
10.3.2 设计方法一	620
10.3.3 设计方法二	623
10.4 蜂鸣器	629
10.4.1 蜂鸣器发音的基本原理	629
10.4.2 设计方法	630
10.5 RS232 接口	633
10.5.1 打开一个新工程	634
10.5.2 VHDL 设计	634
10.5.3 合成及下载	636
10.5.4 计算机超级终端的设置	637
参考文献	641

Chapter 1

使用FPGA芯片 设计数字电路的方法

- 1.1 什么是FPGA
- 1.2 FPGA芯片的发展过程及其基本架构
- 1.3 Xilinx FPGA的基本架构
- 1.4 Xilinx Spartan 3AN FPGA芯片编号代表的意义
- 1.5 数字电路的传统设计方法
- 1.6 使用FPGA设计数字电路的方法
- 1.7 Xilinx ISE开发系统功能简介
- 1.8 使用Xilinx ISE开发系统设计FPGA及CPLD操作方式的差异
- 1.9 Xilinx ISim Simulator 简介
- 1.10 ModelSim模拟器简介



1.1 什么是 FPGA

FPGA 是现场可编程门阵列(Field Programmable Gate Array, FPGA)的简称,是一种可以自己在实验室、研发公司设计、烧录完成的集成电路芯片,且可重复设计使用。也就是说,使用这种设计方式,在设计完集成电路后不必委托专业集成电路制造服务公司制造就可以使用。



1.2 FPGA 芯片的发展过程及其基本架构

由于 FPGA 芯片为可编程逻辑器件(Programmable Logic Device, PLD)的一种,因此在介绍 FPGA 芯片的发展过程及基本架构前,就要先介绍 PLD 的种类及其架构。



1.2.1 PLD 的基本架构

可编程逻辑器件,其基本架构由 AND-OR 逻辑门阵列及输入/输出缓冲器组成,依使用者设计目的,将某些熔断丝(Fuse)开关烧断,从而完成其特定功能。图 1.1 是 OR 门阵列的 PLD 元件基本架构,由熔断丝开关、晶体管或二极管组成,依据设计电路的输出将不要的熔断丝烧断,即可完成所欲完成电路的功能。图 1.2 为其等效电路,图 1.3 为实现($O1 = E + H$, $O2 = G + H$)逻辑功能的电路。实际的数字电路不可能这么简单,此处只是为方便说明而举的简单例子而已。

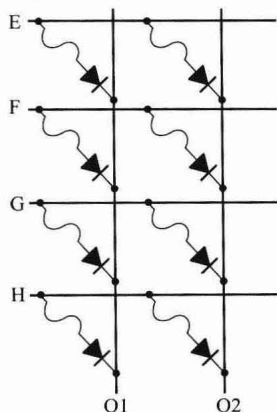


图 1.1 OR 门阵列的 PLD 元件基本架构

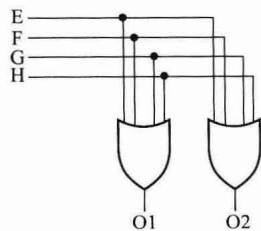
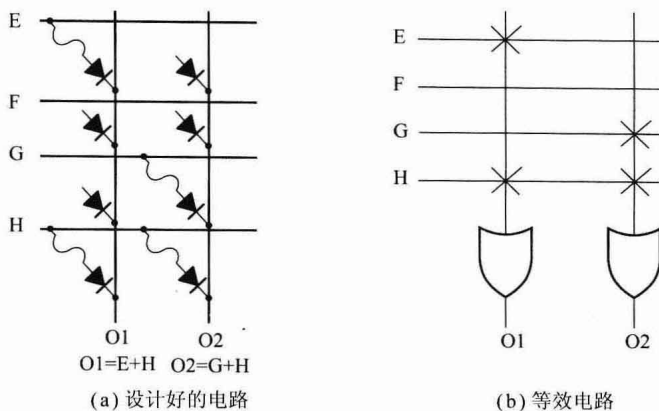


图 1.2 OR 门阵列的等效电路

图 1.3 实现($O1=E+H, O2=G+H$)的 PLD 器件

1.2.2 PLD 的种类

PLD 的基本架构可分为下列 6 种。

1. 可编程逻辑阵列(PLA)

可编程逻辑阵列(Programmable Logic Array, PLA),是最早期的 PLD 器件。其基本架构如图 1.4 所示,由 AND 运算项及 OR 运算项组成。图 1.5 是其实际的基本架构电路,由一连串的反相器、AND 及 OR 门所组成,且 AND 及 OR 门的输入可编程。其中,若 AND 门阵列可编程其熔断丝开关连接,OR 门阵列也可编程其熔断丝开关连接,也就是可依需要将熔断丝开关烧断(即打“×”处),而完成所需电路的功能,输出则为和之积(Product of Sum)的形式;若 AND 门阵列不可编程,而 OR 门阵列可编程,则具有积之和(Sum of Product)的输出形式。

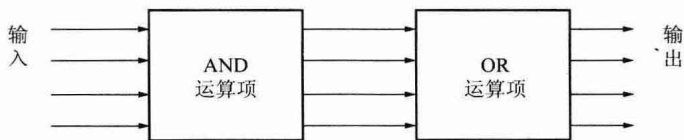


图 1.4 PLA 的基本架构

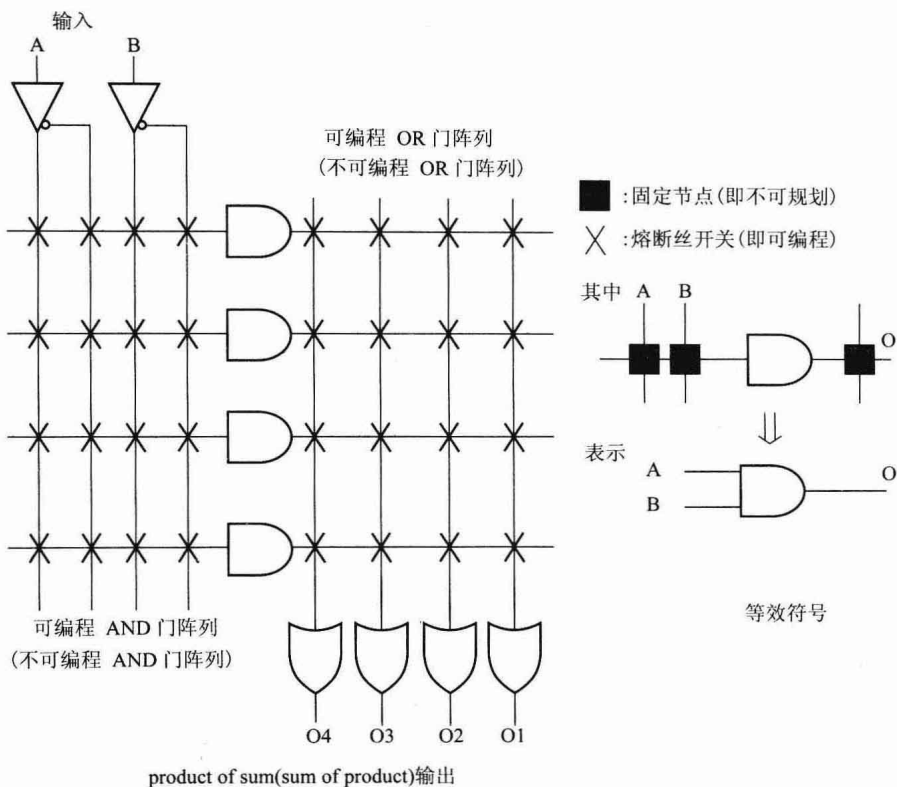


图 1.5 PLA 的实际基本架构

2. 可编程阵列逻辑(PAL)

可编程阵列逻辑(Programmable Array Logic, PAL)由 PLA 改进发展而成,其基本架构如图 1.6 所示,AND 门阵列设定为可编程,而 OR 门阵列设定为固定不可编程。

3. 可编程只读存储器

可编程只读存储器(Programmable Read Only Memory, PROM)是 PLD 的另一种形态,其基本架构如图 1.7 所示,其 AND 门阵列为固定不可编程,但 OR 门阵列可编程。

4. SPLD

由于 PAL 只具有组合电路的功能,因此若将 PAL 加上触发器、多路选择器等电路后,就有时序逻辑电路的功能,此种装置称为简易可编程逻辑器件(Simple Programmable Logic Device, SPLD)。