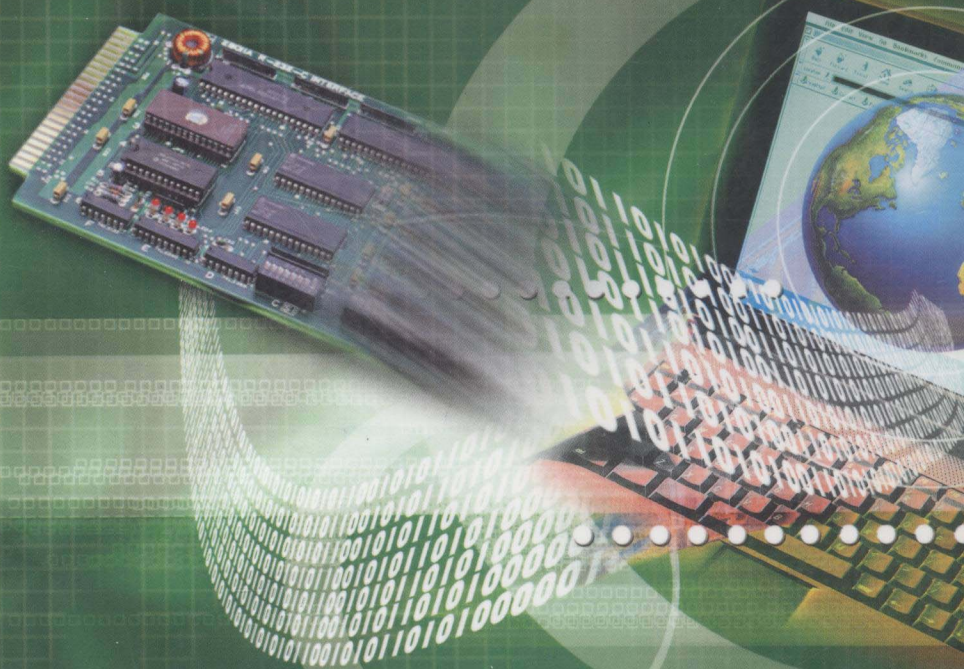


21 世纪

高等学校电子信息类系列教材

可编程逻辑器件 原理、开发与应用 (第二版)

□ 赵曙光 郭万有 杨颂华 唐旻 编著



西安电子科技大学出版社

<http://www.xduph.com>

★ 21 世纪高等学校电子信息类系列教材

可编程逻辑器件原理、 开发与应用

(第二版)

赵曙光 郭万有 杨颂华 唐旻 编著

西安电子科技大学出版社

2006

内 容 简 介

本书内容包括：可编程逻辑器件的基础知识；Altera 公司新型可编程逻辑器件的架构、特点和原理，及其基于开发工具 MAX+ plus II 和 Quartus II 的开发方法；Lattice 公司新型可编程逻辑器件的架构、特点和原理，及其开发工具 ispLEVER 的使用详解；硬件描述语言 VHDL 的语法要点、设计方法与实例。

本书内容全面，取材新颖，注重基础，既可用作电类各专业的本科生、研究生教材，又可作为相关专业工程技术人员的自学参考书。

图书在版编目 (CIP) 数据

可编程逻辑器件原理、开发与应用 / 赵曙光等编著.

—2 版. —西安：西安电子科技大学出版社，2005.12

(21 世纪高等学校电子信息类系列教材)

ISBN 7-5606-0900-7

I. 可… II. 赵… III. 可编程逻辑器件—高等学校—教材 IV. TP332.1

中国版本图书馆 CIP 数据核字 (2005) 第 124091 号

责任编辑 龙 晖 云立实

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

http://www.xduph.com E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印刷单位 陕西华沐科技印刷有限责任公司

版 次 2000 年 8 月第 1 版 2006 年 1 月第 2 版 2006 年 1 月第 5 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 26.875

字 数 636 千字

印 数 20 001~24 000 册

定 价 28.00 元

ISBN 7-5606-0900-7/TP·0480

XDUP 1171A02-5

如有印装问题可调换

本社图书封面为激光防伪覆膜，谨防盗版。

第二版前言

本书第一版自 2000 年 8 月出版后,因覆盖面较宽且深度适中而受到广大读者的欢迎,并且被多家院校选作本科生、研究生教材。在此后至今的 5 年时间里,可编程逻辑器件在原理、规模、开发、应用等方面均发展迅速,不断创新。相应地,本书第一版内容在某些方面已变得有些陈旧或落后,如不修订则无法及时反映该领域的当前水平和发展趋势,也不利于帮助读者掌握实用的可编程逻辑器件的开发方法和工具。因此,作者在保持本书第一版的优点和特色的基础上,根据最新的技术资料重新编写了第 3、5、6 章并且修订了第 4 章,最终写成此书。

本书的第 1、2 章由杨颂华编写,第 3 章由赵曙光、唐旻编写,第 4 章由郭万有、唐旻编写,第 5、6、7 章由赵曙光编写,方艳红也为第 5 章的编写做了一些工作,全书由赵曙光统稿。书中首先系统地介绍了可编程逻辑器件的基础知识,以便读者较为全面地了解可编程逻辑器件及其相关技术和设计方法。随后,针对两个业界领先且各具特色的可编程逻辑器件供应商——Altera 公司和 Lattice 公司,较全面地介绍了其新型可编程逻辑器件的架构、特点和原理,并对其最新的开发工具软件的使用方法和开发技巧等进行了较详细的说明。最后,结合大量实例介绍了硬件描述语言 VHDL 的语法要点和设计方法。

本书内容全面,取材新颖,叙述清楚,既可用作电类专业有关课程的教材和参考书,又可供相关专业工程技术人员用作入门读物和技术手册。书中各部分内容之间既相互联系又相对独立,便于教师和读者根据需要加以组合和取舍。

本书作为“数字电路及系统设计”(2004 年度)国家级精品课程建设的一项成果,在编写、出版过程中得到了西安电子科技大学出版社龙晖、云立实编辑等有关人士的大力帮助,并且得到了作者的同事和家人所给予的充分理解和支持,在此一并表示衷心的感谢。书中参考和引用了许多专家、学者的著作和研究成

果以及有关公司的网站资料，特此说明并表示感谢。

尽管作者试图较全面、深入地介绍可编程逻辑器件的原理与开发、应用方法，但受篇幅和作者的水平、能力的限制，书中难免存在疏漏、错误与不足之处，欢迎广大读者和同行批评指正。

作 者

2005 年 9 月

第一版前言

可编程逻辑器件(PLD)是一种半定制专用集成电路(ASIC),其功能可由设计者根据自己的需要来加以定义。与中、小规模的标准逻辑器件(如 74 系列、4000 系列等)相比,PLD 的工作速度快,集成度高,功耗低,适应性强。利用高密度可编程逻辑器件(HDPLD),甚至可以将一个较大规模的高性能数字系统集成于单片器件之中,可大大减小数字设备的体积、重量和功耗,并显著提高其可靠性。与需要用户设计集成电路版图的全定制方式相比,利用 HDPLD 设计数字系统可以大大缩短研制周期,降低设计费用和投资风险,特别适合于产品的样机开发和小批量生产。因此,PLD 特别是 HDPLD 受到广大电子设计人员的普遍欢迎,已逐渐成为设计和实现数字系统的主要方式。

本书的作者在教学和科研实践中较早接触和使用了可编程逻辑器件,从中受益颇深,同时,也为目前缺乏内容新、实用性强的适用教材而深感不便。为使更多的人能够了解 HDPLD 的最新进展,尽快掌握使用 HDPLD 进行数字系统设计的基本方法,作者在阅读和编译大量外文资料(如数据手册和软件使用说明等)的基础上,按照教学和认识规律的要求,结合教学和科研经验加以综合和整理,写成此书。

本书首先系统地介绍了可编程逻辑器件的基本知识,以便读者对可编程逻辑器件及相关技术和设计方法有较为全面的了解。随后,针对两个产量较大且产品各具特色的可编程逻辑器件供应商——Altera 公司和 Vantis 公司,分别介绍了它们的 HDPLD 的产品系列,包括器件的内部结构、特点和选用方法等;对所提供的开发工具软件的使用方法和技巧等,也通过大量的实例和图例进行了详细的说明。第 3、4 两章相配合,介绍 Altera 公司的产品系列及其开发工具

MAX+plus II，第 5、6 两章介绍 Vantis 公司的 MACH 系列及其开发工具 DesignDirect。最后，为使读者了解和掌握标准化硬件描述语言 VHDL 这一强有力的逻辑描述工具，在第 7 章中结合大量的实例介绍了 VHDL 的语法要点和基本描述方法。

本书内容全面，取材新颖，叙述清楚，既可用作电子类专业有关课程的教材和参考书，又可供电子类工程技术人员用作入门读物和软件操作手册。在使用时，教师和读者可以根据自己的需要对有关的内容加以组合和取舍。

本书列入了西安电子科技大学国家电工电子教学基地的教材建设规划，由教学基地有关课程的部分任课教师合作编著而成。其中，第 1、2 章由杨颂华编写，第 3、4 章及附录由郭万有编写，第 5、6、7 章由赵曙光编写，全书由赵曙光统稿。李玉山教授审阅了本书的编写提纲和全部书稿，并提出了许多宝贵的意见，使书中的错误得以减少且结构更趋合理。

本书的编写工作是在孙肖子教授的积极组织和悉心指导下进行的，西安电子科技大学出版社的云立实编辑和有关工作人员也为本书的出版付出了艰辛的劳动，作者的同事和家人也都给予了充分的理解和支持，在此一并表示衷心的感谢。书中参考和引用了许多学者和专家的著作和研究成果，在此也向他们表示深深的敬意和感谢。

由于作者水平有限，书中必然存在错误与不足之处，恳请读者和同行批评指正。

编 者

2000 年 5 月

目 录

第 1 章 可编程逻辑器件的基本原理	1
1.1 可编程逻辑器件和 EDA 技术发展概况	1
1.1.1 可编程逻辑器件的发展概况	1
1.1.2 EDA 技术发展概况	3
1.2 可编程逻辑器件的分类	5
1.2.1 按集成密度分类	5
1.2.2 按编程方式分类	5
1.2.3 按结构特点分类	8
1.3 阵列型可编程逻辑器件	9
1.3.1 简单 PLD 的基本结构	9
1.3.2 EPLD 和 CPLD 的基本结构	13
1.4 现场可编程门阵列(FPGA)	16
1.4.1 FPGA 的分类	16
1.4.2 FPGA 的基本结构	17
第 2 章 可编程逻辑器件的设计	22
2.1 可编程逻辑器件的设计流程	22
2.1.1 设计准备	22
2.1.2 设计输入	23
2.1.3 设计处理	24
2.1.4 设计校验	24
2.1.5 器件编程	25
2.2 在系统可编程技术	25
2.2.1 在系统编程的基本原理	25
2.2.2 在系统编程方法	27
2.2.3 在系统可编程技术的优越性	28
2.3 边界扫描技术	29
第 3 章 Altera 可编程逻辑系列器件	31
3.1 概述	31
3.2 MAX 架构及器件系列	33
3.2.1 概述	33

3.2.2	MAX 7000 系列器件概述.....	34
3.2.3	MAX 7000 系列器件结构.....	36
3.2.4	MAX 7000 系列器件配置要点.....	40
3.3	MAX II 系列器件简介.....	41
3.4	FLEX 架构及器件系列.....	46
3.4.1	概述.....	46
3.4.2	FLEX 10K 系列器件概述.....	47
3.4.3	FLEX 10K 系列器件结构.....	49
3.4.4	FLEX 10K 系列器件特性与设定.....	55
3.5	APEX 架构及器件系列.....	56
3.5.1	概述.....	56
3.5.2	APEX 20K 系列器件概述.....	58
3.5.3	APEX 20K 系列器件结构.....	60
3.6	Cyclone 架构及器件系列简介.....	66
3.6.1	Cyclone 器件系列简介.....	66
3.6.2	Cyclone II 器件系列简介.....	72
3.7	Stratix 架构及器件系列简介.....	74
3.7.1	Stratix 器件系列简介.....	74
3.7.2	Stratix II 器件系列简介.....	79
3.8	Stratix GX 架构及器件系列简介.....	83
3.8.1	Stratix GX 器件系列简介.....	84
3.8.2	Stratix II GX 器件系列简介.....	88
第 4 章	Altera 可编程逻辑器件开发软件.....	91
4.1	综述.....	91
4.2	MAX+plus II 基本操作.....	93
4.2.1	设计环境与设计方法.....	93
4.2.2	设计输入.....	98
4.2.3	设计项目的处理.....	113
4.2.4	设计项目的验证.....	124
4.2.5	器件编程.....	135
4.3	进一步掌握 MAX+plus II.....	137
4.3.1	使用 MAX+plus II 符号库.....	137
4.3.2	创建用户符号库.....	145
4.3.3	使用波形编辑器设计项目.....	148
4.3.4	编译控制.....	152
4.3.5	器件编程与配置.....	159
4.4	AHDL 硬件描述语言.....	167
4.4.1	AHDL 简介.....	167

4.4.2 使用 AHDL.....	169
4.5 Quartus II 可编程逻辑器件开发软件.....	187
4.5.1 概述.....	187
4.5.2 安装.....	188
4.5.3 设计流程.....	190
4.5.4 设计项目的输入.....	196
4.5.5 设计项目的编译.....	203
4.5.6 设计项目的仿真验证.....	208
4.5.7 时序分析.....	212
4.5.8 器件编程.....	215
4.6 应用示例.....	217
4.6.1 简易频率计.....	218
4.6.2 八音电子琴.....	221
4.6.3 简易乐曲自动演奏器.....	222
 第 5 章 Lattice 新型可编程逻辑器件.....	225
5.1 概述.....	225
5.2 CPLD 器件系列简介.....	225
5.3 FPGA 器件系列简介.....	233
5.4 FPSC 器件系列简介.....	236
5.5 关键技术及其原理简介.....	238
5.5.1 sysIO 缓冲器.....	238
5.5.2 sysCLOCK 电路.....	239
5.5.3 ispXP 技术.....	240
5.5.4 sysDDR 接口电路.....	241
5.5.5 sysDSP 块.....	242
5.5.6 sysHSI SERDES 技术.....	243
5.5.7 ispLeverCORE IP 核.....	244
 第 6 章 Lattice 可编程逻辑器件开发软件.....	245
6.1 ispLEVER 简介.....	245
6.1.1 概述.....	245
6.1.2 配置选项.....	246
6.1.3 安装.....	247
6.2 项目管理器.....	250
6.2.1 基本界面.....	250
6.2.2 基本操作.....	253
6.3 设计流程.....	258
6.4 原理图设计描述与输入.....	261

6.4.1	概述.....	261
6.4.2	使用原理图编辑器.....	262
6.4.3	使用层次化导引器.....	270
6.4.4	使用符号编辑器.....	272
6.4.5	使用库管理器.....	275
6.4.6	导入 EDIF 网表.....	277
6.5	HDL 设计描述与输入.....	277
6.5.1	ABEL-HDL 设计基础.....	278
6.5.2	HDL 测试向量的编制方法.....	285
6.5.3	HDL 设计文件输入方法.....	293
6.6	原理图与 HDL 混合描述与输入.....	296
6.6.1	原理图与 HDL 混合描述方法.....	296
6.6.2	混合描述设计实例.....	297
6.7	设计编译/综合与仿真.....	302
6.7.1	设计编译/综合.....	302
6.7.2	设计仿真概述.....	304
6.7.3	LLS 仿真方法.....	305
6.7.4	ModelSim 仿真.....	310
6.7.5	测试向量的图形化描述方法.....	312
6.8	设计实现.....	314
6.8.1	基于 CPLD/ispXPLD 器件的设计实现.....	316
6.8.2	基于 ispXPGA 器件的设计实现.....	319
6.8.3	基于 FPGA 器件的设计实现.....	322
6.8.4	设计优化方法.....	330
6.9	设计验证.....	338
6.9.1	静态时序分析概述.....	338
6.9.2	Performance Analyst 使用要点.....	340
6.10	在系统器件编程.....	345
6.10.1	ISP 编程的硬件连接.....	345
6.10.2	ispVM System 简介.....	347
6.10.3	ispVM System 使用要点.....	347
第 7 章	硬件描述语言 VHDL 初步.....	356
7.1	概述.....	356
7.2	VHDL 设计文件的基本结构.....	358
7.2.1	初识 VHDL.....	358
7.2.2	实体和结构体.....	361
7.2.3	配置.....	362
7.2.4	程序包和库.....	364

7.3 对象、类型和属性.....	367
7.3.1 对象.....	367
7.3.2 数据类型.....	367
7.3.3 VHDL 的属性.....	370
7.4 VHDL 的功能描述方法	373
7.4.1 并行描述语句.....	373
7.4.2 顺序描述语句.....	380
7.5 VHDL 的结构描述方法	383
7.6 过程和函数.....	387
7.7 常用单元电路的设计实例.....	393
7.7.1 组合电路.....	393
7.7.2 时序电路.....	396
附录 ISPB—99 系列 CPLD 实验套件简介	412
参考文献.....	418

第1章

可编程逻辑器件的基本原理

1.1 可编程逻辑器件和 EDA 技术发展概况

1.1.1 可编程逻辑器件的发展概况

自 20 世纪 60 年代以来, 数字集成电路已经历了从 SSI、MSI 到 LSI、VLSI 的发展过程。20 世纪 70 年代初以 1 Kb 存储器为标志的大规模集成电路(LSI)问世以后, 微电子技术得到了迅猛发展, 集成电路的集成规模几乎以平均每 1~2 年翻一番的惊人速度迅速增长。集成技术的发展也大大促进了电子设计自动化(EDA)技术的进步。20 世纪 90 年代以后, 由于新的 EDA 工具不断出现, 使设计者可以直接设计出系统所需要的专用集成电路, 从而给电子系统设计带来了革命性的变化。过去传统的系统设计方法是采用 SSI、MSI 标准通用器件和其他元件对电路板进行设计, 由于一个复杂电子系统所需要的元件往往种类和数量都很多, 连线也很复杂, 因而所设计的系统体积大、功耗大、可靠性差。先进的 EDA 技术使传统的“自下而上”的设计方法变为一种新的“自顶向下”的设计方法, 设计者可以利用计算机对系统进行方案设计和功能划分, 系统的关键电路可以采用一片或几片专用集成电路(ASIC)来实现, 因而使系统的体积、重量减小, 功耗降低, 而且具有高性能、高可靠性和保密性好等优点。

专用集成电路(Application Specific Integrated Circuit, ASIC)是指专门为某一应用领域或为特定用户需要而设计、制造的 LSI 或 VLSI 电路, 它可以将某些专用电路或电子系统设计在一个芯片上, 构成单片集成系统。ASIC 可分为数字 ASIC 和模拟 ASIC, 数字 ASIC 又分为全定制和半定制两种。

全定制 ASIC 芯片的各层(掩膜)都是按特定电路功能专门制造的。设计人员从晶体管的版图尺寸、位置和互连线开始设计, 以达到芯片面积利用率高、速度快、功耗低的最优性能, 但其设计制作费用高, 周期长, 因此只适用于批量较大的产品。

半定制是一种约束性设计方式。约束的主要目的是简化设计、缩短设计周期和提高芯片成品率。目前, 半定制 ASIC 主要有门阵列、标准单元和可编程逻辑器件三种。

门阵列(Gate Array)是一种预先制造好的硅阵列(称母片), 内部包括几种基本逻辑门、触发器等, 芯片中留有一定的连线区。用户根据所需要的功能设计电路, 确定连线方式, 然后再交生产厂家布线。

标准单元(Standard Cell)是厂家将预先配置好、经过测试且具有一定功能的逻辑块作为标准模块存储在数据库中,设计人员在电路设计完成之后,利用 CAD 工具在版图一级完成与电路一一对应的最终设计。和门阵列相比,标准单元设计灵活,功能强,但设计和制造周期较长,开发费用也比较高。

可编程逻辑器件(Programmable Logic Device, PLD)是 ASIC 的一个重要分支。与上述两种半定制电路不同,PLD 是厂家作为一种通用型器件生产的半定制电路,用户可以通过对器件编程使之实现所需要的逻辑功能。PLD 是用户可配置的逻辑器件,它的成本比较低,使用灵活,设计周期短,而且可靠性高,承担风险小,因而很快得到了普遍应用,发展非常迅速。

可编程逻辑器件从 20 世纪 70 年代发展到现在,已形成了许多类型的产品,其结构、工艺、集成度、速度和性能等都在不断改进和提高。

最早出现的可编程逻辑器件是 1970 年制成的 PROM,它由全译码的与阵列和可编程的或阵列组成。由于阵列规模大,速度低,因此它的主要用途还是作存储器。

20 世纪 70 年代中期出现了可编程逻辑阵列(Programmable Logic Array, PLA)器件,它由可编程的与阵列和可编程的或阵列组成,虽然其阵列规模大为减少,提高了芯片的利用率,但由于编程复杂,支持 PLA 的开发软件有一定难度,因而也没有得到广泛应用。

20 世纪 70 年代末美国 MMI(Monolithic Memories Inc, 单片存储器公司)率先推出了可编程阵列逻辑(Programmable Array Logic, PAL)器件,它由可编程的与阵列和固定的或阵列组成,采用熔丝编程方式、双极型工艺制造,器件的工作速度很高。由于它的输出结构种类很多,设计很灵活,因而成为第一个得到普遍应用的可编程逻辑器件。

20 世纪 80 年代初 Lattice 公司发明了通用阵列逻辑(Generic Array Logic, GAL)器件,它在 PAL 的基础上进一步进行改进,采用了输出逻辑宏单元(OLMC)的形式和 E²CMOS 工艺结构,因而具有可擦除、可重复编程、数据可长期保存和可重新组合结构等优点。GAL 比 PAL 使用更加灵活,它可以取代大部分 SSI、MSI 和 PAL 器件,所以在 20 世纪 80 年代得到了广泛应用。

PAL 和 GAL 都属于低密度 PLD,其结构简单,设计灵活,但规模小,难以实现复杂的逻辑功能。20 世纪 80 年代末,随着集成电路工艺水平的不断提高,PLD 突破了传统的单一结构,向着高密度、高速度、低功耗以及结构体系更灵活,适用范围更宽的方向发展,因而相继出现了各种不同结构的高密度 PLD。

20 世纪 80 年代中期 Altera 公司推出了一种新型的可擦除、可编程逻辑器件(Erasable Programmable Logic Device, EPLD),它采用 CMOS 和 UVEPROM 工艺制作,集成度比 PAL 和 GAL 高得多,设计也更加灵活,但内部互连能力比较弱。1985 年, Xilinx 公司首家推出了现场可编程逻辑(Field Programmable Gate Array, FPGA)器件,它是一种新型的高密度 PLD,采用 CMOS-SRAM 工艺制作,其结构和阵列型 PLD 不同,内部由许多独立的可编程逻辑模块组成,逻辑块之间可以灵活地相互连接,具有密度高、编程速度快、设计灵活和可再配置设计能力等许多优点。FPGA 出现后立即受到世界范围内电子设计工程师的普遍欢迎,并得到了迅速的发展。

20 世纪 80 年代末 Lattice 公司提出了在系统可编程技术以后,相继出现了一系列具备在系统可编程能力的复杂可编程逻辑器件(Complex PLD, CPLD)。CPLD 是在 EPLD 的基础

上发展起来的,它采用 E^2 CMOS 工艺制作,增加了内部连线,改进了内部结构体系,因而比 EPLD 性能更好,设计更加灵活,其发展也非常迅速。

20 世纪 90 年代以后,随着深亚微米、低电压、低功耗集成电路工艺的不断发展和应用,高密度 PLD 在器件和性能等方面飞速地发展。在系统可编程技术、边界扫描技术的发展和应用也使该类器件在编程和测试技术、系统可重构技术等方面发展迅速。

目前世界各著名半导体器件公司,如 Xilinx、Altera、Lattice 和 Actel 等公司,均可提供不同类型的 CPLD、FPGA 产品,众多公司的竞争促进了可编程集成电路技术的提高,使其性能不断完善,产品日益丰富。可以预计,可编程逻辑器件将在结构、密度、功能、速度和性能等各方面得到进一步发展,并在现代电子系统设计中得到更广泛的应用。

1.1.2 EDA 技术发展概况

电子设计自动化(Electronics Design Automation, EDA)技术是以计算机科学和微电子技术发展为先导,汇集了计算机图形学、拓扑逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术,并具体表现为在先进的计算机工作平台上开发出来的一整套电子系统设计的软件工具。从 20 世纪 60 年代中期开始,人们就不断开发出各种计算机辅助设计工具来帮助设计人员进行集成电路和电子系统的设计,集成电路技术的发展不断对 EDA 技术提出新的要求,并促进了 EDA 技术的发展。近 40 年来,EDA 技术大致经历了三个发展阶段。

1. CAD 阶段(20 世纪 60 年代中期~20 世纪 80 年代初期)

这个阶段分别研制了一些单独的软件工具,主要有 PCB(Printed Circuit Board)布线设计、电路模拟、逻辑模拟及版图的绘制等,从而可以利用计算机将设计人员从大量繁琐、重复的计算和绘图工作中解脱出来。例如,目前常用的 PCB 布线软件 Protel(其前身为 TANGO)以及用于电路模拟的 SPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统等软件,都是这个时期的产品。

20 世纪 80 年代初由于集成电路规模越来越大,制作也越来越复杂,EDA 技术有了较快的发展,许多软件公司如 Mentor、Daisy System 及 Logic System 等公司进入市场,软件工具的产品开始增多。这个时期的软件主要还是针对产品开发分为设计、分析、生产、测试等多个独立的软件包。每个软件只能完成其中的一项工作,但如果通过顺序循环使用这些软件完成设计的全程,还存在两个方面的问题:首先,由于各个软件工具是由不同的公司和专家开发的,只解决一个领域的问题,若将一个软件工具的输出作为另一个软件工具的输入,就需要人工处理,这往往很繁琐,势必会影响到设计速度;第二,对于复杂电子系统的设计,当时的 EDA 工具尚不能提供系统级的仿真与综合。由于缺乏系统级的设计考虑,常常在产品开发后期才发现设计有错误,此时再进行修改已十分困难。

2. CAE 阶段(20 世纪 80 年代初期~20 世纪 90 年代初期)

这个阶段在集成电路与电子系统设计方法学以及设计工具集成化方面取得了许多成果。各种设计工具,如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库均已齐全。由于采用了统一数据管理技术,因而能够将各个工具集成为一个 CAE(Computer Aided Engineering)系统。运用这种系统,按照设计方法学制定的某种设计

流程,可以实现由 RT 级开始,从设计输入到版图输出的全程设计自动化。这个阶段中主要采用基于单元库的半定制设计方法。采用门阵列和标准单元法设计的各种 ASIC 得到了极大的发展,将集成电路工业推入了 ASIC 时代。多数 CAE 系统中还集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而可以实现电子系统设计自动化。这个阶段典型的 CAE 系统有 Mentor Graphics、Valid Daisy 等公司的产品。

3. EDA 阶段(20 世纪 90 年代以来)

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平已达到深亚微米级,在一个芯片上可集成数百万乃至上千万只晶体管,工作速度可达到 Gb/s 量级,这为制造出规模更大、速度和信息容量很高的芯片系统提供了基础条件。同时也对 EDA 系统提出了更高的要求,并大大促进了 EDA 技术的发展。20 世纪 90 年代以后,主要出现了以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术,它不仅极大地提高了系统的设计效率,而且使设计者摆脱了大量的辅助性工作,将更多的精力集中于创造性的方案与概念的构思上。这个阶段的 EDA 技术主要有以下特征:

(1) 高层综合(High Level Synthesis, HLS)的理论与方法取得进展,从而将 EDA 设计层次由 RT 级提高到了系统级(又称行为级)。并且推出了相应的行为级综合优化工具,大大缩短了复杂 ASIC 的设计周期,同时改进了设计质量。典型的工具有 Synopsys 公司的 Behavioral Compiler, Mentor Graphics 公司的 Monet 和 Renoir。

(2) 采用硬件描述语言(Hardware Description Language, HDL)描述 10 万门以上的设计,并形成了 VHDL 和 Verilog HDL 两种标准硬件描述语言。它们均支持不同层次的描述,使得复杂 IC 的描述规范化,便于传递、交流、保存与修改,并可建立独立工艺的设计文档,便于设计重用。

(3) 采用平面规划(Floorplaning)技术对逻辑综合和物理版图设计进行联合管理,做到在逻辑综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息,设计者能进行更进一步的综合与优化,并保证所做的修改只会提高性能而不会对版图设计带来负面影响。这对于深亚微米级布线延时已成为主要延时的情况,加速设计过程的收敛与成功是有所帮助的。在 Synopsys 和 Cadence 等公司的 EDA 系统中均采用了这项技术。

(4) 可测性综合设计。随着 ASIC 的规模与复杂性的增加,测试的难度与费用急剧上升,由此而产生了将可测性电路结构做在 ASIC 芯片上的思想,于是开发了扫描插入、BLST(内建自测试)、边界扫描等可测性设计(DFT)工具,并已集成到 EDA 系统中。典型的产品有 Compass 公司的 Test Assistant, Mentor Graphics 公司的 LBLST Architect、BSDArchitect、DFT Advisor 等。

(5) 为带有嵌入 μP 核的 ASIC 设计提供软、硬件协同设计工具。典型的产品有 Mentor Graphics 公司的 Seamless CVE(Co-Verification Enviroment)等。

(6) 建立并行设计工程(Concurrent Engineering, CE)框架结构的集成化设计环境,以适应当今 ASIC 的如下特点:规模大而复杂,数字与模拟电路并存,硬件与软件设计并存,产品上市速度快。该框架可以将不同公司的优秀工具集成为一个完整的 EDA 系统,并能在 UNIX 与 Windows NT 两种平台之间实现平滑过渡。各种 EDA 工具在该框架中可以并行使用。通过统一的集成化设计环境,能够保证各个设计工具之间的相互联系与管理。在这种

集成化设计环境中,使用统一的数据管理系统与完善的通信管理系统,由若干个相关的设计小组共享数据库和知识库,同时并行地进行设计。一旦系统设计完成,相应的电路设计、版图设计、可测性设计与嵌入软件的设计等也都基本上完成了。

在 Internet 迅速发展的今天,ASIC 设计所要用到的 EDA 工具和元件(IP 模块)均可在网上流动。销售方可利用 Internet 传播其 EDA 工具与 IP 模块,ASIC 设计人员可以在网上通过电子付款的方式选购设计工具与元件,从而使 ASIC 的设计变得迅速、经济、高效。此外,基于 Internet 的虚拟设计组亦已出现,因而可将世界范围内最优秀的设计人才资源恰当地组合起来,来解决日益复杂的电子系统设计问题。

目前,EDA 技术正在进入一个崭新的发展阶段——ESL(电子系统级)设计。ESL 设计是能够让电子系统设计者以紧密耦合方式开发、优化和验证复杂系统架构和嵌入式软件的方法学体系,它还提供寄存器传输级实现的验证基础。ESL 的目标是系统级模型的协同软、硬件设计——一个业界追求已久但近期才取得重要进展的宏伟目标。随着 SystemC 已提交给 IEEE P1666 工作组,它已被接受并成为广泛使用的系统级建模标准。许多世界领先的系统和半导体公司均已采用 ESL 设计,为产品提供必需的先进功能和高性能。预期随着设计对象的规模和复杂的不断增加,ESL 设计方法和工具将会迅速发展并显示出更加明显的优势。

1.2 可编程逻辑器件的分类

可编程逻辑器件有许多品种,有些器件还具有多种特征,因此目前尚无严格的分类标准。下面只介绍几种常用的分类方法。

1.2.1 按集成密度分类

可编程逻辑器件根据集成密度可分为低密度可编程逻辑器件(LDPLD)和高密度可编程逻辑器件(HDPLD)两类。

LDPLD 主要是指早期发展起来的 PLD,它包括 PROM、PLA、PAL 和 GAL 四种,其集成密度一般小于 700 门/片,这里的门是指 PLD 等效门。

HDPLD 包括 EPLD、CPLD 和 FPGA 三种,其集成密度大于 700 门/片。随着集成工艺的发展,HDPLD 的集成密度不断增加,性能不断提高。目前集成度最高的 HDPLD 可达数百万门/片。

1.2.2 按编程方式分类

可编程逻辑器件根据编程方式分为两类:一类是一次性编程(One Time Programmable, OTP)器件;另一类是可多次编程器件。OTP 器件只允许对器件编程一次,编程后不能修改,其优点是集成度高、工作频率和可靠性高、抗干扰性强。可多次编程器件的优点是可多次修改设计,特别适合于系统样机的研制。

可编程逻辑器件的编程信息均存储在可编程元件中。根据各种可编程元件的结构及编程方式,可编程逻辑器件通常又可以分为四类:

- (1) 采用一次性编程的熔丝(Fuse)或反熔丝(Antifuse)元件的可编程器件。