

计算机类

依据国家自考委最新自考大纲及新修版教材编写

YI JU GUO JIA ZI KAO WEI ZUI XIN ZI KAO DA GANG JI XIN XIU BAN JIAO CAI BIAN XIE

计算机组成原理

主编 陆永航
张 震

高等教育自学考试指定教材同步配套题解



现代出版社

高等教育自学考试指定教材同步配套题解

(计算机及其应用专业)

计算机组成原理

现代出版社

图书在版编目(CIP)数据

计算机组成原理/陆永航 张 震 主编—北京:现代出版社,2000.12
全国高等教育自学考试指定教材同步配套题解,计算机专业辅导

ISBN 7-80028-603-7

I .高… II .①陆…②张… III .计算机组成原理-高等教育-自学考试-解题
IV .G726.9

中国版本图书馆 CIP 数据核字(2000)第 85279 号

高等教育自学考试指定教材同步配套题解

计算机组成原理

责任编辑:姜秀云

出版发行:现代出版社

地 址:北京安定门外安华里 504 号(100011)

印 刷:中国科学院印刷

开 本:787×1092 1/16

版 次:2000 年 12 月第 1 版 2002 年 10 月第 2 次印刷

印 数:10001-20000 册

印 张:10.75

书 号:ISBN 7-80028-603-7/G.205

定 价:228.00(16 册)

本册定价:15.00 元

(本书封面贴有防伪标签,无标签者均为盗版)

寄语考生

随着我国教育总方针由应试教育向素质教育的转变,作为我国高等教育重要组成部分的自学考试也发生了重大变化。全国自考委在专业设置、考试计划、出题指导方针等方面都做了重大的调整,同时,对自学考试大纲、指定教材亦做了全方面的修订、编写。

新形势下,为使广大自考学员能及时、快速地掌握新教材,我们对原有的系列辅导用书进行了全面的修订,并不断地推出新品种以飨读者。

本套“指定教材同步配套题解”有以下特点:

新—①内容新。本套丛书全部按最新的自学考试大纲及最新版指定教材内容编写。

②结构新。同原辅导及其它辅导相比,修订后的辅导用书编排体例更加科学,增加了“本门课的学习与考试”部分。这是全书的点睛之笔。

全—信息全。本套辅导书涵盖了大纲中所有的知识点、考核点,并精心编拟大量“综合练习题”,训练强度大,解答准确。特别指出的是根据《高等教育自学考试活页文丛》(人大版)对教材中没有补充的内容,在本辅导中都做了详尽补充。

强—①作者阵容强。本套丛书的作者,有指定教材的主编,有专业教研室主任,有长期参加辅导的主讲教师。他们对自考教材分析透,对出题规律掌握准。

②针对性强。书后针对新大纲及考卷合理设计多套“全真模拟试题”,增强考生临场经验,增加本书实用性。

愿本套“同步配套题解”能帮助您顺利通过自考难关,早日实现美好理想。

《高等教育自学考试指定教材同步配套题解》编委会

前 言

《计算机组成原理》是根据全国高等教育自学考试指导委员会 1999 年组织制定的考试大纲编写的,作为计算机及应用专业(专科)自学考生的“计算机组成原理”课程的教材。

为了帮助广大计算机应用专业的自考生学好《计算机组成原理》,更好地掌握计算机应用的基本知识与能力,以适应于计算机技术飞速发展的时代,我们总结了长期的教学经验,按照大纲要求编写了这本《计算机组成原理自学考试题解》。

本书以考试大纲为纲,以教科书(全国高等教育自学考试指导委员会组编本,胡越明主编,经济科学出版社出版)为根本。内容共分三部分:第一部分是自考门径,第二部分是综合练习题解,题型有填空题、选择题、简答题、名词解释题、计算题、分析题和设计题,第三部分是考前模拟题。书中为广大考生提供了大量的题解分析和练习题,选题内容、题型与大纲一致,重点突出,针对性强,以期考生在掌握各章节要点的基础上学会对习题的分析方法与解答方法。考生通过这些题型的练习和自测,可以为通过自学考试打下坚实的基础。

由于时间仓促、水平有限,书中难免会有错误与不足之处,恳请广大读者批评指正,以利日后改进。

编 者

目 录

第一部分 计算机组成原理的学习与考试	(1)
第二部分 计算机组成原理综合复习题	(16)
第一章 概论	(16)
考核要点	(16)
综合练习题解	(16)
第二章 数据编码和数据运算	(26)
考核要点	(26)
综合练习题解	(27)
第三章 存储系统	(59)
考核要点	(59)
综合练习题解	(60)
第四章 指令系统	(78)
考核要点	(78)
综合练习题解	(78)
第五章 控制器	(94)
考核要点	(94)
综合练习题解	(95)
第六章 系统总线	(105)
考核要点	(105)
综合练习题解	(105)
第七章 外围设备	(113)
考核要点	(113)
综合练习题解	(114)
第八章 输入输出系统	(129)
考核要点	(129)
综合练习题解	(129)
第三部分 计算机组成原理考前模拟试题	(143)
全真模拟试题(一)	(143)
参考答案	(146)
全真模拟试题(二)	(149)
参考答案	(151)
二〇〇一年上半年全国高等教育《计算机组成原理》试题	(154)
参考答案	(157)
2002 年上半年全国高等教育自学考试计算机组成原理试题	(160)
参考答案	(162)

第一部分 计算机组成原理的学习与考试

一、课程性质和特点

计算机组成原理课程是全国高等教育自学考试计算机及其应用专业(专科)主要的一门重要的主干课程。设置这一课程的目的是,使应考者了解和掌握计算机系统中硬件部分的组成原理,掌握计算机的基本工作原理,了解计算机各主要部件的硬件结构、相互联系和作用,从而对整个计算机系统从硬件角度有完整的了解,为本专业后继课程的学习打下基础。

计算机组成原理课程主要介绍运用数字电路技术实现计算机部件的原理,以及计算机系统的工作原理。本课程的一个主要特点是综合性强,需要运用多学科的知识,各章之间相互联系又相对独立。

本课程的先修课程是“模拟电路与数字电路”,相关的后续课程是“微型计算机及其接口技术”、“计算机网络技术”。

二、课程要求

本课程的基本要求是:

1. 深刻理解计算机系统的各功能部件的功能、组成和工作原理,正确理解各功能部件之间的相互关系以及它们在计算机系统中所起的作用。
2. 系统掌握定点加减法运算;掌握定点乘除法运算;了解浮点加减法运算;掌握逻辑运算及内部总线的作用;掌握运算器基本结构及其实例。
3. 系统掌握指令系统及计算机工作过程,包括指令格式及寻址方式;CPU 功能及组成;指令类型、指令周期;控制方式及时序部件;组合逻辑控制及微程序控制等。
4. 系统掌握存储器及存储体系结构等工作原理及使用。包括:存储器的概念、分类及性能指标;主存储器及辅存储器的工作原理;存储体系、虚拟存储、缓冲技术等概念及作用。
5. 系统掌握输入输出系统的概念和作用。包括:输入输出指令、接口、总线及其控制方式;外围设备的概念、分类以及常用外围设备。

三、自学方法指导

在学习本课程的教材前应仔细了解本课程的性质、地位和任务,熟知本课程的基本要求,以及本课程与有关课程的联系。使以后的学习能紧紧围绕本课程的基本要求。

在阅读某一章教材内容前,应查阅考纲中关于该章的考核知识点、自学要求和考核要求,以便在阅读教材时做到心中有数、有的放矢。

阅读教材时,要逐段细读,逐句推敲,集中精力,吃透每个知识点,对基本概念必须深刻了解,对基本理论必须彻底弄清,对基本方法和基本技能必须牢固掌握。在阅读中遇有个别细节问题不清楚,在不影响学习新内容的情况下,可暂时搁置。

在学完教材的每一节内容后,应认真做好教材中的有关习题和思考题,这是帮助学生理

解、消化和巩固所学知识;培养分析问题、解决问题能力的重要环节,必须引起极大的注意。

自学考试大纲是根据专业教学计划而制定的,它完整地论述了本课程的性质、设置目的和要求,指明了各章的考核知识点以及自学和考核要求,是自学、助学辅导和命题的依据,因此考生必须仔细阅读本课程的考试大纲,掌握各章的考核知识点,以及根据能力层次的不同,决定对各考核知识点掌握的深度和广度。

四、应试指导

计算机组成原理的考试题型有填空题、单选题、名词解释、计算题、简答题、分析题和设计题。试题内容基本上覆盖了考试大纲中的主要考核知识点。下面就这几大类型作一简要分析:

(一)填空题

例 1. 运算器主要由_____、_____、_____和_____组成。

答:算术逻辑单元(ALU) 累加器(AC)
各种通用寄存器 若干控制门电路

例 2. 在计算机中的基本运算有_____和_____。

答:算术运算 逻辑运算

例 3. _____是计算机的记忆设备。

答:存储器

例 4. 计算机指令有_____、_____和_____之分。

答:微指令 机器指令 宏指令

例 5. 主频的单位是_____。

答:兆赫兹(MHz)

例 6. 存储程序工作方式的含义是:先将_____送入主存储器中,启动计算机后,计算机能自动连续地工作。

分析:冯·诺依曼对计算机提出了二个概念和思想,即计算机的组成和工作方式。显然本题所涉及的是工作方式范畴。计算机的最大特点是具备自动工作的能力;而这一特点建立在执行程序的基础上才显示出来的,并且程序的运行又离不开一些具体的数据。因此,即使不清楚冯·诺依曼关于计算机的思想,也可以根据理解填出正确答案。

答:编制好的程序和原始数据。

例 7. $(B5.4)_{16} = (\quad)_{10}$

分析:此题属于数制转换问题。通常数据转换可分为 R 进制数转化为十进制数、十进制数转化为 R 进制数、和二、八、十六进制数之间的互相转换。R 进制转化为十进制的方法为:将数的各位数码乘以对应的权再相加,所得之和即为十进制数;十进制数转化为 R 进制数稍为复杂一点:整数部分和小数部分要用不同的方法来处理。整数部分的转化采用除基取余法——将整数除以 R,所得余数即为 R 进制数的个位上数码,再将商除以 R,余数为 R 进制十位上的数码……如此反复进行,直到商为 0 为止;对于小数的转化,采用乘基取整数——将小数乘以 R,所得积的整数部分即为 R 进制数十分位上的数码,再将此积的小数部分乘以 R,所得积的整数部分为 R 进制数百分位上的数码,如此反复……直到积为 0 为止。当然,按照上述方法,并不一定能做到最终积为 0,这时只要按题目要求,求出所要求的小数位数即可。对于二

进制与八、十六进制数间的转换就相当简单,只要记住,三位二进制数可表示一位八进制数,四位二进制数可表示一位十六进制数即可方便地进行转化。对于八、十六进制数间的转化可通过先转化为二进制数再转化为八或十六进制数的间接方式来进行。

答: $(B5.4)_{16} = (11 \times 16^1 + 5 \times 16^0 + 4 \times 16^{-1})_{10} = (181.25)_{10}$

例 8. $[x]_{\text{补}} = 0.0110$, 则 $[x]_{\text{补}} =$ _____。

分析: 码制间的转化最经常考的是原、反、补码间的转化。这些码制间的转化是有规律可循的: 对于正数, 它的原、反、补码都相同; 对于负数, 符号位不变, 将原码各位取反, 就成了反码; 将反码的最低位加 1, 和就成了补码; 同样, 符号位不变, 将补码的各位取反, 在最低位加 1, 和就是原码; 或在补码的最低位减 1, 差就是反码。掌握了这些规则, 码制间的转换就变得非常简单。

$[x]_{\text{补}} = 0.0110$, $[x]_{\text{补}}$ 表示的是一个正数的补码

答: $[x]_{\text{原}} = [x]_{\text{补}} = 0.0110$

例 9. 如指令给出的形式地址为 D, 则直接寻址获得的有效地址是_____。

分析: 这是一个概念性的问题, 根据直接寻址的定义可知, 在直接寻址方式中, 形式地址就是有效地址。这里请考生注意, 指令中所给出的操作数地址叫形式地址, 通过这个地址不能直接访问内存; 仅在直接寻址方式中是个特例——形式地址就是有效地址。在各种指令寻址方式中, 利用形式地址, 经过不同的计算可求得能直接访问内存的地址叫有效地址。形式地址和有效地址是两个不同的概念。

答: D

例 10. 一般在变址寻址方式中由指令提供基准值, 而在基址寻址方式中, 指令提供_____。

分析: 此题涉及两种较易混淆的寻址方式, 因为这两种寻址方式在形成有效地址时的算法是相同的。但大家应记住, 在变址寻址方式中, 变址寄存器中的值是可变的, 指令中的形式地址不变, 提供基准值; 而在基址寻址方式中, 基址寄存器的内容不变, 提供基准值, 指令中的形式地址是可变的, 提供相对于基址的位移量。

答: 位移量。

例 11. 在微程序控制器中, 各个微指令序列可以通过_____的形成, 将需要的现行指令链接起来。

分析: 大家都知道, 程序是一系列指令的组合, 而这种组合是通过地址的链接来实现的。即在上一条指令执行结束以后, 可根据一定的地址形成方式产生下一条要执行指令的地址。读取该指令并执行, 如此周而复始, 便完成了一段程序的执行。

答: 后续微指令地址。

例 12. 如取微指令时间为 t_1 , 执行微指令时间为 t_2 , 且 $t_1 < t_2$ 。若采取并行执行微指令, 则微周期 $T =$ _____。

分析: 所谓并行执行微指令, 就是指取下一条微指令和执行当前微指令是同时进行的, 为了步调一致, 速度快的必须等速度慢的。因 $t_1 < t_2$, 所以微指令周期应取 t_2 。

答: $T = t_2$

例 13. 在高速缓存 Cache 中, 一般在放着_____。

分析: 高速缓存是为了解决 CPU 与主存速度不匹配而引入的一项技术。Cache 的存取速度

要比主存快得多,但容量却小得多。根据这一特点,如果把当前最活跃的程序和数据块从主存调入 Cache,就可减少访问主存的次数,从而大大提高程序的运行速度。

答:当前频繁使用的程序段和数据。

例 14.有静态 RAM 与动态 RAM 可供选择,在构成小容量高速存储器时,一般应选择

分析:静态 RAM 与动态 RAM 有着不同的特点,适用于不同的场合。静态 RAM 的特点是,存取速度快,且在不掉电的情况下,能长时间保存信息;动态 RAM 的特点是集成度高,价格便宜、体积小、耗电省、存取速度慢、保存的信息需要不断刷新。根据这一特点的比较,不难作出正确的选择。

答:静态 RAM。

例 15.若 CPU 在处理某个中断服务程序的过程中,可以再次响应优先级更高的中断请求,则这种方式称为_____。

分析:当一个中断处理还没有结束却转而响应优先级更高的中断请求,当属中断嵌套的概念,或称多重中断。

答:多重中断方式。

例 16.在通道执行通道程序之前,通道地址字中存放着通道程序的第一条命令字在_____中的地址。

分析:通道程序是由一条或几条通道指令构成的通道指令链,而这些通道指令是存放在主存中的。要执行一段通道程序,就必须由通道地址字指出该通道程序第一条指令在内存中的地址,根据这一地址取出通道指令,然后才能执行。

答:主存储器。

例 17.根据总线控制部件的位置总线控制方式可分为_____和两类。

分析:这是一个概念性问题。总线控制逻辑基本集中在一起的,称为集中式总线控制;总线控制逻辑分散在总线各部件中的称为分散式总线控制,这样就根据总线控制部件的位置把总线控制分成了集中式和分散式两类。大家千万不可粗心地填上串行控制方式、定时查询控制方式、独立请求控制方式,这是集中控制总线的三种控制方式。

答:集中式、分散式

例 18.主机与外设之间需要交换的信息主要有:地址信息、状态信息、_____和_____。

分析:大家知道交换地址信息的目的是为了完成数据信息的交换;交换状态信息的目的是为控制提供依据。这样即可很快得出答案。

答:控制信息、数据信息。

例 19.在字符显示器中,访问字符发生器时,其高位地址由_____产生。

分析:在访问字符发生器时,有两个地址概念,一个是高位地址,即待显字符的 ASCII 编码,以此为地址来确定该字符的点阵编码在字符发生器中的起始位置;另一个是低位地址,即计数器的值,以此为地址来确定该字符点阵编码的某一行在字符发生器中的具体位置。作个通俗的比喻,高位地址相当于二维数组中的行号,低位地址相当于二维数组中的列号,只有行号、列号都确定了,才能指明数组中的唯一元素。

答:对应缓存单元中的字符编码。

例 20. 若 $[x]_{\text{原}} = 1.1101$, 则 $[x]_{\text{补}} =$ _____。

分析: $[x]_{\text{原}} = 1.1101$ 可知 x 是一负数, 由负数的原码转化为补码, 只须保持符号位不变, 其它各位取反, 再在最低位加 1, 即得该原码的补码。

$[x]_{\text{补}} = 1.0010 + 1 = 1.0011$

(二) 选择题

例 1. 运算器的主要功能是()

- A. 算术运算
- B. 逻辑运算
- C. 算术运算与逻辑运算
- D. 函数运算

答: C

分析: 运算器不仅要完成算术运算, 而且还要完成逻辑运算。

例 2. CPU 指的是()

- A. 控制器
- B. 运算器和控制器
- C. 运算器、控制器和主存
- D. 运算器

答: B

分析: CPU 是由控制器和运算器两部分所组成。

例 3. 在一般微处理器中, () 包含在 CPU 中。

- A. 算术逻辑单元
- B. 主内存
- C. 输入输出单元
- D. 磁盘驱动器

答: A

例 4. 采用虚拟存储器的目的是()

- A. 提高主存的速度
- B. 扩大外存的容量
- C. 扩大内存的寻址空间
- D. 提高外存的速度

分析: 采用虚拟存储器的目的是扩大内存的容量。把主存和外存统一成一个整体, 从整体上看, 速度取决于主存, 容量取决于外存。

答: C

例 5. 有关 RS-232C 的技术, 错误的说法是()

- A. 可连接两台个人计算机, 进行数据传输
- B. 属于接口的硬件规范
- C. 为并行传送
- D. 属于美国的 EIA 规范

答: C

例 6. I/O 与主机的信息交换采用中断方式的特点是()

- A. CPU 与设备串行工作, 传送与主程序串行工作
- B. CPU 与设备并行工作, 传送与主程序串行工作
- C. CPU 与设备并行工作, 传送与主程序并行工作
- D. CPU 与设备串行工作, 传送与主程序并行工作

答: B

例 7. EPROM 是指()

- A. 只读存储器
- B. 可编程的只读存储器

C.可擦写可编程的只读存储器

D.电可改写只读存储器

答:C

例 8.磁盘存储器的等待时间是指()

A.磁盘旋转一周所需的时间

B.磁盘旋转半周所需的时间

C.磁盘旋转 2/3 周所需的时间

D.磁盘旋转 1/3 周所需的时间

答:B

例 9.一般地,我们将计算机指令的集合称为()

A.机器语言

B.汇编语言

C.模拟语言

D.仿真语言

答:A

例 10.十进制数 $\frac{21}{256}$ 可用二进制数码序列表示为()

A. $\frac{10101}{100000000}$

B. $\frac{10101}{10000000}$

C.0.00010101

D.0.0010101

分析:要将十进制分数转换为二进制数码序列,将十进制分数的分子、分母分别转换为二进制数,这样就很容易选出正确答案。

$$\left(\frac{21}{256}\right)_{10} = \left(\frac{10101}{100000000}\right)_2 = 0.00010101$$

答:C

例 11.在字符显示器中,缓冲存储器中存放的内容是()

A.字符点阵代码

B.字符 ASCII 码

C.屏幕显示行、列号

D.屏幕显示字符号

分析:由于主机处理信息的速度远远高于字符显示器接收信息的速度,所以由主机送出的字符先要存放在缓冲存储器中,这个字符通常都是由 ASCII 码表示的。此 ASCII 码只有经过字符发生器转化为相应的字符点阵代码才能送往字符显示器显示出来。明白了这一点,正确答案也就出来了。

答:B

例 12.若操作数由指令中指定的寄存器给出,则寻址方式是()

A.基址寻址方式

B.寄存器间址方式

C.寄存器变址方式

D.寄存器直接寻址方式

分析:首先应该明白,所谓寻址方式就是寻找真实操作数地址的方式,既然操作数由指令中指定的寄存器给出,操作数的地址当然就是指令中所指定的寄存器,因此,是寄存器直接寻址方式。

答:D

例 13.设计组合逻辑控制部件的主要任务是用()设计微操作信号发生器。

A.微程序设计方法

B.电子线路

C.时序逻辑方法

D.组合逻辑方法

分析:组合逻辑控制器又称硬布线控制器,就是利用逻辑门电路的组合来产生微操作信号发生器,这种组合是为满足设计要求而固定的,并不是利用程序来控制逻辑门的组合方式。否

则,就不叫组合逻辑控制部件而叫可编程逻辑阵列控制部件了。显然答案 A 是错的;答案 B 更是离题,当然不对;时序逻辑同组合逻辑是两个不同的概念,答案 C 当然也是错误的。

答:D

例 14. 某存储器地址线 16 位,按字节编址,则可编址存储空间为()

- A. 256B B. 1KB C. 64KB D. 1MB

分析:存储空间按字节编址,就是将存储空间按 8 位为一个单位进行好目编址,以标识一个具体的存储空间,实现按地址对存储空间的读、写。16 位地址线,能表示 $2^{16} = 64K$ 个序数。因此,可编址的存储空间为

答:C

例 15. 若用十进制数表示,则 1KB = ()

- A. 10000 位 B. 1000 字节
C. 1024 位 D. 1024 字节

分析:B 是“字节”的标识符号,KB 是“千字节”的标识符号,根据定义可知 $1KB = 2^{10}B = 1024$ 字节

答:D

例 16. 在执行 I/O 数据传送操作之前,需要主机不断测试该设备的有关状态,只有当状态满足给定条件时,才能执行数据传送。则这种传这方式称为()

- A. 程序中断传送 B. 程序直接控制
C. 直接存储器存取 D. 通道控制

分析:传送控制可分为程序直接控制、程序中断传送、直接存储器存取、通道控制。在这四种传送控制方式中,后三种方式都具备主机和外设相互独立工作的特点,只有第一种传送方式需要主机不断地查询外设状态,直到外设准备就绪才执行数据传送。按题意,很显然 A、C、D 是错误的。

答:B

例 17. 串行接口是指()

- A. 主机和接口之间、接口和外设之间都采用串行传送
B. 主机和接口之间串行传送,接口和外设之间并行传送
C. 主机和接口之间并行传送,接口和外设之间串行传送
D. 系统总线采用串行总线

分析:主机的工作速度较快,因此主机和接口之间采用并行传送;外设的工作速度较慢,因此接口和外设之间采用串行传送。

答:C

例 18. 某双面磁盘分为 A、B 两面,则()

- A. A、B 两面的 0 号磁道都在最外圈 B. A、B 两面的 0 号磁道都在最内圈。
C. A 面的 0 号磁道在最外圈,而 B 面的 0 号磁道在最内圈
D. A 面的 0 号磁道在最内圈,而 B 面的 0 号磁道在最外圈

分析:这纯粹是个记忆性的问题,磁道的编号总是从最外圈开始的。

答:A

(三)简答题

例 1. 若硬盘有 4 个记录面, 306 个柱面, 每磁道分 17 个扇区, 每扇区可存放 512B, 问此硬盘的容量是多少?

答: 硬盘容量 = $512 \times 17 \times 306 \times 4 / 1024$
= 10404KB $\approx$ 10MB

例 2. CPU 与外设交换信息时有五种数据传递的控制方式。试对这五种方式给以简单评价。

答: 程序查询方式, CPU 不断查询, 使 CPU 与外设串行工作, 效率低。

中断方式, 当外设具备与 CPU 交换信息条件时提出中断请求。实现了外设与 CPU、外设与外设间并行工作。

DMA 方式, 在外设与内存之间直接交换信息, 速度快, 仅在传送开始和结束由 CPU 干预。

通道方式, 有自己的指令, 代替 CPU 管理外设, CPU 负责启动和处理。

通道 I/O 处理机方式, 有自己的指令、存储器和运算器, CPU 仅负责启动。它与 CPU 而共享内存存储器。

后二种仅在大、中型机上使用。

例 3. 什么是计算机的软件? 试举三例。

分析: 计算机系统是由硬件资源和软件资源构成的。硬件是看得见的物理装置, 软件当然就是使这些物理装置工作起来的程序以及相关数据文件。

答: 软件指计算机中配置的各种各样的程序和文件, 如操作系统、应用软件、编译程序。

例 4. 用原码加减交替法作除法运算时, 若最后一步余数为负, 应对余数作何处理? 为什么?

分析: 在用原码加减交替法作除法运算时, 商的符号位是由除数和被除数的符号位异或来决定的, 商的数值是由除数、被除数的绝对值通过加减交替运算求得的。由于除数、被除数取的都是绝对值, 那么最终的余数当然应是正数, 如果出现了负的余数, 当然应该加除数使它恢复为正余数。

答: 如果最后一步余数为负, 则应将该余数加上除数, 将余数恢复为正数, 称为恢复余数。因为在原码除法中, 是将被除数和除数取绝对值进行运算的, 所以在加符号位前余数也应为正。当最后一步余数为负, 应恢复余数为正。

例 5. 何谓同步控制方式?

答: 每条指令的执行, 所需时间都不一样, 而计算机各部件的工作又有严格的时序要求, 怎样才能让这些部件协调工作? 最简单的办法就是选取最复杂的执行时所需时间作为统一的时间间隔, 用统一的时序信号来控制计算机各部件之间协调工作。

例 6. CPU 内部总线与系统总线在功能上有何不同?

分析: 计算机系统中各功能部件是通过总线的连接来进行信息交换。按照总线所连接的不同部件, 可把总线划分为 CPU 内部总线、系统总线、通讯总线。只要对三种总线概念熟知, 答题就简单了。

答: CPU 内部总线是用来连接 CPU 内部运算器和寄存器的; 而系统总线是用来连接系统内各大功能部件的, 如 CPU、存储器、I/O 设备之间的互相连接。

例 7. 在高速计算机系统中, 为了提高存取速度, 一般采取哪两种措施?

分析: 主存的速度远远低于 CPU 的速度, 因此, 主存速度成了计算机系统速度的“瓶颈”。

要解决这一问题,通常有两种方法:一种是在 CPU 和主存之间加一高速缓冲存储器,这是一种速度最高但容量最小的存储器。由辅助硬件进行控制,将当前机器运行中最活跃的一部分信息调入高速缓冲存储器,然后 CPU 直接与它交换信息,从而提高了存取速度;另一种方法叫多体交叉存储器,它是将主存划分为多个同样大小的地址分空间,将地址空间中地址连续的字安排在不同的地址空间时,就可以做到并行访问,大大提高 CPU 的平均取字速率。

答:采取的两种措施是:

1. 采用多体交叉存储器
2. 采用高速缓冲存储器(Cache)。

例 8. CPU 响应中断的条件是什么?

分析:CPU 总是在当前指令结束后检查中断触发器,判断是否有中断请求。如有,还要继续检查中断允许触发器,判断 CPU 是否允许中断。如允许中断,在多重中断系统中还要判断当前有没有优先级更高的中断请求,如没有,才能响应该中断。

答:CPU 响应中断的条件是:

1. 当前指令执行完毕
2. CPU 收到中断请求信号
3. CPU 内部的中断允许触发器为 1(开中断)
4. 没有更高级别的中断请求

例 9. 何谓存储程序工作方式?

答:1. 事先编制程序

2. 将编好的程序和原始数据送入主存中
3. 启动后,计算机自动连续地取出指令,并执行之。

例 10. 何谓规格化浮点数?

答:若尾数用二进制表示,则规格化浮点是指: $1 > |\text{尾数}| \geq 1/2$ 。

例 11. 什么是指令周期? 什么是机器周期?

答:指令周期是指从取指令、分析指令和执行指令所经历的全部时间。机器周期是一个工作阶段(完成一个确定功能任务)所需的时间。

例 12. 内存按字节编址与按字编址,各有什么优缺点?

答:(1)按字节编址方式便于处理字符类信息,但同容量存储器所需的地址码位数较长。

(2)按字编址方式在同容量条件下所需地址码位数较短,但不便于处理字符。

例 13. 按照产生微操作信号的方法,控制器可分为哪两种?

答:组合逻辑(硬布线)控制器,微程序控制器。

例 14. 异步控制方式有何特点?

答:1. 采用异步应答方式实现信息传送与操作衔接。

2. 所需时间长短按实际需要安排。

3. 没有固定的访问周期。

例 15. 一个并行中断接口大致由哪些部分组成,

分析:大家可能有疑问,什么叫并行中断接口? 其实,任何一个接口都应有中断控制逻辑,甚至可以认为并行中断接口和串行接口是同一个概念。

答:并行中断接口的大致组成部分是:

1. 设备选择线路(或地址译码器)
2. 控制/状态寄存器
3. 数据缓冲寄存器
4. 中断控制逻辑
5. 与设备特性有关的其它控制逻辑等。

例 16. 试比较说明磁盘和磁带的使用场合。

分析: 磁盘是随机存取器, 磁带是顺序存取器。由于存两种在职能的特点不同也就决定了它们的不同使用场合。

答: 磁盘常用于调用较频繁的场合, 可支持虚拟存储器。磁带常用于调用不太频繁的场合, 如提供初始的程序和数据, 或存放最终结果。

例 17. 参照 RAM 引线端的含义, 叙说 ROM 应有哪几个引线端?

答: RAM 芯片的引线端通常为:

地址输入端 P 个, 字数为 $2^P = N$ 个;

数据输入/输出端 m 个, 存储容量为 $N \times m$;

芯片选择端 $\overline{CS}$ (或 $\overline{CE}$) $1 \sim 3$ 个

读/写信号端 $R/\overline{W}$ (或 $\overline{WE}$) 1 个。

ROM 引线端如下:

地址输入端 P 个, 字数为 2^P 个;

数据输入端 m 个, 存储容量为 $N \times m$;

芯片选择端 $\overline{CS}$ (或 $\overline{CE}$) $1 \sim 3$ 个;

读开放端 $\overline{OE}$ (或读禁止端 $\overline{OD}$) 1 个;

例 18. 下列 ROM 需要多少个输入端? 多少个输出端?

(1) 16×4 ROM

(2) 32×8 ROM

(3) 256×4 ROM

(4) 512×8 ROM

答: (1) 16×4 ROM 芯片, 字数 $N = 16$, $P = 4$, 字长为 4, 所以有 4 根地址输入端, 4 根数据输出端, 另加片选输入端 $\overline{CS}$ 及读开放输入端 $\overline{OE}$ 各 1 个。

(2) 32×8 ROM 芯片, 字数 $N = 32$, $P = 5$, 字长为 8, 所以有 5 根地址输入端, 8 根数据输出端。另加片选输入端 $\overline{CS}$ 及读开放输入端 $\overline{OE}$ 各 1 个。

(3) 256×4 ROM 芯片, 字数 $N = 256$, $P = 8$, 字长为 4, 所以有 8 根地址输入端, 4 根数据输出端, 另加片选输入端 $\overline{CS}$ 及读开放输入端 $\overline{OE}$ 各 1 个。

(4) 512×8 ROM 芯片, 字数 $N = 512$, $P = 9$, 字长为 8, 所以有 9 根地址输入端, 8 根数据输出端, 另加片选输入端 $\overline{CS}$ 及读开放输入端 $\overline{OE}$ 各 1 个。

例 19. 下列 RAM 备需要多少个地址输入端。

512×4 位

$1K \times 8$ 位

$1K \times 4$ 位

$2K \times 1$ 位

$4K \times 1$ 位

$16K \times 1$ 位

$64K \times 1$ 位

256×1 位

答: 对 RAM 芯片来说, 设其地址信号输入端数为 P , 所能存储的字数为 N , 则, 因此, 可将题中各 RAM 芯片的 N 值及 P 值列于下表。各 RAM 芯片 P 值及 N 值关系。

存储容量	存储字数 N	地址输入端数 P	字 长
512 × 4 位	512	9	4 位
1K × 8 位	1024	10	8 位
1K × 4 位	1024	10	4 位
2K × 1 位	2048	11	1 位
4K × 1 位	4096	12	1 位
16K × 1 位	16384	14	1 位
64K × 1 位	65536	16	1 位
256 × 1 位	256	8	1 位

例 20. 下表中 3 种 RAM 芯片同样具有 16K 位的存储容量,但单片总功耗却不一样,试问这是为什么?

种 类	工 艺	型 号	存储容量	操作/维持功耗	制造厂家
SRAM	NMOS	2K × 8P	2K × 8	690/520mW	Mostek
SRAM	CMOS	HM611P-2	2K × 8	180/0.1mW	Hitachi
DRAM	NMOS	NMC5295	16 × 1	200/20mW	National

答:从附表中可以看出,3 种 RAM 芯片虽然存储容量相同,但由于采用的制造工艺不同,单片的操作/维持功耗不同。其中以 NMOS 工艺的 RAM 功耗最大,CMOS 工艺的 SRAM 功耗最小,NNOS 工艺的 DRAM 功耗也较小。这是因为 NMOS 工艺的 SRAM 采用双稳态触发器存储信息,只要接通电源,触发器总是一部分导通,另一部分截止,所以单片电路功耗较大。CMOS 工艺的 SRAM 基本存储电路由 6 个 CMOS 晶体管组成交叉耦合门锁式,工作时没有电流通路,故单片电路功耗最小,尤其是维持功耗,由于电源电压降至 2V,其值极小。这一特性使 CMOS 工艺的 SRAM 配用备用电池后,很容易实现非挥发性 RAM。

NMOS 工艺的 DRAM 由于采用极间电容以电荷形式存储信息,工作时消耗电流不大,功耗也较小,维持状态时,电源电压降至 2V,维持功耗更小。

(四)名词解释

- (1) 中断,中断源
- (2) 单重中断,多重中断