

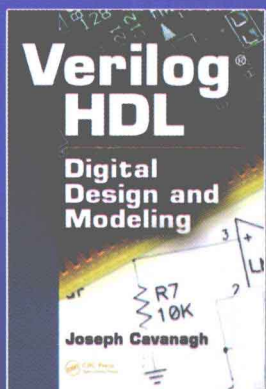
国外电子与通信教材系列

 CRC Press  
Taylor & Francis Group

# Verilog HDL

# 数字设计与建模

Verilog HDL: Digital Design and Modeling



[美] Joseph Cavanagh 著  
陈亦欧 李林 黄乐天 译  
李广军 审校



电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

国外电子与通信教材系列

# Verilog HDL 数字设计与建模

Verilog HDL  
Digital Design and Modeling

[美] Joseph Cavanagh 著

陈亦欧 李 林 黄乐天 译

李广军 审校

电子工业出版社  
Publishing House of Electronics Industry  
北京·BEIJING

## 内 容 简 介

利用 Verilog 进行数字系统设计与仿真是电子系统工程师必备的技能之一,这本书最突出的特色就是对数字电路系统的工程仿真和设计技术进行了深入的讨论。本书的内容涵盖了电路建模、基本语法与电路、典型数学运算、复杂的编码/解码/纠错电路、各类时序状态机和完整的流水线 RISC 处理器的设计等。书中给出的所有工程设计实例均为可独立运行及验证的实用电路模块,并给出了所有例子的完整 Verilog 源代码、test-bench、仿真结果和仿真波形。附录中还给出了部分课后习题的参考答案。

本书可作为电子信息类和计算机科学等专业的高年级本科生与研究生的教材,对于初步接触过数字逻辑设计的相关领域的工程师也是一本很有价值的参考书。

Verilog HDL: Digital Design and Modeling, Joseph Cavanagh

ISBN: 978-1-4200-5154-4

Copyright ©2007 by Taylor & Francis Group, LLC

Authorized translation from the English language edition published by CRC Press, part of Taylor & Francis Group LLC., All rights reserved.

本书英文版由 Taylor & Francis Group 出版集团旗下的 CRC 出版社出版,并经其授权翻译出版,版权所有,侵权必究。

Publishing House of Electronics Industry is authorized to publish and distribute exclusively the Chinese (Simplified Characters) language edition. This edition is authorized for sale throughout Mainland of China. No part of the publication may be reproduced or distributed by any means, or stored in a database or retrieval system, without the prior written permission of the publisher.

本书中文简体版专有出版权由 Taylor & Francis Group, LLC 授予电子工业出版社,并限在中国大陆出版发行。专有出版权受法律保护。

Copies of this book sold without a Taylor & Francis sticker on the cover are unauthorized and illegal.

本书封面贴有 Taylor & Francis 公司防伪标签,无标签者不得销售。

版权贸易合同登记号 图字: 01-2009-0637

## 图书在版编目(CIP)数据

Verilog HDL 数字设计与建模 / (美) 卡瓦纳(Cavanagh, J.) 著; 陈亦欧, 李林, 黄乐天译.

北京: 电子工业出版社, 2011. 8

(国外电子与通信教材系列)

书名原文: Verilog HDL: Digital Design and Modeling

ISBN 978-7-121-14093-8

I. ①V… II. ①卡… ②陈… ③李… ④黄… III. ①数字系统-系统设计-高等学校-教材  
②VHDL 语言-程序设计-高等学校-教材 IV. ①TP271②TP312

中国版本图书馆 CIP 数据核字(2011)第 139250 号

策划编辑: 马 岚

责任编辑: 冯小贝

印 刷: 北京东光印刷厂

装 订: 三河市皇庄路通装订厂

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787 × 1092 1/16 印张: 37.25 字数: 1049 千字

印 次: 2011 年 8 月第 1 次印刷

定 价: 69.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010)88254888。

质量投诉请发邮件至 zls@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010)88258888。

## 序

2001年7月间,电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师,商量引进国外教材问题。与会同志对出版社提出的计划十分赞同,大家认为,这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材,意味着开设了一门好的课程,甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书,对近代电子学科、特别是对雷达技术的推动作用,就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代,在原教委教材编审委员会的领导下,汇集了高等院校几百位富有教学经验的专家,编写、出版了一大批教材;很多院校还根据学校的特点和需要,陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来,随着教学改革不断深入和科学技术的飞速进步,有的教材内容已比较陈旧、落后,难以适应教学的要求,特别是在电子学和通信技术发展神速、可以讲是日新月异的今天,如何适应这种情况,更是一个必须认真考虑的问题。解决这个问题,除了依靠高校的老师 and 专家撰写新的符合要求的教科书外,引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,是会有好处的。

一年多来,电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组,选派了富有经验的业务骨干负责有关工作,收集了230余种通信教材和参考书的详细资料,调来了100余种原版教材样书,依靠由20余位专家组成的出版委员会,从中精选了40多种,内容丰富,覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面,既可作为通信专业本科生和研究生的教学用书,也可作为有关专业人员的参考材料。此外,这批教材,有的翻译为中文,还有部分教材直接影印出版,以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里,我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度,充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步,对高校教学工作会不断提出新的要求和希望。我想,无论如何,要做好引进国外教材的工作,一定要联系我国的实际。教材和学术专著不同,既要注意科学性、学术性,也要重视可读性,要深入浅出,便于读者自学;引进的教材要适应高校教学改革的需要,针对目前一些教材内容较为陈旧的问题,有目的地引进一些先进的和正在发展中的交叉学科的参考书;要与国内出版的教材相配套,安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求,希望它们能放在学生们的课桌上,发挥一定的作用。

最后,预祝“国外电子与通信教材系列”项目取得成功,为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题,提出意见和建议,以便再版时更正。



中国工程院院士、清华大学教授  
“国外电子与通信教材系列”出版委员会主任

## 出版说明

进入21世纪以来,我国信息产业在生产和科研方面都大大加快了发展速度,并已成为国民经济发展的支柱产业之一。但是,与世界上其他信息产业发达的国家相比,我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天,我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社,我们始终关注着全球电子信息技术的发展方向,始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间,我社先后从世界著名出版公司引进出版了40余种教材,形成了一套“国外计算机科学教材系列”,在全国高校以及科研部门中受到了欢迎和好评,得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材,尤其是有选择地引进一批英文原版教材,将有助于我国信息产业培养具有国际竞争能力的技术人才,也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见,我们决定引进“国外电子与通信教材系列”,并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商,其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等,其中既有本科专业课程教材,也有研究生课程教材,以适应不同院系、不同专业、不同层次的师生对教材的需求,广大师生可自由选择 and 自由组合使用。我们还将与国外出版商一起,陆续推出一些教材的教学支持资料,为授课教师提供帮助。

此外,“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助,其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核,并得到教育部高等教育司的批准,纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作,我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望,具有丰富的教学经验,他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外,对于编辑的选择,我们达到了专业对口;对于从英文原书中发现的错误,我们通过与作者联络、从网上下载勘误表等方式,逐一进行了修订;同时,我们对审校、排版、印制质量进行了严格把关。

今后,我们将进一步加强同各高校教师的密切关系,努力引进更多的国外优秀教材和教学参考书,为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足,在选题、翻译、出版等方面的工作中还有许多需要改进的地方,恳请广大师生和读者提出批评及建议。

电子工业出版社

## 教材出版委员会

主任	吴佑寿	中国工程院院士、清华大学教授
副主任	林金桐	北京邮电大学校长、教授、博士生导师
	杨千里	总参通信部副部长，中国电子学会会士、副理事长 中国通信学会常务理事、博士生导师
委员	林孝康	清华大学教授、博士生导师、电子工程系副主任、通信与微波研究所所长 教育部电子信息科学与工程类专业教学指导分委员会委员 清华大学深圳研究生院副院长
	徐安士	北京大学教授、博士生导师、电子学系主任
	樊昌信	西安电子科技大学教授、博士生导师 中国通信学会理事、IEEE 会士
	程时昕	东南大学教授、博士生导师
	郁道银	天津大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会委员
	阮秋琦	北京交通大学教授、博士生导师 计算机与信息技术学院院长、信息科学研究所所长 国务院学位委员会学科评议组成员
	张晓林	北京航空航天大学教授、博士生导师、电子信息工程学院院长 教育部电子信息科学与电气信息类基础课程教学指导分委员会副主任委员 中国电子学会常务理事
	郑宝玉	南京邮电大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	朱世华	西安交通大学副校长、教授、博士生导师 教育部电子信息科学与工程类专业教学指导分委员会副主任委员
	彭启琮	电子科技大学教授、博士生导师
	毛军发	上海交通大学教授、博士生导师、电子信息与电气工程学院副院长 教育部电子信息与电气学科教学指导委员会委员
	赵尔沅	北京邮电大学教授、《中国邮电高校学报（英文版）》编委会主任
	钟允若	原邮电科学研究院副院长、总工程师
	刘彩	中国通信学会副理事长兼秘书长，教授级高工 信息产业部通信科技委副主任
	杜振民	电子工业出版社原副社长
	王志功	东南大学教授、博士生导师、射频与光电集成电路研究所所长 教育部高等学校电子电气基础课程教学指导分委员会主任委员
	张中兆	哈尔滨工业大学教授、博士生导师、电子与信息技术研究院院长
	范平志	西南交通大学教授、博士生导师、信息科学与技术学院院长

## 译 者 序

对希望利用 Verilog 进行 FPGA 或 IC 电子系统设计与仿真的工程师来说,这是一本很好的教材和参考书。尤其是针对电子设计工程师所必须掌握的门级仿真、数据流仿真、行为仿真、结构仿真等工程仿真技术进行了深入且详尽的讨论和讲解,这是本书最突出的特色。其另一特色是,书中给出的所有工程设计实例均为可独立运行及验证的实用电路模块。

本书共分 11 章,讲授的内容从基本的 Verilog 语法到一些基本的典型电路,例如加法器、乘法器、Mealy 和 Moore 的同步与异步的状态机;详细介绍了 Verilog 的三种建模方式、任务和函数;最后综合利用这些设计方法深入讨论了一些较为复杂的电路设计,例如约翰逊计数器、汉明码检错和纠错电路,还有相关的理论、布思乘法器及其原理、各类 Moore 和 Mealy 时序状态机及一个完整的流水线 RISC 处理器的设计等。

书中所有的例子都给出了完整的 Verilog 源代码、利用 Verilog 设计的 testbench、运行结果和仿真波形,从而使得本书非常适合 Verilog 的初学者。针对初学者在用 Verilog 进行数字逻辑设计时经常会发生的各种问题和疑惑,该书给出了较为详尽的解释及回答,能够帮助初学者快速掌握使用 Verilog 进行数字逻辑设计的理念和方法。针对刚接触 Verilog 设计的读者不知如何证明自己的设计是否正确的迷惑,该书不仅可以让学生掌握用 Verilog 设计电路的能力,还着重传授了如何用 Verilog 设计 testbench 来验证所设计电路模块和系统正确性的基本规则与方法。

在每一章的最后,根据作者 20 余年的设计经验,精心准备了大量习题,以帮助读者巩固各章的教学内容。书中的附录包含了部分课后习题的 Verilog 代码参考解答和仿真波形。当读者完成习题之后,可以明确检验其结果的正确与否。

本书的特点之一是对异步状态机设计进行了较为深入的讨论,弥补了其他书籍中有关用 Verilog 进行数字逻辑设计的缺陷与不足。感兴趣的读者可以在作者的引导下仔细研究异步状态机电路的设计思路及方法。

本书由陈亦欧、李林、黄乐天翻译,并由李广军审校。电子工业出版社的马岚编辑为本书的出版做了大量的工作。在此,对所有为本书出版提供了帮助的人们表示诚挚的感谢。

由于译者水平有限,加之时间仓卒,译文中难免有不妥之处,敬请读者不吝指正。

# 前 言

有两种占统治地位的硬件描述语言(Hardware Description Language, HDL),它们分别是 Verilog HDL 和 VHDL(Very High Speed Integrated Circuit HDL)。这两种语言都是美国电子与电气工程师协会(IEEE)所批准的标准。其中,关于 Verilog 的标准是 IEEE 1364-1995,关于 VHDL 的标准是 IEEE 1076-1993。和 VHDL 相比,Verilog 使用得更加广泛。利用 Verilog,可以建立从逻辑门到主流的复杂数字系统等各个层次的数字模型。

本书在讲授 Verilog 语言本身的同时还给出了大量的设计实例,目的是为读者使用 Verilog 进行数字系统设计打下坚实的基础。本书对各种数字模型的结构进行了详细的阐述,在每一章都给出了大量组合逻辑和时序逻辑的实例。

这些设计实例包括各类的计数器、半加器、全加器、超前进位(carry lookahead)加法器、阵列乘法器、布斯乘法算法(Booth multiplication algorithm)、Moore 和 Mealy 状态机,以及序列检测器、汉明码检错和纠错电路、BCD(Binary Coded Decimal)码的加减法、算术逻辑单元(ALU)、流水线精简指令集计算机(RISC)处理器。本书的内容还包括同步时序状态机和异步时序状态机,以及脉冲模式异步时序状态机。

我们会把重点放在如何设计出满足各种需求的 Verilog 的工程上。这些工程包括:设计模块, testbench 模块,怎样处理仿真工具的数据输出,怎样处理仿真工具输出中包含的所有执行细节的仿真波形。在设计某些工程的时候,除了介绍相关的逻辑设计原则,还会给出与这个设计相关的理论的全面介绍。这些内容包括状态图、卡诺图(Karnaugh map)、逻辑公式及逻辑图。

作者力求让这本书读起来更像是一个教程。因此,这本书的内容会比较易懂且所需的相关知识在这本书中就可以找到。书中所有的设计都是非常完整的,没有未完成的部分,也没有只有一部分设计的情况。每章后都有大量的、不同层次的习题以供读者进行设计练习。

第 1 章讲述了 HDL 语言的发展史并简要介绍了 Verilog 这门硬件描述语言。第 1 章还通过不同的方式来说明信号的有效电平(或断言电平)。

第 2 章对 Verilog 进行了概述,并介绍了在完成一个设计工程时会用到的不同设计方法。这一章向读者介绍了 Verilog 建模的基本概念,包括了数据流建模、行为级建模和结构化建模。针对每一种建模方式,列举了设计实例来说明建模的方法。这一章还有一节专门介绍了混合建模的方法。后面的章节会对这些建模结构及方法进行更详细的阐述。在这一章介绍模块和端口概念的同时,也讨论了怎样利用 testbench 来验证设计的模块。

第 3 章讲述了 Verilog 语言中的语法元素,包括注释(comment)、标识符(identifier)、关键字(keyword)、数据类型(data type)、参数(parameter)、线的逻辑状态及其值。注释在 Verilog 中的作用是说明一段代码的功能。标识符是一个对象或是变量名称,使得在模块的其他地方可以实现对该对象的引用。Verilog 提供了一系列预定义好的关键字,用来定义代码的语言结构。线型和寄存器型是两种预定义好的数据类型。线型用来连接逻辑元素,而寄存器型的作用是保存数据。编译指令可以在编译的时候决定哪些代码需要编译。

第 4 章讲述了 Verilog 要用到的表达式。表达式由操作数和操作符组成,它们是 Verilog 语句中的基本单元。操作数可以是以下任意一种数据类型:常数、参数、线型、寄存器型、比特位选择、总线部分选择或内存单元。Verilog 语言包含大量的操作符,用来执行各种各样对不同类型



的数据的操作，它们包括算术运算、逻辑运算、关系运算、相等、比特操作、缩位运算、移位、条件运算、位拼接 (concatenation) 和位复制 (replication) 等。

第 5 章介绍了利用内建的原语门 (primitive gate) 进行门级建模的方法。Verilog 内建了极其丰富的原语门，用来对线型进行建模，包括 **and**、**nand**、**or**、**nor**、**xor**、**xnor** 和 **not**。这一章介绍的内容是利用逻辑门电路对底层硬件进行抽象描述。这种设计与画电路图时利用很多基本门器件来搭建一个大电路的设计方法很类似。门延迟在这一章也进行了介绍。所有的门器件都会有传输延迟。也就是说，一个信号从器件的输入，经过器件本身，再到输出是需要时间的。在这一章里，还会有利用内建的原语门实现迭代网络和优先级编码器的设计实例。

第 6 章介绍了用户自定义原语 (User Defined Primitives, UDP)。用户可以根据实际需要设计自己的原语逻辑。通常，这些原语的逻辑功能比内建原语门的抽象层次要更高一些。它们是独立的原语且不会去例化其他的原语和模块。在设计中，可以将其用在组合逻辑或时序逻辑中。时序逻辑的原语包含对电平敏感和对边沿敏感的两种电路。这一章的设计实例包括：二进制到格雷码的转换电路、由两个半加器组成的全加器、乘法器、电平敏感的锁存器、边沿敏感的触发器、模 8 计数器和一个同步时序逻辑的 Moore 有限状态机。

第 7 章介绍了数据流建模。这是我们要介绍的三种最重要的模型结构中的第一种。数据流模型比 UDP 和内建原语门的抽象层次都要高。数据流模型通过连续赋值语句实现了对组合逻辑的描述，而不会使用到逻辑门或其他连线。这一章的设计实例包括：缩位操作符的应用、八进制 - 十进制译码器、利用条件操作符来实现乘法器、4 比特加法器、高速超前进位加法器、异步时序逻辑设计、同步时序的脉冲模式 Moore 状态机。所有的设计都包含用于测试该设计模块功能的 testbench。同时，书中还有相应的仿真结果和波形。

第 8 章介绍了行为级建模。这种建模方式用语言来描述数字系统的行为。它关注的是系统的整体架构，并不关心这样一个系统具体是由哪些逻辑门怎样构建的。行为级建模的抽象层次比前面介绍的建模方式的抽象层次都高。利用行为级建模描述的 Verilog 模块没有内部结构的细节描述；它仅仅是从抽象和算法的角度定义了硬件的行为。Verilog 有两种过程化的行为描述方式：**initial** 和 **always**。这一章集中介绍了过程赋值和不同的延迟及其影响。过程化的赋值可分成阻塞赋值和非阻塞赋值两种赋值方式。这一章还介绍了条件赋值，使得在满足某些条件时流程可以发生改变。**case** 语句可以实现和条件语句类似的功能，只是从功能上来说，它的条件有多条分支。循环语句也会在这一章进行介绍。本章包含的设计实例有：超前进位加法器、加法移位单元、奇校验产生器、并入串出的移位寄存器、按不同顺序计数的计数器、ALU、各类 Moore 和 Mealy 同步时序状态机与异步时序状态机。

第 9 章介绍了第 3 种建模方式：结构化建模。结构化建模把如下的实例对象包含在一个模块中，包括内建原语门、UDP 和其他的模块。这一章包含了一些用结构化建模完成的完整的设计实例。这些实例包括：格雷码到二进制的转换器、BCD 到十进制的解码器、模 10 计数器、加减法器、带高速移位的加法器、阵列乘法器、Moore 和 Mealy 同步、异步时序状态机和一个 Moore 脉冲模式异步时序状态机。和其他章节一样，这些实例除了有设计的模块，还有 testbench、仿真结果和波形。

第 10 章介绍了任务和函数。它们的用法和其他编程语言的子过程或子函数比较类似。这些结构使得行为级的模块可以分成更小的部分。任务和函数使得模块可以在需要的时候执行某一部分的代码。本章也给出了任务和函数的例子。

第 11 章给出了一些利用前面章节讲到的建模方法来设计的实例。总的来说，这些设计会比前面给出的设计实例更复杂。和其他章节一样，除了完整的设计代码，testbench、仿真结果和波

形也是一应俱全的。这些实例包括:约翰逊计数器、计数移位模块、通用移位寄存器组、汉明码检错和纠错电路及相关的理论、详细描述 的布思乘法器及其原理、各类 Moore 和 Mealy 时序状态机、Mealy 独热(one-hot)状态机、BCD 加减法器和一个完整的流水线 RISC 处理器的设计。

附录 A 对事件队列的处理机制进行了简要的讨论。Verilog 模块中的各种操作通常按照时间队列的方式来处理。附录 B 列举了要完成一个 Verilog 工程需要的各个步骤。附录 C 包含了部分习题解答。

本书中的实例是作者根据其 20 多年的计算机设备设计经验精选出来的。虽然逻辑设计的方法贯穿于整本书中,但本书的意图并不是讨论逻辑设计。读者应该有足够的组合逻辑和时序逻辑的设计背景。书中大量的设计实例将帮助读者彻底理解 Verilog 这门流行的硬件描述语言。

本书的读者应该是电子设计工程师、计算机工程师、计算机科学家,以及电子工程、计算机工程和计算机科学专业的在读研究生及这些专业的高年级本科生。

还要特别感谢 Silvaco International 的 CEO:Ivan Pesic 博士,感谢他允许使用 SILOS 仿真软件作为本书的仿真工具。SILOS 是进行逻辑验证的易用且功能强大的 Verilog 仿真器。

我还要感谢付出了额外的时间及专业技能为本书修订书稿及提出修改意见的人:Daniel W. Lewis 教授,他是 Santa Clara 大学计算机工程系的主任;Geri Lamble 博士;Steve Midford 审阅了整本书稿并提出了很多有用的建议;Ron Lewerenz。同时也感谢 Nora Konopka 和 Taylor & Francis 团队的支持。

*Joseph Cavanagh*

# 目 录

第 1 章 简介 .....	1
1.1 HDL 的历史 .....	1
1.2 Verilog HDL .....	1
1.2.1 IEEE 标准 .....	2
1.2.2 特性 .....	2
1.3 断言 .....	2
第 2 章 概述 .....	4
2.1 设计方法 .....	4
2.2 模 16 同步计数器 .....	5
2.3 4 比特行波进位加法器 .....	7
2.4 模块和端口 .....	8
2.4.1 设计一个用于仿真的 testbench .....	9
2.4.2 结构定义 .....	12
2.5 数据流建模简介 .....	13
2.5.1 二输入异或门 .....	13
2.5.2 带延迟信息的四个二输入与门 .....	15
2.6 行为级建模简介 .....	16
2.6.1 三输入或门 .....	16
2.6.2 4 比特加法器 .....	19
2.6.3 模 16 同步计数器 .....	21
2.7 结构化建模简介 .....	23
2.7.1 实现积之和式 .....	23
2.7.2 全加器 .....	25
2.7.3 4 比特行波进位加法器 .....	29
2.8 混合建模简介 .....	34
2.8.1 全加器 .....	34
2.9 习题 .....	37
第 3 章 语言元素 .....	39
3.1 注释 .....	39
3.2 标识符 .....	39
3.3 关键字 .....	40
3.3.1 双向门 .....	41
3.3.2 电荷储存强度 .....	41
3.3.3 CMOS 门 .....	42
3.3.4 组合逻辑门 .....	42
3.3.5 连续赋值 .....	45

3.3.6	数据类型	46
3.3.7	模块说明	46
3.3.8	MOS 开关	47
3.3.9	多路分支	47
3.3.10	命名的事件	48
3.3.11	参数	48
3.3.12	端口声明	49
3.3.13	过程块结构	49
3.3.14	过程连续赋值语句	50
3.3.15	过程控制	50
3.3.16	上拉和下拉门	53
3.3.17	信号强度	53
3.3.18	specify 块	54
3.3.19	任务和函数	55
3.3.20	三态门	55
3.3.21	时序控制	55
3.3.22	用户自定义原语	57
3.4	值集	58
3.5	数据类型	58
3.5.1	线型数据类型	58
3.5.2	寄存器数据类型	61
3.6	编译器指令	66
3.7	习题	68
<b>第 4 章</b>	<b>表达式</b>	<b>70</b>
4.1	操作数	70
4.1.1	常数	70
4.1.2	参数	71
4.1.3	线	73
4.1.4	寄存器	73
4.1.5	比特选择	74
4.1.6	部分选择	74
4.1.7	存储元件	74
4.2	操作符	75
4.2.1	算术运算操作符	76
4.2.2	逻辑运算操作符	79
4.2.3	关系运算操作符	80
4.2.4	相等运算操作符	81
4.2.5	按位运算操作符	84
4.2.6	缩位运算操作符	87
4.2.7	移位运算操作符	89
4.2.8	条件运算操作符	91

4.2.9	拼接运算操作符 .....	93
4.2.10	复制运算操作符 .....	94
4.3	习题 .....	96
<b>第5章</b>	<b>门级建模 .....</b>	<b>97</b>
5.1	多输入门 .....	97
5.2	门延迟 .....	113
5.2.1	惯性延迟 .....	121
5.2.2	传输延迟 .....	123
5.2.3	模块路径延迟 .....	124
5.3	更多的设计实例 .....	126
5.3.1	迭代网络 .....	126
5.3.2	优先编码器 .....	135
5.4	习题 .....	139
<b>第6章</b>	<b>用户自定义原语 .....</b>	<b>141</b>
6.1	定义用户自定义原语 .....	141
6.2	组合逻辑 UDP .....	141
6.2.1	卡诺图输入变量 .....	162
6.3	时序的用户自定义原语 .....	165
6.3.1	电平敏感 UDP .....	165
6.3.2	边沿有效 UDP .....	169
6.4	习题 .....	182
<b>第7章</b>	<b>数据流建模 .....</b>	<b>185</b>
7.1	连续赋值 .....	185
7.1.1	三输入与门 .....	185
7.1.2	积之和 .....	187
7.1.3	缩位操作符 .....	189
7.1.4	八进制到二进制的编码器 .....	191
7.1.5	4选1选通器 .....	193
7.1.6	使用条件操作符实现4选1选通器 .....	196
7.1.7	4比特加法器 .....	198
7.1.8	超前进位加法器 .....	200
7.1.9	异步时序状态机 .....	204
7.1.10	脉冲模式异步时序状态机 .....	213
7.2	隐含连续赋值 .....	219
7.3	延迟 .....	220
7.4	习题 .....	223
<b>第8章</b>	<b>行为级建模 .....</b>	<b>227</b>
8.1	过程化结构 .....	227
8.1.1	initial 语句 .....	227
8.1.2	always 语句 .....	230

8.2	过程赋值 .....	241
8.2.1	等号右边的延迟 .....	241
8.2.2	等号左边的延迟 .....	244
8.2.3	阻塞赋值 .....	246
8.2.4	非阻塞赋值 .....	249
8.3	条件语句 .....	253
8.4	case 语句 .....	268
8.5	循环语句 .....	301
8.5.1	for 循环 .....	301
8.5.2	while 循环 .....	302
8.5.3	repeat 循环 .....	303
8.5.4	forever 循环 .....	304
8.6	语句块 .....	304
8.6.1	顺序执行块 .....	304
8.6.2	并行执行块 .....	306
8.7	过程连续赋值语句 .....	307
8.7.1	assign...deassign .....	307
8.7.2	force...release .....	310
8.8	习题 .....	311
<b>第9章</b>	<b>结构化建模 .....</b>	<b>313</b>
9.1	模块的例化 .....	313
9.2	端口 .....	313
9.2.1	未连接的端口 .....	316
9.2.2	端口连接规则 .....	316
9.3	设计实例 .....	317
9.3.1	格雷码到二进制的转换器 .....	317
9.3.2	BCD 码到十进制的译码器 .....	318
9.3.3	模 10 计数器 .....	323
9.3.4	加法器/减法器 .....	328
9.3.5	4 功能算术和逻辑运算单元 .....	333
9.3.6	加法器和高速移位器 .....	338
9.3.7	阵列乘法器 .....	343
9.3.8	Moore-Mealy 同步时序状态机 .....	348
9.3.9	Moore 同步时序状态机 .....	352
9.3.10	Moore 异步时序状态机 .....	358
9.3.11	Moore 脉冲模式异步时序状态机 .....	365
9.4	习题 .....	370
<b>第10章</b>	<b>任务和函数 .....</b>	<b>373</b>
10.1	任务 .....	373
10.1.1	任务声明 .....	373
10.1.2	任务调用 .....	374

10.2	函数 .....	378
10.2.1	函数声明 .....	378
10.2.2	函数调用 .....	379
10.3	习题 .....	386
<b>第 11 章</b>	<b>补充设计实例 .....</b>	<b>387</b>
11.1	约翰逊计数器 .....	387
11.2	计数移位器 .....	390
11.3	通用移位寄存器组 .....	393
11.4	汉明码错误检测和纠正 .....	397
11.5	布思算法 .....	406
11.6	Moore 同步时序状态机 .....	413
11.7	Mealy 脉冲模式异步时序状态机 .....	419
11.8	Mealy 独热状态机 .....	423
11.9	BCD 码加减法器 .....	432
11.9.1	BCD 码加法 .....	432
11.9.2	BCD 码减法 .....	434
11.10	流水线精简指令集计算机处理器 .....	442
11.10.1	指令 cache .....	451
11.10.2	指令单元 .....	455
11.10.3	译码单元 .....	458
11.10.4	执行单元 .....	462
11.10.5	寄存器阵列 .....	471
11.10.6	数据 cache .....	476
11.10.7	RISC CPU 的顶层 .....	479
11.10.8	系统顶层 .....	481
11.11	习题 .....	484
附录 A	事件队列 .....	488
附录 B	Verilog 工程的步骤 .....	498
附录 C	部分习题解答 .....	500

# 第1章 简介

本书涵盖了利用 Verilog HDL 进行组合逻辑和时序逻辑设计的内容。硬件描述语言(Hardware Description Language, HDL)是一种按软件的方式进行数字器件设计的方法。这种设计方法的一个优点是缩短了产品从研发到上市之间的时间。另外一个优点是按照这种设计方法,在设计转变成最终的硬件实现之前,可以不断地对设计进行验证和测试。在没有支付一笔昂贵的费用把设计变成硬件之前,设计都是可以任意更改的。

## 1.1 HDL 的历史

在 20 世纪 80 年代, HDL 开始流行起来。HDL 这种文本描述的方式逐渐代替了绘制电路原理图的方式,用于描述大型的数字系统。随着 ASIC(Application Specific Integrated Circuit)、FPGA(Field Programmable Gate Array)和 CPLD(Complex Programmable Logic Device)的发展,使用计算机辅助设计的需求变得越来越迫切。工程师们希望使用 HDL 这种技术,利用编程的形式来设计逻辑电路。利用 HDL,工程师可以让 testbench<sup>①</sup>完成对整个系统的仿真,同时得到系统的二进制输出结果及数字仿真波形。很多种 HDL 属于某些设计公司私有的,它们没有对外公开。而 Verilog HDL 是两种最重要的 HDL 中的一种。另外一种 HDL 是 VHDL(Very High Speed Integrated Circuit HDL)。VHDL 是 IBM、TI 和 Intermetrics 为美国国防部开发的。虽然 VHDL 不像 Verilog 那样在世界上使用得那么广泛,但 Verilog 和 VHDL 都是 IEEE 的标准之一。

HDL 允许设计者无需逻辑框图便可用精确标识来简单、快速地表示结构概念。所有的 HDL 可以使用不同的标识来表示相同的基本概念。

## 1.2 Verilog HDL

Verilog HDL 是用来设计数字和计算机系统的新技术。Verilog 的语法风格比较接近 C 语言,但也用到了一些类似于 Pascal 的语法。这些手段用来对从逻辑门到复杂的数字系统进行抽象和建模。这种 C 语言和 Pascal 语言结合的方式使得 Verilog 易学易懂。设计者可以利用 Verilog 对整个设计进行仿真和验证。这些优点使得 Verilog HDL 是工业界使用最广泛的 HDL。

Verilog 可以描述组合逻辑和时序逻辑,可以描述对电平敏感和由边沿触发的存储设备。应用 Verilog,工程师很容易理解软件语法和具体的物理硬件之间的关系。

本书用到的 Verilog 仿真工具易学易用,它的功能非常强大,可以用来进行任何数字逻辑系统的仿真。这个逻辑仿真工具称为 SILOS,是由 Silvaco International 公司专门为数字系统的设计和验证而开发的。利用 SILOS 仿真环境,工程师可以方便地调试 ASIC、FPGA 或是 CPLD 的设计。这个环境可以显示设计中从模块端口到任一个逻辑门的每一个信号的值。SILOS 可以对 Verilog 源代码进行单步调试,还可以通过用鼠标把代码直接拉到数据分析器中产生波形和分析。

Verilog 支持两种设计方法,分别是:自上而下(top-down)和自下而上(bottom-up)。在自上而下设计方法中,首先定义的是顶层模块,接着定义组成顶层模块的各个子模块,接下来按照

---

<sup>①</sup> 译者注:testbench 也称为测试平台,但大家往往习惯于直接使用 testbench 这个名词,本书中将直接使用 testbench。



这种方法进一步划分更详细的子模块，直到完成了最底层模块的设计为止。如果使用的是自下而上设计方法，首先设计最底层的模块，接着在它们的上一级模块中例化这些底层模块并添加新功能，从而组成一个更大的设计。利用 Verilog，可以对算法进行建模、表达布尔方程式和任意的逻辑门。其仿真可以分多个层次。工程师可以用 testbench 先对最早完成的模块进行功能仿真。在这些模块通过了功能验证之后，它们被例化，组成了顶层的模块。工程师同样可以用 testbench 来对顶层的模块进行仿真。

### 1.2.1 IEEE 标准

Verilog 是由 Gateway Design Automation 公司的 Phillip Moorby 于 1984 年发明的，并且这种 HDL 是 Gateway Design Automation 公司的私有财产。Gateway 公司后来被 Cadence Design Systems 公司收购。1990 年，Cadence 公司将 Verilog 公开发表，并成立了 Open Verilog International 组织来推广 Verilog 这种 HDL。1995 年，Verilog 成为 IEEE 的标准 (IEEE Standard 1364-1995)，Verilog 硬件描述语言参考手册 (Verilog Hardware Description Language Reference Manual) 对这种语言进行了详尽的阐述。

### 1.2.2 特性

例如，AND、OR、NAND 和 NOR 这些逻辑原语都是 Verilog 语言的一部分。可以例化这些内建的基本原语构造出一个模块。设计者也可以产生自己的用户自定义原语 (UDP)，可以像用内建原语一样用 UDP 来搭建一个模块。利用 UDP 可以实现任意的逻辑功能，例如乘法器、编/解码器或寄存器等。

一个逻辑电路会有不同类型的延迟：等号左侧的延迟、等号右侧的延迟、惯性延迟和传输延迟。在后面的章节里，将会详细介绍它们的概念。

可以按三种方式对一个设计进行建模：(1) 数据流建模；(2) 行为级建模；(3) 结构化建模。与可以在一个设计中同时使用内建原语和 UDP 一样，也可以在一个设计中混合使用这些建模方式来搭建模型。在利用结构化建模例化子模块时，对于例化层次的数目没有限制。

Verilog 对所设计的系统的规模没有任何限制，因此利用 SILOS，可以设计任何规模的数字系统。Verilog 不仅可以用来设计需要实现的硬件系统，也可以设计进行仿真的 testbench。

利用 Verilog 可以很方便地进行比特位的操作，例如 AND (&) 和 OR (|)。同时，它也有高级编程语言所拥有的多分支语句 (case 语句)、条件语句和循环语句等优点。

## 1.3 断言

描述信号有效电平 (断言) 的方法有很多种。表 1.1 列举了各家公司和各版本的教材常用到的表示方法。本书将使用 +A 和 -A 的表示方法。如图 1.1 所示，AND 的功能可以用三种方式来表示，分别是使用 AND 门、NAND 门和 NOR 门。虽然图上只画出了两个输入，但实际上 AND 门和 OR 门可以有更多的输入。变量左边的加号 (+) 和减号 (-) 说明了信号电压是高还是低。这种表示方法说明了信号断言 (有效) 时的电平，分别对应于逻辑 1 和逻辑 0。

表 1.1 断言电平

高电平有效断言	+A	A	A(H)	A	$\overline{A}$	A
低电平有效断言	+A	$\neg A$	A(L)	*A	$\overline{\overline{A}}$	A'