

普通高等院校电气电子类规划系列教材

PUTONG GAODENG YUANXIAO DIANQI DIANZILEI GUIHUA XILIE JIAOCAI

EDA 技术及实践

EDA Techniques and Practices

张彩珍 \ 主 编

王永顺 陈永刚 吴小所 \ 副主编



西南交通大学出版社
Http://press.swjtu.edu.cn

普通高等院校电气电子类规划系列教材

EDA 技术及实践

主 编 张彩珍

副主编 王永顺 陈永刚 吴小所

西南交通大学出版社

· 成 都 ·

图书在版编目 (C I P) 数据

EDA 技术及实践 / 张彩珍主编. —成都: 西南交通大学出版社, 2011.4

普通高等院校电气电子类规划系列教材

ISBN 978-7-5643-1172-8

I. ①E… II. ①张… III. ①电子电路—电路设计: 计算机辅助设计 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2011) 第 068799 号

普通高等院校电气电子类规划系列教材

EDA 技术及实践

主编 张彩珍

责任编辑	黄淑文
特邀编辑	宋彦博
封面设计	何东琳设计工作室
出版发行	西南交通大学出版社 (成都二环路北一段 111 号)
发行部电话	028-87600564 87600533
邮政编码	610031
网 址	http://press.swjtu.edu.cn
印 刷	成都勤德印务有限公司
成品尺寸	185 mm×260 mm
印 张	17.125
字 数	426 千字
版 次	2011 年 4 月第 1 版
印 次	2011 年 4 月第 1 次
书 号	ISBN 978-7-5643-1172-8
定 价	29.00 元

图书如有印装质量问题 本社负责退换
版权所有 盗版必究 举报电话: 028-87600562

前 言

目前,EDA 技术已经成为电子信息类专业的一门重要专业基础课程,并且在教学、科研以及大学生电子设计竞赛等赛事中,起着越来越重要的作用,成为电子类本科生及研究生必须掌握的专业基础知识与基本技能。随着教学改革的深入,对 EDA 课程教学的要求也在不断提高,为与 EDA 技术的发展相适应,必须对教学内容进行更新和优化,正是基于以上考虑,我们编写了本教材。本书在内容上选择了 EDA 开发平台软件 Quartus II 及 Altera、Xilinx 等公司的 Cyclone 系列、Stratix 系列、Spartan 系列等新型器件进行介绍;内容编排上结合分层次教学方法,注重 EDA 技术的基础知识介绍,并通过大量的实践加深对基础知识的理解,同时结合实验对实践内容进行强化。

全书共 8 章。第 1 章对 EDA 技术的基本知识做了综述,解释了有关的概念。第 2 章介绍了典型大规模可编程逻辑器件 FPGA/CPLD 的结构原理及其配置。第 3 章介绍了利用 EDA 集成工具 Quartus II 软件进行设计开发的过程,并介绍了宏功能模块的设计与应用。第 4 章介绍了 VHDL 语言的语法、结构与要素。第 5 章介绍了 VHDL 语言的基本语句。第 6 章介绍了常用组合逻辑电路、时序逻辑电路、存储器及状态机的 VHDL 描述方式,并通过在仪器测量、通信和自动控制系统等技术领域的 VHDL 描述综合应用实例让读者对使用 VHDL 进行逻辑设计有更清楚的认识。同时对 EDA 技术的设计优化进行了简要介绍。第 7 章是关于 EDA 技术的实验内容及实验要求。第 8 章介绍了常用的 EDA 实验开发系统。

本书由张彩珍任主编,由王永顺、陈永刚和吴小所任副主编。其中第 1~3 章和第 7 章由王永顺和吴小所共同编写,第 4~6 章由张彩珍、陈永刚共同编写,第 8 章由吴小所和张彩珍共同编写。全书由张彩珍统稿、定稿。另外,宋宁和徐坤玉等为本书的插图和文字录入做了许多工作。本书的编写和出版得到了兰州交通大学教务处和电信学院及兰州理工大学技术工程学院的关心和大力支持。王瑞祥研究员和谢黎明教授在百忙之中仔细审阅了全书并提出了宝贵的修改意见。在本书大纲的制定和编写过程中,编者与任宗义教授进行了多次讨论。在此一并表示衷心的感谢!

本书通俗易懂、图文并茂、新技术含量高,可作为电子类、通信类、计算机类、自动化类、电气工程类本科生及研究生的教材与实验教程,也可供相关专业的师生和从事电子信息技术与系统设计的科技人员自学与参考。

本书是几位老师结合多年 EDA 教学及实践的经验精心编写而成的,在编写过程中参考了相关专家和学者的著作及研究成果,在这里向他们表示衷心的感谢。由于 EDA 技术发展迅速,加上作者水平有限,书中疏漏之处在所难免,希望同行和广大读者批评指正。

编 者

2011 年 1 月

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术及其发展历程	1
1.2 EDA 技术的实现目标和设计流程	3
1.3 EDA 技术的特征和优势	7
1.4 EDA 技术的发展趋势	8
1.5 EDA 技术的主要内容及学习方法	10
第 2 章 FPGA/CPLD 器件结构及应用	12
2.1 概 述	12
2.2 简单低密度 PLD 器件的基本结构	16
2.3 典型 FPGA 器件的结构与工作原理	18
2.4 典型 CPLD 器件的结构与工作原理	25
2.5 可编程逻辑器件的测试技术	30
2.6 FPGA/CPLD 器件配置	31
2.7 FPGA/CPLD 产品概述	36
2.8 FPGA/CPLD 器件标志及应用选择	42
第 3 章 Quartus II 应用向导	45
3.1 设计流程	45
3.2 开发环境主界面	47
3.3 原理图设计输入	49
3.4 项目工程全编译	55
3.5 仿 真	58
3.6 时序约束	61
3.7 器件编程/配置	64
3.8 Quartus II 文本输入设计方法	71
3.9 宏功能模块与 IP 应用	75
3.10 高级功能的应用	84
第 4 章 VHDL 结构与要素	96
4.1 概 述	96
4.2 VHDL 的基本结构	98
4.3 VHDL 语言要素	108

第 5 章	VHDL 基本语句	126
5.1	VHDL 顺序语句	126
5.2	VHDL 并行语句	144
第 6 章	EDA 实践	165
6.1	组合逻辑电路设计实践	165
6.2	时序逻辑电路设计实践	176
6.3	存储器设计实践	186
6.4	状态机设计实践	190
6.5	EDA 综合设计实践	206
6.6	EDA 设计优化	221
第 7 章	EDA 技术实验	239
7.1	EDA 技术实验基本要求	239
7.2	1 位全加器的设计实验	240
7.3	7 段数码显示译码器设计	241
7.4	含异步清零和同步时钟始能的 4 位加法计数器设计	241
7.5	层次化设计的 VHDL 文本实现	242
7.6	数控分频器的设计	243
7.7	A/D 采样控制器设计	244
7.8	流水线乘法累加器的混合输入设计	245
7.9	等精度频率计/相位计设计	246
第 8 章	EDA 实验开发系统	247
8.1	GW48 实验开发系统简介	247
8.2	Altera DE2 开发板简介	260
参考文献		267

第 1 章

EDA 技术概述

集成电路 (IC) 产业已经被列为国家优先发展产业。以超深亚微米 (VDSM, Very Deep Sub-Micron) 工艺和 IP 核复用 (IP Reuse) 技术为支撑的系统芯片 (SoC, System on a Chip) 技术是国际超大规模集成电路发展的趋势和 21 世纪集成电路技术的主流。这个发展趋势对 EDA 技术要求越来越高, EDA 技术将逐渐成为包括软硬件协同设计、嵌入式设计、数模混合设计、IP、SoC、DSP (数字信号处理)、MPU (单片机)、计算机等众多技术门类的一门工程学科, 成为推动微电子技术快速发展的重要工具。本章简要回顾 EDA 技术的发展历程, 主要介绍 EDA 技术的基本特征和优势、EDA 技术的设计目标和流程, 以及 EDA 技术的主要内容及学习方法。

1.1 EDA 技术及其发展历程

EDA (Electronic Design Automation), 即电子设计自动化技术, 是以计算机科学和微电子技术发展为先导, 汇集了计算机图形学、逻辑学、计算数学、微电子工艺与结构等多种计算机应用与科学最新成果的先进技术。

从狭义上讲, EDA 技术就是以大规模可编程逻辑器件为设计载体, 以硬件描述语言为系统逻辑描述的主要表达方式, 以计算机为设计工具, 通过有关的开发软件, 用软件的方式自动完成设计的电子系统到硬件系统的逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑布局布线、逻辑仿真, 直至对于特定目标芯片的适配编译、逻辑映射、编程下载等工作, 最终形成集成电子系统或专用集成芯片的一门新技术。

从广义上来看, 除了狭义 EDA 技术外, 还包括计算机辅助分析 CAA 技术 (如 PSPICE、EWB、MATLAB 等), 印制版计算机辅助设计 PCB-CAD 技术 (如 PROTEL、ORCAD 等)。但 CAA 技术和 PCB-CAD 技术不具备逻辑综合、逻辑适配的功能, 因此它并不能称为真正意义上的 EDA 技术。

在过去近 30 年中, EDA 技术随着计算机、集成电路以及电子设计技术和工艺技术的发展, 大致经历了以下 3 个发展阶段。

1. CAD 阶段

20 世纪 70 年代到 80 年代初为 CAD 阶段,是 EDA 技术发展的初级阶段。这一阶段由于受到计算机的运行速度、存储量和图形功能等方面的限制,电子 CAD 和 EDA 技术没有形成系统,仅是一些孤立的软件程序。这些软件程序在逻辑仿真、印制电路板(PCB)布局布线和 IC 版图编辑等方面取代了设计人员烦琐的手工计算和操作,大大提高了电子系统和集成电路设计的效率和可靠性,从而产生了计算机辅助设计的概念。但这些软件一般只有简单的人机交互能力,能处理的电路规模不是很大,计算和绘图的速度都受到限制,而且由于没有采用统一的数据库管理技术,程序之间的数据传输和交换也不方便。

2. CAE 阶段

20 世纪 80 年代中后期为 CAE 阶段,是 EDA 技术发展的中级阶段。20 世纪 80 年代出现的个人工作站(Apollo)计算机平台与集成电路技术的高速发展推动了 EDA 工具的迅速发展。这一阶段推出的 CAD 软件主要用来实现电路仿真、集成电路的布局布线、IC 版图参数的提取与验证、印制电路板的布图与检验、设计文档的制作等各设计阶段的自动设计,重点解决了电路设计完成之前的功能检验等问题。此阶段中,主要是将各个 CAD 工具集成为一个有机的 EDA 系统,在工作站或超级微机上运行,它具有直观、友好的图形界面,可以以电路原理图的形式输入,以图形菜单的方式选择各种仿真工具和不同的模拟功能。每个工具软件都有自己的元器件库,工具之间有统一的数据库进行数据存放、传输和管理。与初期的 CAD 相比,这一阶段的软件除了具有纯粹的图形绘制功能外,还增加了电路设计功能和结构设计功能,并且通过电气连接网络表将两者结合在一起,以实现工程设计,这就是计算机辅助工程(CAE, Computer Aided Engineering)的概念。利用 CAE 工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件。这使得在设计阶段对产品性能的分析前进了一大步。

3. EDA 阶段

20 世纪 90 年代后期进入了以硬件描述语言、系统级仿真和综合技术为特征的 EDA 阶段,这是 EDA 技术发展的高级阶段。这一阶段,微电子工艺有了惊人的发展,2006 年工艺水平已经达到了 60 nm,目前正向 45 nm 迈进。一个芯片上可以集成几千万只乃至数亿只晶体管,芯片速度达到了 Gb/s 量级。近千万门以上的大规模可编程逻辑器件陆续面世。电子系统朝着多功能、高速度、智能化的方向发展,它们对集成电路(IC)和专用集成电路(ASIC)的容量、速度、频带等都提出了更高的要求。要在短时间内将这种高难度的 IC 设计成功,必须将 EDA 技术提高到一个更高的水平。另一方面,随着集成度的提高,一个复杂的电子系统可以在一个集成电路芯片上实现,这就要求 EDA 系统能够从电子系统功能和行为描述开始,综合设计出逻辑电路,并自动地映射到可供生产的 IC 版图,这一过程称为集成电路的高级设计。因此 20 世纪 90 年代后的 EDA 系统真正具有了自动化设计能力,EDA 技术逐渐成熟并被广泛使用,用户只要给出电路的性能指标要求,EDA 系统就能对电路结构和参数进行自动化处理和综合,寻找最佳设计方案,通过自动布局布线功能将电路直接形成集成电路的版图,并对版图的面积及电路延时特性进行优化处理。

进入 21 世纪以后,软件无线电技术的崛起、模拟电路系统硬件描述语言的表达和设计的

标准化、在系统可编程模拟器件的出现、数字信号处理和图像处理的全硬件实现方案的推出、软硬件技术的进一步融合、IP 核及其复用技术在电子行业的广泛应用及 SoC 高效低成本设计技术的成熟等因素均使 EDA 技术得到了更大的发展。

1.2 EDA 技术的实现目标 and 设计流程

EDA 技术的范畴应包括电子工程师进行产品开发的全过程, 以及电子产品生产的全过程中期望由计算机提供的各种辅助工作。从一个角度来看, EDA 技术可粗略分为系统级、电路级和物理级 3 个层次的辅助设计工作; 从另一个角度来看, EDA 技术应包括电子电路设计的各个领域, 即从低频电路到高频电路、从线性电路到非线性电路、从模拟电路到数字电路、从分立电路到集成电路的全部设计过程。

1.2.1 EDA 技术的实现目标

一般而言, 利用 EDA 技术进行电子系统设计, 主要有 4 个应用领域, 即 PCB 设计、集成电路 (IC 或 ASIC) 设计、可编程逻辑器件 (FPGA/CPLD) 设计及混合电路设计。

PCB 设计是 EDA 技术最初的实现目标。利用 EDA 工具进行 PCB 的布局布线设计和验证分析是早期 EDA 技术最基本的应用。

集成电路一般要通过“掩膜”来制作, 按照实现的工艺, 分为全定制或半定制的集成电路。集成电路设计包括逻辑 (或功能) 设计、电路设计、版图设计和工艺设计多个环节。随着大规模和超大规模集成电路的出现, 为了保证设计的正确性和可靠性, 必须采用先进的 EDA 软件工具进行集成电路的逻辑设计、电路设计和版图设计。集成电路设计是 EDA 技术的最终实现目标, 也是推动 EDA 技术推广和发展的一个重要力量。

可编程逻辑器件 (PLD, Programmable Logic Device) 是一种由用户根据需要而自行创造逻辑功能的数字集成电路。其特点是直接面向用户, 具有极大的灵活性和通用性, 使用方便, 开发成本低, 上市时间短, 工作可靠性高。PLD 器件主要有两大类: 复杂可编程逻辑器件 (CPLD, Complex PLD) 和现场可编程门阵列 (FPGA, Field Programmable Gate Array)。它们的基本设计方法是借助 EDA 软件, 用原理图或硬件描述语言等方法, 生成相应的目标文件, 然后生成下载文件, 最后用编程器或下载电缆将下载文件下载到目标器件, 由目标器件实现。PLD 器件的开发与应用是 EDA 技术将电子系统设计与硬件实现进行有机融合的一个重要体现。

随着集成电路复杂程度的不断提高, 各种不同学科技术、不同模式、不同层次的混合设计方法已被认为是 EDA 技术所必须支持的方法。不同学科的混合 (Mixed-discipline) 主要指电子技术与非电子学科技术的混合, 不同模式的混合 (Mixed-mode) 主要指模拟电路与数字电路的混合、模拟电路与 DSP 技术的混合、电路级与器件级的混合等, 不同层次的混合 (Multi-level) 主要指逻辑设计中行为级、寄存器级、门级和开关级的混合。目前在各种应用

领域，如数字电路、模拟电路、DSP 专用集成电路、多芯片模块（MCM, Multi-Chip-Module）及印制电路系统的设计都需要采用各种混合设计方法。

1.2.2 EDA 技术的设计流程

利用 EDA 技术进行电路设计的大部分工作是在 EDA 软件平台上进行的。以 FPGA/CPLD 为目标器件的典型 EDA 设计流程如图 1.1 所示。

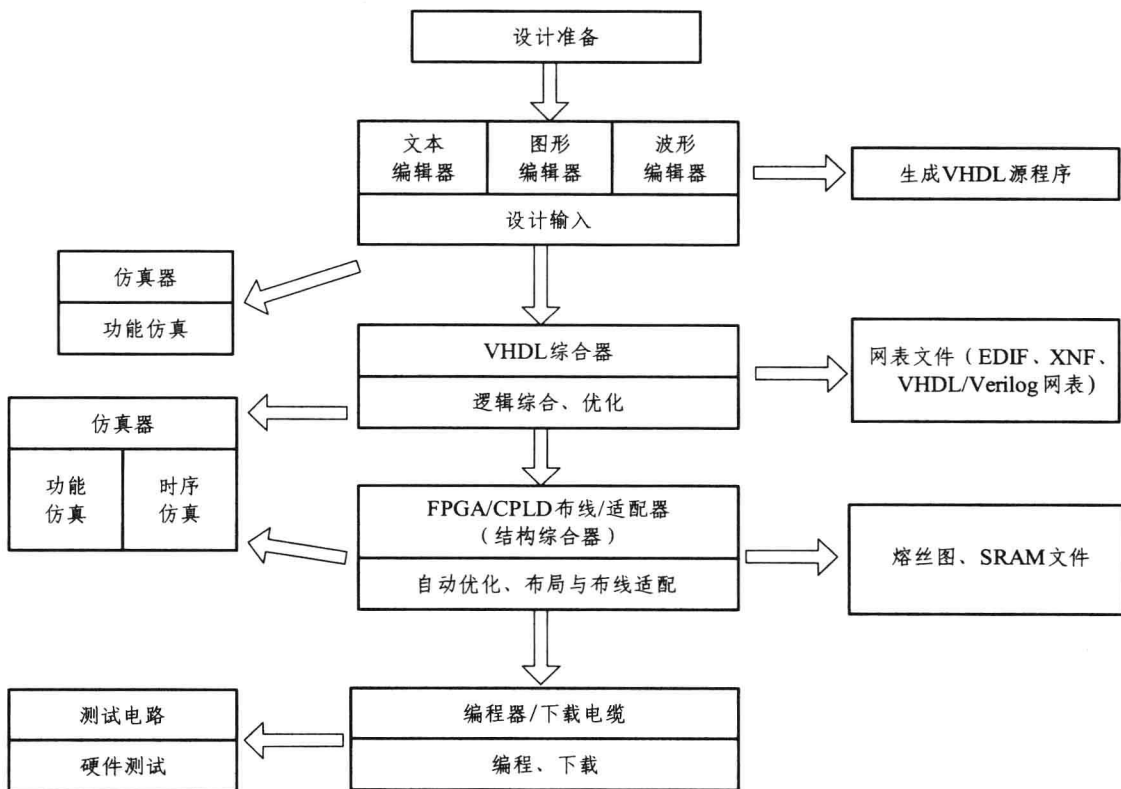


图 1.1 EDA 工程设计流程图

1. 设计准备

设计准备是设计者在进行设计之前，依据任务要求，为确定系统所要完成的功能及复杂程度、器件资源的利用及成本等所做的准备工作，如进行方案论证、系统设计和器件选择等。

2. 设计输入

设计输入是将设计的电路或系统按照 EDA 开发软件要求的某种形式表现出来，并送入计算机进行编辑和排错编译，生成 VHD 文件格式，为下一步的逻辑综合作准备。常用的输入方式有三种：

(1) 图形输入方式。

图形输入也称原理图输入，是一种最直接的设计输入方式。它使用软件系统提供的元器件库及各种符号和连线画出设计电路的原理图，形成图形输入文件。这种方式大多用于对系统及各部分电路很熟悉的情况，或系统对时间特性要求较高的场合。其优点是容易实现仿真，便于信号的观察和电路的调整。

(2) 文本输入方式。

文本输入是采用硬件描述语言进行电路设计的方式。硬件描述语言有 ABEL、AHDL 等普通硬件描述语言和 VHDL、Verilog HDL 等行为描述语言。它们用文本方式描述设计和输入。行为描述语言是目前常用的高层硬件描述语言，具有很强的逻辑描述和仿真功能，可实现与工艺无关的编程与设计，可以使设计者在系统设计、逻辑验证阶段就确立方案的可行性，而且输入效率高，在不同的设计输入库之间转换也非常方便。运用 VHDL 或 Verilog HDL 硬件描述语言进行设计已是当前的主流。

(3) 波形输入方式。

波形输入方式主要用于建立和编辑波形设计文件，以及输入仿真向量和功能测试向量。波形设计输入适用于时序逻辑和有重复性的逻辑函数，系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

3. 逻辑综合和优化

欲把设计输入文件与硬件的可实现性挂钩，首先需要利用 EDA 软件系统的综合器进行逻辑综合。

综合器的功能就是将设计者在 EDA 平台上完成的针对某个系统项目的硬件描述语言、原理图或状态图形的描述，针对给定的硬件结构组件，进行编译、优化、转换和综合，最终获得门级甚至更底层的电路描述文件。由此可见，综合器工作前，必须给定最后实现的硬件结构参数，它的功能就是将软件描述与给定的硬件结构用某种网表文件联系起来。显然，综合器是软件描述与硬件实现的一座桥梁。综合过程就是将电路的高级语言描述转换成低级的、可与 FPGA/CPLD 器件结构相映射的网表文件。这一阶段包括以下内容：

(1) 语法检查 and 设计规则检查。设计输入完成之后，在编译过程中首先进行语法检查（如检查原理图有无连线错误，信号有无双重来源，文本输入文件中关键字有无错误等），并及时给出错误信息报告供设计者修改。然后进行设计规则检查，检查总的设计有无超出器件资源或规定的限制，并将编译报告列出，指明违反设计规则的信息。

(2) 网络表的提取。在编译的环节中，要根据仿真的设置进行网络表的提取。若进行功能仿真，则打开仿真器网络表文件提取器；若要进行模拟仿真，则打开定时模拟器网络表文件提取器。

(3) 逻辑优化和综合。逻辑的优化可使设计所占用的资源最少。综合的目的是将多个模块化设计文件合并为一个网表文件，并使层次设计平面化。

由于 VHDL 仿真器的行为仿真功能是面向高层次的系统仿真，因此只能对 VHDL 的系统描述做可行性的评估测试，不针对任何硬件系统，因此基于这一仿真层次的许多

VHDL 语句不能被综合器所接受。这就是说,这类语句的描述目前无法在硬件系统中实现。这时,综合器不支持的语句在综合过程中将被忽略。综合器对源 VHDL 文件的综合是针对某一 PLD 产品系列的,因此,综合后的结果是可以被硬件系统所接受,具有硬件可实现性。

4. 目标器件的布线/适配

逻辑综合通过后,必须利用适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化和布线。适配完成后可以利用适配所产生的仿真文件做精确的时序仿真。

适配器的功能是将由综合器产生的网表文件配置于指定的目标文件中,产生最终的下载文件,如 JED 文件。适配所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列,通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

5. 设计过程中的有关仿真

在上述设计过程中,可以利用仿真器同时对设计进行仿真。仿真器通常由 PLD 公司的 EDA 开发工具直接提供(也可选用第三方的专业仿真工具)。仿真就是让计算机根据一定的算法和一定的仿真库对 EDA 设计进行模拟,以验证设计,排除错误。仿真是 EDA 设计过程中的重要步骤,包括两种不同级别的仿真测试。

(1) 功能仿真:又称前仿真,是在设计输入完成以后,选择具体器件进行编译之前进行的逻辑功能验证。此时的仿真没有延时信息或者只有由系统添加的微小标准延时,这对于初步的功能检测非常方便。

(2) 时序仿真:又称后仿真或时延仿真,是在选择了具体器件并完成布局、布线之后进行的时序关系仿真。仿真文件中包含了器件硬件特性参数,是接近真实器件运行特性的仿真,仿真精度高。

6. 器件编程与配置

器件编程是指将 FPGA/CPLD 布线/适配器产生的编程数据文件通过编程器或下载电缆下载到目标器件 FPGA/CPLD 中去。对 CPLD 器件来说,是将 JED 文件下载到 CPLD 器件中去;对 FPGA 器件来说,是将位流数据 BG 文件配置到 FPGA 中去。

7. 器件测试和设计验证

将含有载入了设计的 FPGA/CPLD 的硬件系统进行统一测试,以便最终验证设计项目在目标系统上的实际工作情况,以排除错误,改进设计。

大规模可编程逻辑器件芯片(FPGA/CPLD)实质上是一种半定制的逻辑芯片,利用可编程逻辑器件法设计专用集成电路,是一种快速节俭的设计方法。

1.3 EDA 技术的特征和优势

现代 EDA 技术的基本特征是采用高级语言描述、具有系统级仿真和综合能力,具有开放式的设计环境,具有丰富的元器件模型库等。与传统电子系统设计方法相比,EDA 技术的特征及优势主要体现在以下几个方面:

1. 采用硬件描述语言设计输入

硬件描述语言是现代 EDA 系统的主要输入方式。统计资料表明,在硬件描述语言和原理图两种输入方式中,前者约占 70%,而且这个数字还在继续增大。与传统的原理图输入设计方法相比,硬件描述语言更适合于规模日益增大的电子系统,它还是进行逻辑综合优化的重要工具。硬件描述语言使设计者能在比较抽象的层次上描述设计的结构和内部特征,其突出优点是:降低设计成本,缩短设计周期,语言的公开可利用性,设计与工艺的无关性,宽范围的描述能力,便于组织大规模系统的设计,便于设计的复用和继承等。

2. “自顶向下”的设计方法

传统的电路设计常采用“自底向上”(Bottom-Up)的设计方法,即系统设计师们根据自己的实践经验,先选用标准集成电路芯片,再用这些芯片和其他元器件自下而上地构成电路、子系统和系统。这样设计出的系统所用元器件的种类和数量较多、体积和功耗大、可靠性差。

现代 EDA 技术使数字系统的传统设计方法发生了新的变革,产生了目前最常用的“自顶向下”(Top-Down)的设计方法。该设计方法的步骤是:先采用可完全独立于目标器件芯片的物理结构的硬件描述语言,在系统的基本功能或行为级上对设计的产品进行描述和定义,结合多层次的仿真技术,在确保设计的可行性与正确性的前提下,完成功能确认;然后利用 EDA 工具的逻辑综合功能,把功能描述转换成某一具体目标芯片的网表文件,输出给该器件厂商的布局布线适配器,进行逻辑映射及布局布线;再利用产生的仿真文件进行包括功能和时序的验证,以确保实际系统的性能。

“自顶向下”设计方法的优越性表现在:

(1) 由于顶层的功能描述可以完全独立于目标器件的结构,在设计的最初阶段,设计人员可不受芯片结构的约束,集中精力对产品进行最适应市场需求的设计,从而避免了传统设计方法中的再设计风险,缩短了产品的上市周期。

(2) 设计成果的再利用得到保证。将以往成功的设计成果稍作修改、组合就能投入再利用,从而产生全新的或派生的设计模块,同时还可以以 IP 核的方式进行存档。

(3) 由于采用的是结构化开发手段,一旦主系统基本功能结构得到确认,即可实现多人多任务的并行工作方式,使系统的设计规模和效率大幅度提高。

(4) 在选择实现系统的目标器件的类型、规模、硬件结构等方面具有更大的自由度。

3. 逻辑综合与优化功能

逻辑综合与优化的特点是将高层次的系统行为设计自动翻译成门级逻辑的电路描述,并对电路进行速度、面积等的优化,实现了设计与工艺的相互独立。EDA 工具所提供的逻辑综合与优化功能可以根据系统的逻辑功能与性能要求,在一个包含众多结构、功能和性

能均已知的逻辑元器件的逻辑单元库的支持下,找出逻辑网络结构的最佳(至少是较佳的)实现方案。

4. 各类库的应用

EDA 工具之所以能够完成各种自动设计过程,关键是有各类库的支持,包括元器件图形符号库、元器件模型库、工艺参数库、标准单元库、可复用的电路模块库、IP 库等。

在电路设计的每个阶段,EDA 系统可以提供各种不同层次、不同种类的元器件模型库。例如,原理图输入时的元器件外形库、逻辑仿真时的逻辑单元功能模型库、电路仿真时的模拟单元和器件模型库、版图生成时适应不同层次和不同工艺的底层版图库、测试综合时的各种测试向量库等。VHDL 语言输入所提供的库更为庞大和齐全。各种模型库的规模和功能是衡量 EDA 工具优劣的一个重要标志。

5. 强大的电路仿真和测试功能

EDA 技术中最受瞩目的功能是日益强大的仿真测试技术。EDA 仿真测试技术只需通过计算机就能对所设计的电子系统进行各种不同层次的性能测试和逻辑仿真。在实际系统完成后,还能对系统上的目标芯片进行边界扫描测试,极大地提高了大规模电子系统设计的自动化程度。

6. 支持 SoC 设计

EDA 公司能够提供支持 SoC 设计的工具。这些 EDA 工具支持以可重复使用的 IP (Intellectual Property, 知识产权) 核为基础的 SoC 设计。采用 IP 核设计 SoC,设计人员不必了解 IP 核复杂的内部结构,只需了解 IP 核的功能、性能指标与互联接口,便可以以较快的速度和较高的质量设计出复杂的 SoC,缩短了上市时间。

7. 设计环境的开放化和标准化

开放式的设计环境也称为框架结构 (Framework)。目前主要的 EDA 系统都建立了框架结构,如 Cadence 公司的 DesignFramework, Mentor 公司的 FalconFramework,而且这些框架结构都遵守国际 CFI 组织制定的统一技术标准。框架结构能将来自不同 EDA 厂商的工具软件进行优化组合,集成在一个易于管理的统一环境之下,而且还支持任务之间、设计师之间以及整个产品开发过程中的信息传输与共享,是并行工程和自顶向下设计方法的实现基础。

1.4 EDA 技术的发展趋势

随着科学技术的飞速发展和市场需求的不断增长,EDA 技术将呈现出以下发展趋势。

1. EDA 开发工具将得到进一步发展

EDA 开发工具将继续朝着功能强大、简单易学、使用方便的方向发展,主要体现在 EDA

工具的 PC 平台化、灵活多样的设计输入工具、更为有效的仿真工具、更为理想的综合工具等几个方面。

超大规模集成电路技术水平的不断提高,超深亚微米工艺如 $0.13\text{ }\mu\text{m}$ 、 $0.09\text{ }\mu\text{m}$ 已经走向成熟,在一个芯片上完成系统级的集成已成为可能,这就对 EDA 工具提出了更高的要求,促使 EDA 工具和 IP 核应用更为广泛。

EDA 工具要具有混合信号处理能力,能够进行含有数字信号处理、专用集成电路宏单元、数模/模数转换模块、滤波器和振荡器在内的混合电子系统的设计。同时,EDA 开发工具还应该具有增量编译能力,尽量减少布局布线的编译时间,从而提高设计效率,缩短产品开发周期,提高产品的市场竞争力。

高性能的 EDA 工具将得到长足的发展,其自动化和智能化程度将不断提高,从而为嵌入式系统设计提供功能更为强大的开发环境。此外,计算机硬件平台性能的大幅度提高,也为复杂的 SoC 设计提供了物质基础。

2. EDA 技术将促使 ASIC 和 FPGA 逐步走向融合

随着系统开发对 EDA 技术的目标器件各种性能指标要求的提高,ASIC 和 FPGA 将更大程度地相互融合。这是因为,虽然标准逻辑 ASIC 芯片尺寸小、功能强大、耗电省,但设计复杂,并且有批量生产要求;可编程逻辑器件的开发费用低廉,能在现场进行编程,但体积大、功能有限,而且功耗较大。因此,FPGA 和 ASIC 正在互相融合,取长补短,以满足成本和上市速度的要求。例如,许多 PLD 公司正在进行将 ASIC 嵌入可编程逻辑单元的工作,并已经开始为 ASIC 提供 FPGA 内核。有些新一代 ASIC 器件中留有 FPGA 的空间,使设计具备一定的再修改自由度,降低了设计风险。现在传统 ASIC 设计和 FPGA 之间的界限正变得模糊,系统级芯片不仅集成 RAM 和微处理器,也集成 FPGA,整个 EDA 和 IC 设计工业都在朝这个方向发展。PLD 厂商与 ASIC 制造商结盟,为 SoC 设计提供嵌入式 FPGA 模块,使未来的 ASIC 供应商有机会更快地进入市场。

3. EDA 技术朝着 ESDA 和 CE 的方向发展

电子系统设计自动化(ESDA, Electronic System Design Automation)强调建立从系统到电路的统一描述语言,同时考虑仿真、综合与测试,把定时、驱动能力、电磁兼容性、机械和热学特性等约束条件加入到设计综合中。

ESDA 除了需要用高级硬件描述语言进行描述外,更重要的是要得到系统级仿真、综合工具的强有力支持。目前,高级硬件语言发展迅猛,并逐步完善。例如,抽象程度更高的 SystemC、System Verilog、Superlog 等硬件描述语言,可以在同一个开发平台上完成更高级语言(如 C/C++等)与标准硬件描述语言(Verilog HDL、VHDL)或其他更低层次描述模块的混合仿真。而系统级仿真和综合工具还不十分成熟,系统级设计方法的演进还需要相当长的一段时间。

并行工程(CE, Concurrent Engineering)要求 EDA 工具从管理层次上把系统设计有关的工具、任务、时间和工艺等进行合理安排,设计者使用统一的集成化设计环境,各设计小组能够共享与设计相关的数据库和其他资源,允许在设计过程中投入更多的人力并行工作、协同设计。

4. EDA 技术的应用领域将越来越广泛

EDA 技术将广泛应用于高校电类专业的实践教学工作中。借助于 EDA 软件开发环境及实验开发系统,学生可以很方便地进行系统功能仿真及验证。因此,学生可根据自己的设计开展包括数字电子技术等电类相关课程的课程设计、电子设计竞赛及毕业设计实验在内的各层次的各种实验。在整个大学教学期间,分阶段、分层次地对电类专业的学生进行 EDA 技术的理论及实践教学,可以使他们在迅速掌握并有效利用这一新技术的同时,大大提高学生的实践动手能力、计算机应用能力和创新能力。

EDA 技术将广泛应用于科研和新产品的开发。由于可编程逻辑器件性价比的不断提高,EDA 开发软件功能的不断完善,EDA 技术设计电子系统具有用软件的方式设计硬件、设计过程中可用有关软件进行各种仿真、系统现场可编程和在线升级、整个系统可集成在一个芯片上等特点,使其将广泛应用于科研和新产品的开发工作中。

EDA 技术将广泛应用于传统机电设备的升级换代和技术改造。利用 EDA 技术进行传统机电设备电气控制系统的重新设计或技术改造,不但可以缩短设计周期、降低设计成本,而且可以提高产品或设备的性能、缩小产品体积、提高产品的技术含量和附加值。

EDA 技术将广泛应用于专用集成电路的开发。PLD 厂商可按照一定的规格以通用器件大量生产,用户可按通用器件从市场上选购,然后按自己的要求通过编程实现专用集成电路的功能。因此,EDA 技术的发展已经成为解决集成电路设计的重要途径。目前,集成电路产业发展的主要矛盾是芯片制造业的发达和芯片设计能力的相对不足。要进一步推动超大规模集成电路和 SoC 的设计,必须在设计方法和 EDA 设计工具上有所突破。

EDA 技术发展迅猛,应用广泛,已涉及各行各业。从目前 EDA 技术的应用来看,其发展趋势是政府重视、使用普及、工具多样、软件功能强大。中国 EDA 市场已渐趋成熟,不过大部分设计工程师面向的是 PC 主板和小型 ASIC 领域,仅有小部分(约 11%)的设计人员研发复杂的片上系统器件。我国的 EDA 技术研发水平还很有限,需加倍努力。

1.5 EDA 技术的主要内容及学习方法

EDA 技术涉及面广、内容丰富,从教学和实用的角度来看,主要包括以下 4 个方面的内容:

- (1) 大规模可编程逻辑器件;
- (2) 软件开发工具;
- (3) 硬件描述语言;
- (4) 实验开发系统。

其中,大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体;软件开发工具是利用 EDA 技术进行电子系统设计的智能化、自动化设计工具;硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段;实验开发系统是利用 EDA 技术进行电子系统设计的下载及硬件验证工具。

结合自己的学习及教学体会, 作者认为, 对于 EDA 技术的学习, 应抓住 1 个重点, 掌握 2 个工具, 运用 3 种手段及注意 4 个结合。

1 个重点指重点掌握利用硬件描述语言编程的能力。对于硬件描述语言 VHDL, 除了掌握其基本语法规则外, 更重要的是要理解 VHDL 的 3 个“精髓”——软件的强数据类型与硬件电路的唯一性、硬件行为的并行性决定了 VHDL 语言的并行性、软件仿真的顺序性与实际硬件行为的并行性, 还要掌握系统的分析与建模方法, 能够将各种基本语法规则熟练地运用于自己的设计中。

2 个工具指 CPLD/FPGA 软件开发工具和 EDA 硬件实验开发系统。对于软件开发工具, 应熟练掌握源程序的编辑、逻辑综合、逻辑适配、各种仿真及硬件验证等步骤的使用。对于 EDA 硬件实验开发系统, 要在了解大规模可编程逻辑器件的分类、基本结构、工作原理、各厂家产品的系列、性能指标及如何选用的基础上, 根据自己所拥有的设备, 熟练地在实验开发系统上进行硬件验证。

3 种手段: 案例分析、应用设计和上机实践。

4 个结合: 边学边用相结合, 边用边学相结合, 理论与实践相结合, 课内与课外相结合。

思 考 题

1. 什么是 EDA 技术?
2. 简述 EDA 技术的发展历程。
3. 简述用 EDA 技术设计电路的设计流程, 并解释其中的主要概念。
4. 什么是 Top-down 设计方法?
5. EDA 的设计输入有哪些方式?
6. EDA 设计的实现目标有哪些? 各有什么特点?
7. 简述 EDA 技术的优点。
8. 简述综合、适配的概念。
9. 什么是时序仿真? 什么是功能仿真?
10. FPGA 和 CPLD 在设计处理过程中, 产生的可供器件编程使用的数据文件分别是什么?