

检测技术补充数材

微型计算机在检测技术中应用

何秀凤 编

南京航空航天大学三系

1997年11月

第六章 微机在检测技术应用

第一节 微机检测系统概述	1
一、信号输入通道的基本结构	1
1. 多路分时采集单端输入结构	2
2. 多路同步采集分时输入结构	2
3. 多路同步采集多通道输入结构	2
二、数据输出通道的基本结构	3
第二节 微机的 A/D 转换及 D/A 转换接口接术	4
一、微型机的总线	4
1. 内总线	
2. 外总线	
二、A/D 转换器与 IBM-PC 机的接口方法	8
(一) A/D 转换器与 PC 机总线直接联接方法	
(二) 用并行接口电路联接 A/D 与 IBM-PC 的接口方法	
三、D/A 转换器与 IBM-PC 的接口方法	12
(一) 采用数据锁存器的 D/A 接口方法	12
1. D/A 转换器的数字量位数与 IBM-PC 机数据总线位数相等的接口电路	
(1) DAC0808 与 CPU 间加锁存器的连接图	
(2) DAC0832 与 CPU 直接连接图	
2. D/A 转换器的数字量位数大于 IBM-PC 数据总线位数接口电路	
(1) DAC 与数据总线间加锁存器电路图	
(2) DAC 与 CPU 直接相连电路图	
(二) 采用并行接口电路的 D/A 接口方法	16
第三节 测试软件的编制	17
一、软件系统	17
二、测试程序的编制	17
三、程序的模块化	19
四、对编程语言的要求	21
第四节 常用检测与控制程序设计	22
一、判断程序的设计	22
1. 算术判断程序	
2. 逻辑判断程序	
3. 标志判断程序	
二、巡回检测程序	26
三、标度变换程序	31

1. 标度变换原理	
2. 标度变换子程序	
四、上、下限报警处理程序	35
五、定时程序	37
六、数字滤波程序	38
第五节 微型机检测与控制系统的的设计	49
一、微型机检测与控制系统总体方案的确定	49
1. 确定系统方案	
2. 选择测量元件	
3. 选择执行机构	
4. 选择输入/输出通道及外围设备	
5. 画出整个系统原理图	
二、微型计算机的选择	50
1. 选择微型机的设计方案	
2. 对主机的选择	
三、微型机检测与控制系统的硬件设计	52
四、微型机检测与控制系统的软件设计	53
1. 控制系统对应用软件的要求	
2. 应用程序的设计方法	
五、微型机检测与控制系统的调试	55
习题与思考题	57
检测技术课程设计任务书(一)	60
检测技术课程设计任务书(二)	69

第六章 微机在检测技术中的应用

第一节 微机检测系统概述

微机在检测技术中的应用,使得传统的检测手段、检测方法和检测设备发生了根本性的变化,形成了自动化、实时化和智能化的微机检测系统。

微机检测系统是以微型计算机或微处理器为核心组成的数字化测量系统。通常它包含三个最基本的组成部分,即输入通道、输出通道和主计算机。如图 6-1 所示。

输入通道的功能是对生产过程中有关参数,例如温度、压力、流量等参数进行检测,然后这些参数经传感器变换成计算机所要求的电流或电压等标准模拟信号。这些模拟信号由采样——保持器按一定周期,依一定次序逐个采入,并经放大器,模/数转换器变换成相应的数字量信号。输出通道的功能是输出及显示检测结果和数据。主计算机是对采集到的数字量信号,按照人们事先已给编好的数学模型程序和控制规律程序进行计算和处理,同时它还对输入输出通道进行控制管理。

根据以上三个基本组成部分的构成原理、结构和功能的不同,微机检测系统可分为以下八种类型:

1. 按输入通道结构划分

- ① 单通道信号采集系统。
- ② 多通道信号采集系统

2. 按系统性能划分

- ① 高速数据采集检测系统和中低速数据采集检测系统。
- ② 集中式微机检测系统和分布式微机检测系统。
- ③ 智能化系统和非智能化系统。

3. 按被检测信号的特性划分

- ① 电压检测和电流检测
- ② 高电平信号输入和低电平信号输入。
- ③ 单端输入方式和差动输入方式。
- ④ 单极性输入和双极性输入。
- ⑤ 数字信号和模拟信号。

一、信号输入通道的基本结构

被测信号通常有数字信号(或称开关量信号)和模拟信号之分,数字信号的输入通道结构比较简单,而模拟信号的输入通道则较为复杂。

一个单通道的输入电路应包括传感器、信号变换电路、采样/保持电路和模拟/数字转换电路,如图 6-2 所示。

微机检测系统往往需要同时检测多个物理量,因此多通道数据采集输入电路的应用更为普通。多通道输入电路的典型结构有三种:

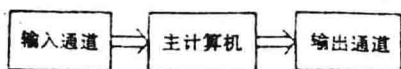


图 6-1 微机检测系统的基本组成图

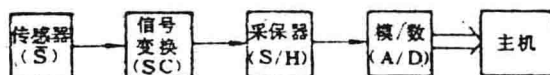


图 6-2 单通道输入电路基本结构图

(一) 多路分时采集单端输入结构

图 6-3 为此种输入电路结构。多个被测信号分别由各自的传感器和信号变换电路组成的多通道,经多路转换电路切换进入共用的采样/保持电路和模拟/数字转换电路,输入主机,图中 C. L. 为控制逻辑部分。

它的特点是多个被测信号共同使用一个采样/保持电路和模拟/数字转换电路,简化了电路结构,降低了成本。但是,它对被测信号的采集是由转换开关分时轮流切换选通的,因而在时间上不能获得多个信号在同一时刻的数据,尽管这种“时间差”是很短的,但对于要求严格同步采集的高速采集检测系统,这种时间偏移误差也是不允许的。因而这种结构较广泛适用于多路中速和低速微机检测系统。

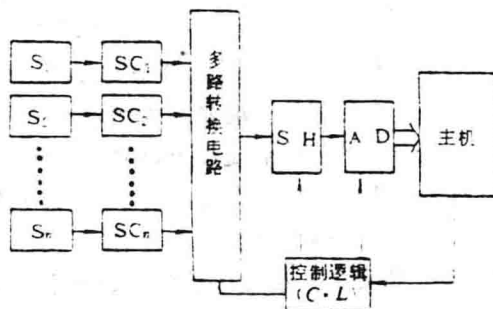


图 6-3 多路分时采集单端输入结构

(二) 多路同步采集分时输入结构

图 6-4 是多路同步采集分时输入电路,它是在图 6-3 所示结构的基础上加以改进的输入通道电路,其特点是在多路分时采集各信号通路中加一个采样/保持电路,使多路信号的采样是在同一时刻进行,实现了同步采集。然后由各自的保持器保持着采集到的数据,等待多路转换开关分时切换与共用的采样/保持和模拟/数字电路接通,输入主机。这样可消除上述结构产生的时间偏移误差。这种结构既可满足同步采集的要求,又使电路不太复杂。但是仍有不足之处,特别是对于被测信号的数目较多的系统,由于同步采得的数据在保持器中保持的时间会因转换路数多而加长,而保持器总是有一些电荷泄漏,致使信号值有所衰减。各路信号保持时间越长,其衰减量也越大。因此严格来说,这种结构虽可实现同步采样,但还不能获得同一时刻的数据。虽然这种由于保持器造成的衰减误差是极微小的,但对于高精度快速多路检测系统仍应慎重使用。

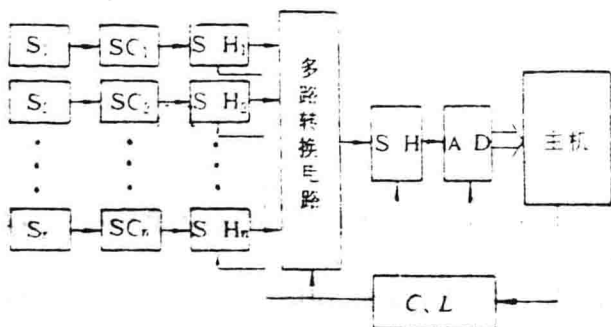


图 6-4 多路同步采集分时输入结构图

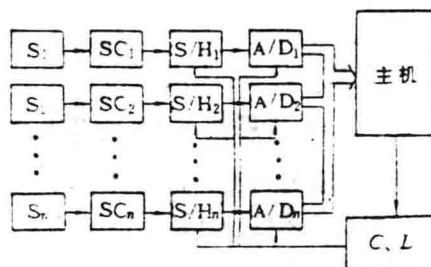


图 6-5 多路同步采集多通道输入结构图

(三) 多路同步采集多通道输入结构

这种电路的原理是由多个单通道电路并列构成多路输入结构,如图 6-5 所示。

显然,这种电路的每个被测信号从采集直到 A/D 转换都是单独完成的,各采样值在时间上,数值上均不会产生上述误差,即可以实现完全的同步采集。但这种电路结构复杂,元件数目多,成本高,因而一般仅适用于多通道高速采集检测系统和多个被测信号严格要求瞬时对应的同步采集检测系统。

二、数据输出通道的基本结构

微机检测系统中最普通的数据输出形式有三种:

- ①在 CRT 显示屏幕上显示测试结果。主机经串行通讯接口电路实现数据传输。
- ②在数码管上显示数字,由若干位数码管组成数字显示器直接显示检测结果。
- ③由打印机和绘图仪打印测试数据或绘制数据曲线、图形等。

除此之外,在微机测控系统中主计算机将检测处理结果通过模拟信号输出通道馈送到控制部件或指示仪表及记录设备,这一类输出通道的结构比上述普通输出形式的电路结构要复杂些。现就这类输出通道的基本结构分析如下:

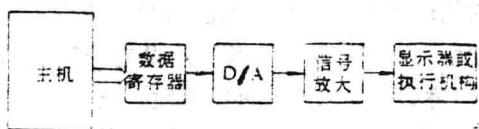
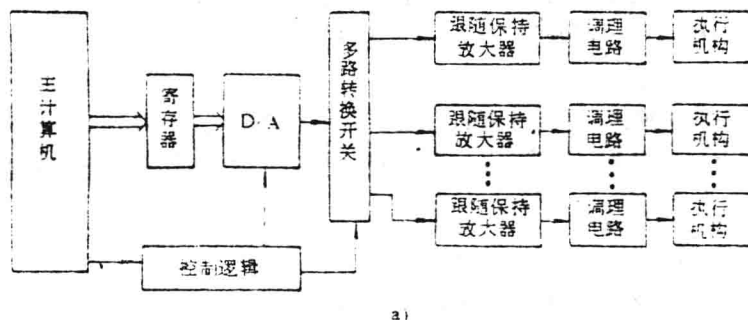


图 6-6 单通道输出电路结构图

通常测控系统的输出通道亦分为单通道



a)

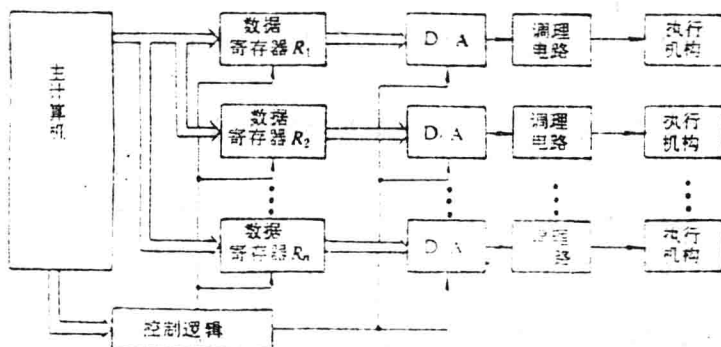


图 6-7 多通道输出电路的典型结构图

和多通道两种类型。一般单通道的输出电路应包括数据缓冲寄存器、D/A 变换和信号调理电路等基本组成部分,如图 6-6 所示。多通道的输出电路基本典型结构有两种:第一种多路分对转换输出结构;第二种多路多通道同步转换同步输出结构。如图 6-7 所示。它们都是以单通道输出电路结构为基础演变而成。

第二节 微机的 A/D 转换及 D/A 转换接口技术

在微型机检测系统中,常常需要更换大量的信息,如读入数据和输出数据等。但是微型计算机的速度是很高的,例如,常用的 8 位机(如 Z80 和 8085 等),其时钟频率为 2MHz,即每秒 50 万次。对于 16 位微型机,如 Intel8086、Z8000,其时钟频率可达 8~10MHz,即每秒 200~250 万次。但是,在工业过程中常用的外部设备,如键盘、继电器、开关、A/D 转换器等,它们改变和接受数据的能力都比较慢,有的需要几个毫秒,有的甚至需要几秒钟。因此,为了把快速的 CPU 与慢速的外设之间有机的联系起来,就需要在微型机与外部设备之间架设一“桥梁”,使二者能够很好地匹配。这种用来使微型机与外部设备交换信息的桥梁或纽带,就叫做接口。关于接口的设计,基于现代微电子学的成就,现在接口的设计不用从研究电路着手,而是全部采用大规模集成电路,做成标准通用接口。随着大规模集成电路的发展,接口芯片的集成度越来越高,功能也越来越强。如 DMA 控制器,8279 键盘/显示接口等。为了适应工业过程控制与检测需要,现在微型机配套厂家已经生产出各种各样的接口板,如 A/D、D/A 转换板,CRT 接口板,打印机接口板等。这些接口板给微型计算机检测系统的设计带来了极大的方便。

微型机测试系统的输入/输出通道的最主要外部器件是 A/D 转换器和 D/A 转换器,因此本节将以它们为讨论对象,但所涉及的接口技术诸方面的内容亦可用于其他外部设备与主机的联接。

一、微型机的总线

所谓总线,是从一块模板到另一块模板的各种信息传输的公用通道,它们是:

数据线:取决于 CPU 的位数。

地址线:取决于 CPU 寻址范围。

控制线:取决于整个系统的需要,控制线的数目及各条控制线的定义,决定了总线功能的强弱及适应性好坏。

地 线:取决于系统内部电路的分布和用法(数字地、模拟地)。

电源线:取决于系统电源种类的功率。

备用线:供用户自己定义。

总线按其功能可分为两大类:

1. 内总线

内总线也叫微型计算机总线(Microcompute Bus),或叫系统总线(System Bus),它用于微型机系统中各插件模块之间的通讯和信息传输,是应用最多的一类总线。

2. 外总线

外总线又称为通讯总线。这种总线用于各微型机系统之间或微型机与外部设备之间通

讯。目前均采用标准总线。

以上两种总线结构在微机检测系统中得到了广泛的应用。目前公布的标准总线如表 6.1 所示。

表 6.1

类别	名称	总线芯线	研制公司	发表年份	国际标准编号
内总线	S-100 总线	100	MITs 公司	1975	IEEE-696
	Multibus 多总线	146	Intel 公司	1977	IEEE-796
	Z-bus	122	Zilog 公司	1979	
	exorcise 总线	86	Motorola 公司	1977	
	VME bus	192	Motorola 公司		
	STD bus	36	pro-log 公司	1978	IEEE-961
	Apple I bus	39	Apple 公司		
	Pc-bus		IBM 公司		
	TRS-80 bus	40	Radio Shack 公司		
外总线	IEEE-488 标准总线接口	25	HP 公司	1974	IEEE-488
	RS-232C 传输线接口	25	电子工业协会	1967	EIA RS-232C
	MIL-STD-1553A		美国国防部	1975	
	MIL-STD-1555B		美国国防部	1977	

表 6.1 中,IEEE-488 总线应用于微机系统与仪器之间连接;EIA-RS232C 多用于微机与外部设备的串行异步通信。限于篇幅,下面我们只简单介绍一下 PC 总线,余者可参考其它有关参考书。

IBM-PC/XT 机为扩充其功能,准备了 8 个共用的扩展接口,接在系统的总线上,任何要扩展的设备都可通过此扩展接口与系统耦合起来。

扩展接口为 62 根接线的插座,其引脚信号如图 6-8 所示。有人把此 62 根接线标准称为 IBM-PC 总线。

图 6-8 为 62 线扩充插座的各信号引脚名称,现对各信号的含义介绍如下(所有信号均与 TTL 兼容):

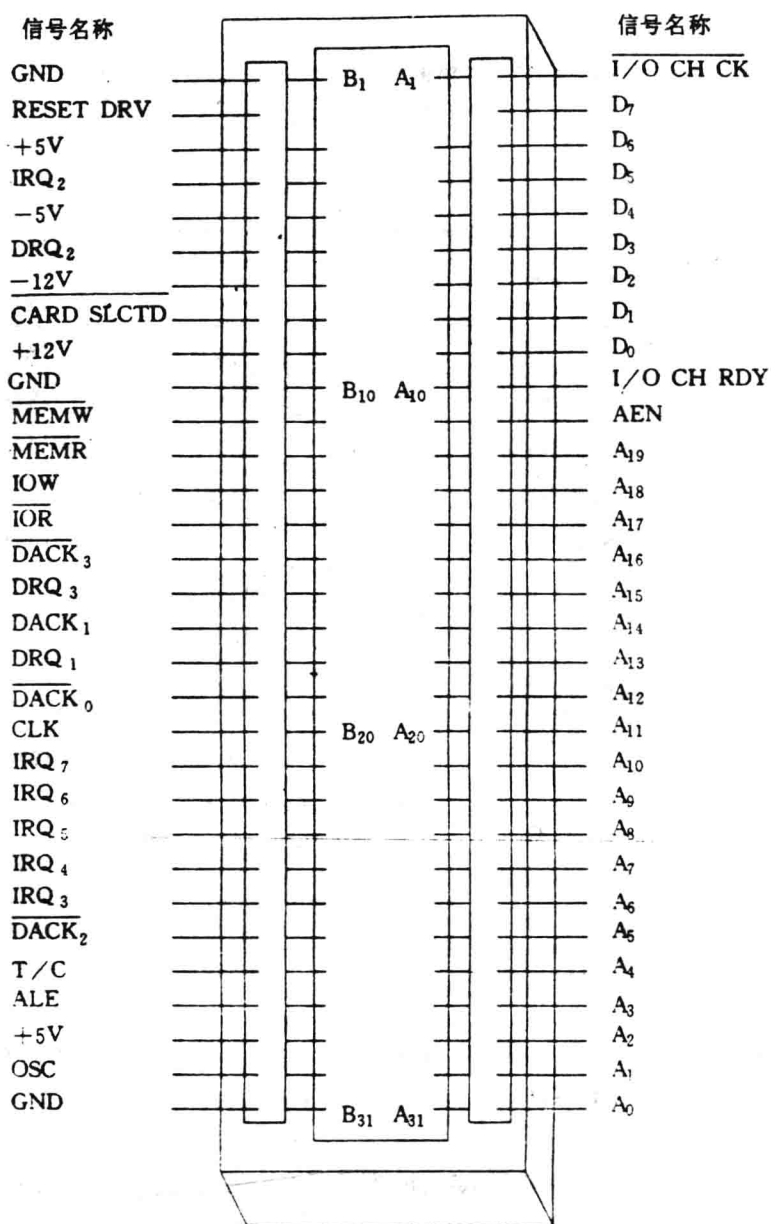


图 6-8 扩展接口插座引脚信号

信号	I/O	说明
OSC	○	振荡信号:周期为 70ns(14.31818MH+)的高速时钟信号,占空比为 50%。
CLK	○	系统时钟:由振荡信号经 3 分频而得,周期为 210ns(4.77MHz),占空比为 33%。
RESET DRV	○	在上电或掉电恢复时,该线用于复位或初始化系统逻辑。该信号在时钟信号的下降沿产生,高电平为有效。

$A_0 \sim A_{19}$	O	地址位 0 至 19: 这些信号用来对系统中的存储器与 I/O 设备寻址。20 条地址线至多允许访问 1M 字节的存储器。 A_0 为最低有效位 (LSB), A_{19} 为最高有效位 (MSB)。这些信号可由处理机产生。也可由 DMA 控制器产生。它们均在高电平时有效。
$D_0 \sim D_7$	I/O	数据位 0 至 7: 这些信号为处理机、存储器与 I/O 设备提供数据总线 0 至 7 位。 D_0 为最低有效位 (LSB), D_7 为最高有效位 (MSB)。均在高电平时有效。
ALE	O	允许地址锁存: 这个信号由 8288 总线控制提供, 用于系统板上锁存来自处理机的有效地址。它作为有效的处理机地址的标志, 用在 I/O 通道上 (当和 AEN 一起使用时), 处理机地址用 ALE 信号的下降沿锁存。
$\overline{I/O\ CH\ CK}$	I	I/O 通道检验: 该信号向处理机提供 I/O 通道上的设备或存储器的奇偶 (借) 信息。低电平时有效, 表示有奇偶错。
$I/O\ CH\ RDY$	I	I/O 通道就绪: 该信号通常为高电平 (就绪状态), 如果存储器或 I/O 设备将它拉低 (未就绪), 即可延长 I/O 或存储周期。这就可以将较低速的设备不费力地连到 I/O 通道上。任何使用这个信号的低速设备, 均应在检测出一个有效地址和一个读或写命令时, 立即将它拉低。但该信号维持在低电平状态绝不能超过 10 个时钟周期。机器周期 (I/O 或存储器) 用 CLK 周期 (210ns) 的整数倍延长。
$IRQ_2 \sim IRQ_7$	I	中断请求 2 至 7: 这些信号用来通知处理机, 某 I/O 设备请求服务。它们是有优先次序的, IRQ_2 优先级最高 IRQ_7 最低。通过抬起一条 IRQ 线 (由低变高) 而产生一个中断请求, 并且保持在高电平状态, 直到被处理机 (中断服务例程) 确认为止。
$\overline{IOR}$	O	I/O 读命令: 该命令信号指示某 I/O 设备将它的数据发送到数据总线。该信号可由处理机或 DMA 控制器产生。低电平时有效。
$\overline{IOW}$	O	I/O 写命令: 该命令信号指示某 I/O 设备读数据总线上的数据。该信号可由处理机或 DMA 控制器产生。低电平时有效。
MEMR	O	存储器读命令: 这个命令信号指示存储器将其数据发送到数据总线。本信号由处理机或 DMA 控制器产生。低电平时有效。
MEMW	O	存储器写命令: 这个命令信号指示存储器将数据总线上的数据存储起来。本信号可由处理机或 DMA 控制器产生。低电平时有效。
$DRQ_1 \sim DRQ_3$	I	DMA 请求 1 至 3: 这些信号是外围设备使用的异步通信请求, 用来获得 DMA 服务。它们是有优先次序的, DRQ_3 为最低, DRQ_1 为最高。通过将某 DRQ 线变成有效 (高) 电平而产生请求。 DRQ 线必须保持在高电平直至相应的 $DACK$ 线变为有效。
$\overline{DACK_0} \sim \overline{DACK_3}$	O	DMA 确认 0 至 3: 这些信号用来确认 DMA 请求 ($DRQ_1 \sim DRQ_3$) 和刷新系统动态存储器 ($DACK_0$)。低电平有效。
AEN	O	允许寻址: 这个信号用于禁止处理机和 I/O 通道上的其它设备开门, 以便允许进行 DMA 传输。当这条线有效 (高) 时, DMA 控制器控制

着地址总线、数据总线、读命令线(存储器与 I/O)和写命令线(存储器与 I/O)。

T/C	O	终结计数:当任一 DMA 通道的终结计数信号达到时,便在这条线上给出一个脉冲。该信号高时有效。
CARD SLCTD I		插件板选中:该信号由扩展槽 J8 上的插件板建立。它通知系统板:该插件板已被选中,并且应向系统板上相应的驱动线路指明,或者从扩展槽 J8 读出,或者向该槽写入。插座 J1 到 J8 的这个插脚被连在一起,但系统板不使用它们的信号。这个信号应由 OC 门器件驱动。
GND	I/O	接地

二、A/D 转换器与 IBM-PC 机的接口方法

A/D 转换器与 PC 机的接口,从结构上可分为两种典型结构:一种是将 A/D 转换器与 PC 总线直线相联的形式;另一种是采用并行接口电路使 A/D 和 PC 机相联的形式。在这两种典型结构中,又可有許多具体的接线方法。

(一)A/D 转换器与 PC 机总线直接联接方法

这种接口方法的特点是将 A/D 转换器的数据输出线接 D_0 至 D_n 的顺序一一对应直接挂在 PC 机的数据总线上。通常要求 A/D 芯片的输出数据线信号具有 TTL 电平和可控的互态输出功能,多数型号的 A/D 芯片都能满足直接挂总线的要求。图 6-9 列举了 IBM-PC 和 AD574A 直接联接的接口电路。

AD574A 是具有三态输出缓冲器的 12 位逐次比较型的 A/D 转换器,转换速度较快只有 $25\mu s$,内部含有与微型计算机连接的逻辑控制电路,它是目前国内外使用较多的器件之一。

它可以一次并行输出 12 位,也可以分两次输出,采用“向左对齐”的数据格式,先输出高 8 位,后输出低 4 位(末尾 4 位自动补 0)。它可以完成 12 位转换,也可完成 8 位转换。由于 AD574 功能较多,故外部 5 根控制线($\overline{CS}$ 、 $\overline{R/C}$ 、 $12/\overline{8}$ 、 A_0)和一根状态线(STS)。其中 $\overline{CS}$ 、 $\overline{CE}$ 和 $\overline{R/C}$ 实现启动转换和数据输出允许。当 $\overline{CS}=0$ 、 $\overline{CE}=1$ 和 $\overline{R/C}=0$ (读数转换启动)时,启动 A/D 进行转换,可见 AD574 是电平启动转换;当 $\overline{CS}=0$ 、 $\overline{CE}=1$ 和 $\overline{R/C}=1$ 时,读取数据。 $12/\overline{8}$ 为低电平,即接数字地线时,数据分高低两个字节输出。如果是作 12 位转换,但分离低字节两次输出数据时, A_0 就不能接死。 A_0 线有两个功能,一是用来控制转换的宽度,在转换开始以前,若置 $A_0=0$,则实行 12 位转换;若置 $A_0=1$,则进行 8 位转换。 A_0 还用来控制高、低字节的读。当 $12/\overline{8}$ 为低电平,而且 $A_0=0$ 时,读高 8 位数据; $A_0=1$ 时,读低 4 位数据,后 4 位填 4 个零。输出线 STS 表示转换状态:转换期间,STS 为高,当转换结束时,STS 变低。这五个控制端所加信号的电平状态与 AD574 所产生的操作对应关系如表 6.2 所示。

由于 AD574A 内部有三态输出锁存器,可直接与 CPU 相连,将 AD574A 的 12 条输出数据线的高 8 位接到 PC 总线的 $D_0 \sim D_7$,而把低 4 位接到数据总线的高 4 位(左对齐),分两次传送,故将 $12/\overline{8}$ 接数字地线,如图 6.9 所示。图中状态口地址为 310H,高 8 位口地址为 312H,低 4 位口地址为 313H。

用查询方式,采集 64 个数据。其数据采集程序如下:

```

MOV CX,40H      ;采集次数
MOV SI,400H     ;存放数据内存首址
START: MOV DX,312H ;12 位转换
MOV AL,0H
OUT DX,AL       ;转换启动,CS、A0 及 R/C 均置 0,CE 置 1
MOV DX,310H     ;读状态,查 STS=0?
L: IN AL,DX
AND AL,DX
JNZ L
MOV DX,312H     ;为 0,读高 8 位
IN AL,DX
MOV [SI],AL     ;送内存
INC SI          ;内存地址加 1
DEC CX          ;未完,继续
JNZ START
HLT             ;已完,暂停
```

表 6.2 AD574 的控制信号的作用

CE	CS	R/C	12/8	A ₀	AD574 的功能操作
0	×	×	×	×	不允许转换,无操作
×	1	×	×	×	未接通芯片,无操作
1	0	0	×	0	启动 1 次 12 位转换(作 12 位转换器)
1	0	0	×	1	启动 1 次 8 位转换(作 8 位转换器)
1	0	1	高电平(+5V)	×	并行输出 12 位
1	0	1	低电平(数字地线)	0	输出高 8 位数据
1	0	1	低电平(数字地线)	1	输出低 4 位数据(后跟 4 位 0)

(二)用并行接口电路联接 A/D 与 IBM-PC 的接口方法

采用可编程序并行接口芯片作为“桥梁”,将 A/D 转换器与 PC 机总线相联接是这种结构型式的典型模式。由于并行接口芯片功能较强,它不但能提供 8 位至 16 位的数据寄存器,还能提供多种位控信号作为“应答”和逻辑控制,因此这种接口型式在许多场合得到应用,特别是在 A/D 转换器和 CPU 需要异步操作时,可以把转换后的数据先存入寄存器,待主机处理完其他事务后再来读取,此对不需要程序控制的等待转换时间,提高了 CPU 的利用率。

这种结构在控制数据传送方法上可以方便地采用中断控制方法,向并行接口芯片提供一个中断请求信号,当 A/D 把转换数据送到并行接口芯片的寄存器时,即向 CPU 发出中断请求。图 6-10 是这种结构的原理方框图。

图 6-11 是应用 8255 可编程并行接口芯片将 AD0809 转换器与 PC 机联接的接口电路。参考程序是单通道 IN2 A/D 转换和显示的程序

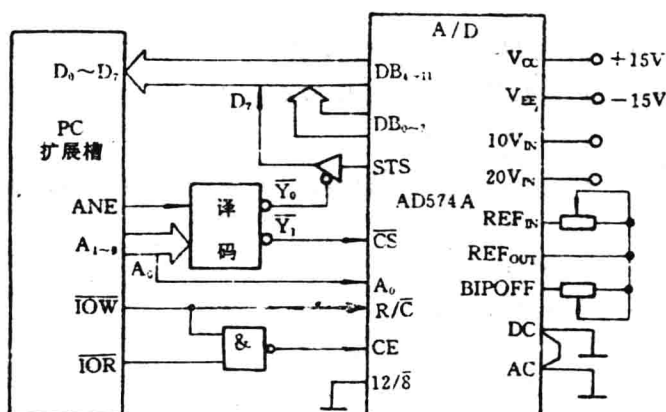


图 6.9 AD574A 与 PC 机直接相连的接口电路

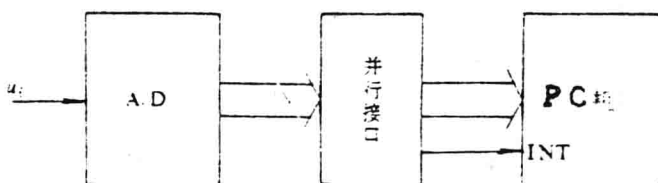


图 6-10 并行接口芯片联接 A/D 与 PC 机的原理图

```

ORG      100H
START:   MOV     AL,0B8H      ;方式“1”,A 口输入,方式“0”B 口输出
         MOV     DX,0FFFEH    ;8255 命令控制字端口地址
         OUT     DX,AL
         MOV     AL,02H       ;选 IN2 输入端
         MOV     DL,0FAH      ;8255B 口地址
         OUT     DX,AL
         MOV     DL,0F8H      ;8255A 口地址
         IN      AL,DX         ;启动 A/D 转换
GO:      MOV     DL,0FCH      ;8255C 口地址
BB:      IN      AL,DX         ;读 C 口状态
         AND     AL,20H        ;检测 IBFA 状态
         JZ      BB           ;IBFA = “0”转 BB. IBFA = “1”继续
         MOV     DL,0F8H      ;8255A 口地址
         IN      AL,DX         ;读转换结果
         MOV     AH,AL         ;保护
         AND     AL,0FH        ;屏蔽高四位

```

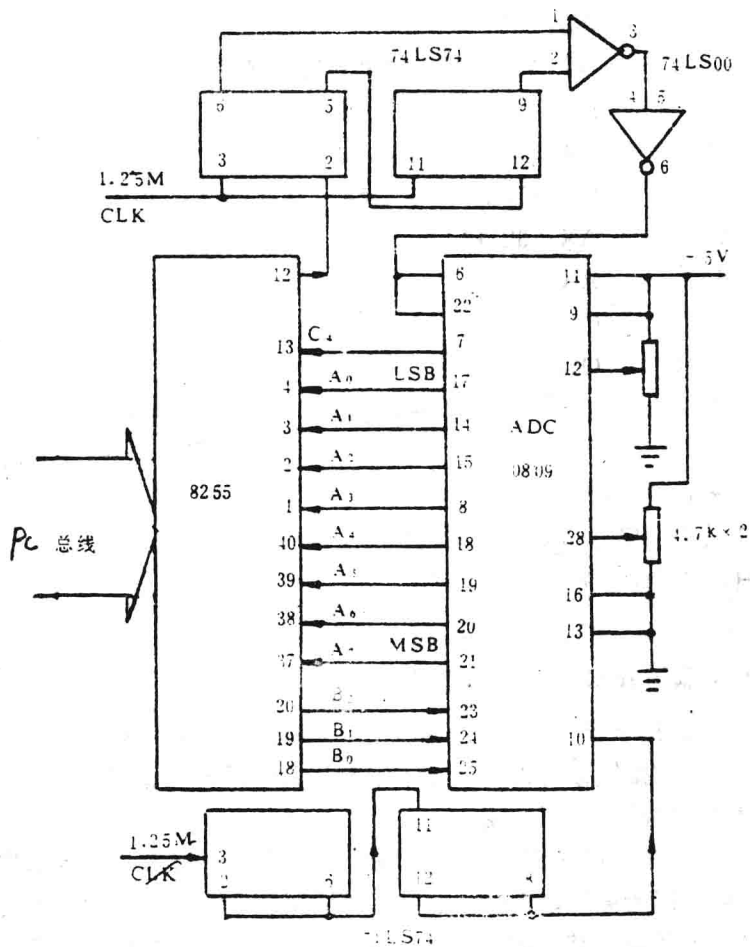


图 6-11 8255 联接 A/D 与 PC 机电路图

```

MOV     BX,200H      ;七段码表地址
XLAT    ;查表
MOV     DIS,AL
MOV     AL,AH
MOV     CL,04H
SHR     AL,CL
XLAT
MOV     DIS+1,AL
MOV     CX,02H       ;赋显示循环初值
MOV     DI,OFFSET DIS
MOV     DL,0EAH      ;8279 命令端口地址
MOV     AL,90H       ;自动增址,D0 位显示开始
OUT     DX,AL

```

```

AA:      MOV      DL,0E8H      ;8279 显示 RAM 端口地址
          MOV      AL,[DI]
          OUT      DX,AL      ;显示 A/D 转换结果
          INC      DI
          LOOP     AA
          MOV      CX,020H      ;延时
QQ:      MOV      AX,56CH
CC:      DEC      AX
          JNZ      CC
          LOOP     QQ
          JMP      GO
          HLT
          ORG      200H

DB  37H,06H,5BH,4FH,66H,6DH,7DH
DB  07H,7FH,67H,77H,7CH,39H,5EH
DB  79H,71H

```

三、D/A 转换器与 IBM-PC 机的接口方法

在微机测试或控制系统中,输入通道的 D/A 转换器与主机的接口方法通常有两种典型的结构型式:①采用数据锁存器的 D/A 接口方法。②采用并行接口电路的 D/A 接口方法。

(一)采用数据锁存器的 D/A 接口方法

输出通道与 D/A 转换器的数据线不能像输入 d 通道的 A/D 转换器那样直接挂在微处理器的数据总线上,因为微处理器输出的数据在数据总线上保持的时间大约只有一个时钟周期的时间,然后就要输送其他数据。而 D/A 转换器除需要转换时间,还需要保持一段时间,以便驱动记录设备或控制执行机构。显然总线输出数据的时间不能满足 D/A 转换器的要求,采用数据锁存器来保持数据成为一种简便的接口方法。目前已有一部分 D/A 芯片内部带有数据锁存器,它们就不必外加锁存器而直接与主机数据线相联了。另一部分 D/A 芯片内部不带锁存器(如 AD7520、AD1408、DAC0808 等),它们就必须设置。

(1)图 6.12 为 DAC0808 与 CPU 之间加锁存器的连接图。DAC0808 的内部无输入锁存器,它的数据输入端通过锁存器 74LS273 与 PC 机扩展槽总线相连,锁存器的锁存信号 CP 由 $\overline{IOW}$ 与地址译码输出线组合提供。在 CP 的上升沿,将锁存器的输入信号(ID~8D)传送到输出端,以便进行 D/A 转换;CP 电平变低时,Q 端保持 CP 上升沿到来前的状态,保证在 D/A 转换期间维持输入数据不变,以获得正确转换结果。

(2)图 6-14 为 DAC0832 与 CPU 直接连接图

首先介绍 DAC0832 的结构。DAC0832 是分辨率为 8 位的乘法型 D/A 转换器,内部带有两级缓冲寄存器,因此它能方便地用于多个 D/A 转换器并行工作的场合。它的内部结构和外部引脚如图 6-13 所示。

图中有两个独立的数据寄存器,即输入寄存器和 D/A 寄存器,因而称为双缓冲。这是它不同于其它 D/A 转换器的显著特点。在 D/A 寄存器中保持马上要转换的数据,而在输入寄

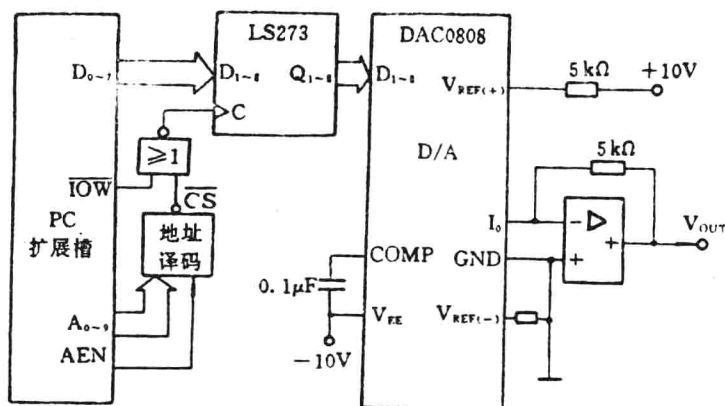


图 6-12 采用数据锁存器的 D/A 接口电路

寄存器中保存下次要转换的数据,也就是说要转换的数据先送到输入寄存器,但不进行转换。那么 CPU 是通过哪几个信号来控制这两个数据寄存器进行数据传递的呢? 由图 6-13 可以看出, $\overline{ILE}$ (输入锁存允许), $\overline{CS}$ (片选) 和 $\overline{WR}_1$ (写信号 1) 三个信号组合控制第一级缓冲。而 D/A 寄存器第二级缓冲是由 $\overline{WR}_2$ (写信号 2) 和 $\overline{XFER}$ (传递控制) 两个信号组合控制的。DAC0832 芯片在这几个信号不同组合的控制下,可实现单缓冲、比缓冲和直通三种工作状态。图中 LE 为高平时写入数据,为低电平时锁存。

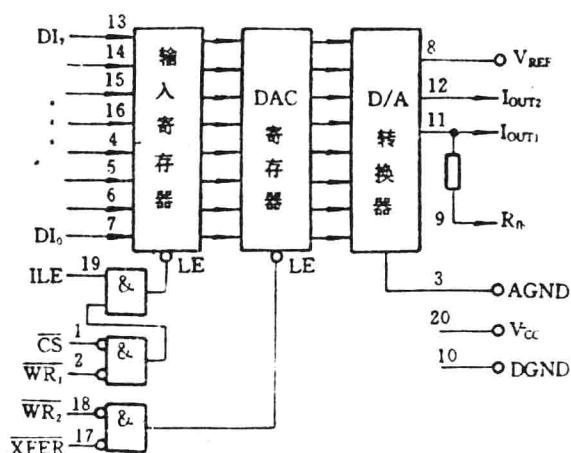


图 6-13 DAC0832 的内部结构

很明显,由于 DAC0832 内部具有两级缓冲,故当它与 CPU 连接时,可以把它的数据输入线直接挂到 CPU 的数据总线上,如图 6-14 所示。

对于 D/A 转换器的数字量位数大于 PC 机数据总线位数的情况,例如 12 位 D/A 芯片与 8 位 PC 机数据总线接口。

此时,由于需转换的数据位数比 CPU 的数据总线位数多,故在处理这个矛盾时,必须分两次送出,先送高 8 位,后送余下的低几位(称左对齐),或者相反,先送低 8 位,后送余下的高几位(称右对齐)。相应的数据口要设置两个锁存器,分别锁存高 8 位和低 8 位。其次,为了防止再次送数进行转换出现送数间隙,引起输出产生毛刺,必须同时选通存储高低两个字节的锁存器,一起送数到 DAC,进行 D/A 转换。所以 DAC 位数大于系统数据总线位数时要采用两级锁存器。

(1) 对于片内无两级输入锁存器的 DAC 要在数据总线与 DAC 数据输入端之间加两级锁存器,如图 6-15 所示。CPU 通过口 1 ($\overline{Y}_0$) 先送低 8 位到第一级锁存器 $\overline{BUF}_1$, 然后通过口 2

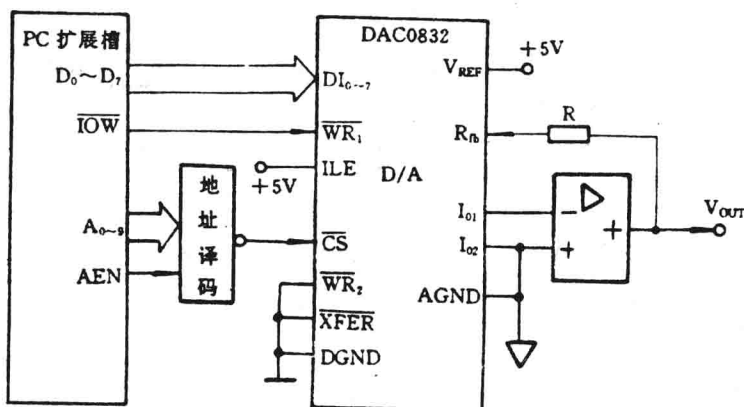


图 6-14 DAC 与 CPU 直接连接

($\overline{Y}_1$)再送高 4 位到锁存器 BUF_2 , 并且同时选通低 8 位的第二级锁存器 BUF_3 。同时将 12 位数据送到 DAC, 进行 D/A 转换。

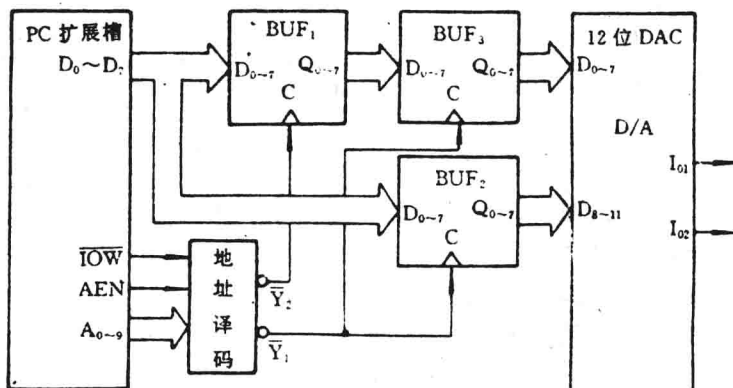


图 6-15 DAC 与 CPU 之间加两级锁存器

(2)片内有两级锁存器的 DAC 芯片,就不必外加锁存器,而直接与 CPU 相连,但数据的传送还是要分两次送。这在编写 DAC 的驱动程序中加以考虑。

例如,12 位的 DAC1210 就有两级锁存,如图 6-16 所示。

图 6-17 表示了 DAC1210 与 CPU 的连接。由于 DAC1210 片内有两级缓冲锁存电路,其控制逻辑与 CPU 兼容,故可以直接和 CPU 连接。DAC1210 输入数据线的高 8 位 $\text{DI}_{11} \sim \text{KI}_4$ 连到数据总线的 $\text{D}_7 \sim \text{D}_0$,低 4 位 $\text{DI}_3 \sim \text{DI}_0$ 接到数据总线的 $\text{D}_7 \sim \text{D}_4$, (左对齐)。高/低字节控制信号 $\text{BYTE}_1, \sqrt{\text{BYTE}_2}$ 的口地址以及第二级缓存锁存器选通信号 XFER 的口地址,分别为 340H, 241H 和 342H,由地址译码器提供。写选通 WR_1 和 WR_2 直接连到系统的 IOW 线上,而 CS 接地。

一个数据送出进行转换的过程是:当译码输出 $\overline{Y}_0 = 0$, 且 IOW 有效时,使引脚 $\text{BYTE}_1 /$