

F P G A 应 用 技 术 丛 书

Xilinx PlanAhead

应用详解

刘东华 编著



電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

FPGA 应用技术丛书

Xilinx PlanAhead

应用详解

刘东华 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

PlanAhead工具软件是Xilinx FPGA开发应用的主要软件工具,是用于硬件描述代码完成后进行综合、实现、优化和引脚布局、资源统计等的集成软件工具。本书以V12.2版本的PlanAhead工具软件为基础,详细介绍其功能、特点和使用方法,并通过实例说明PlanAhead工具软件在实现FPGA工程设计管理、RTL设计、网表综合和实现、I/O规划、芯片布局、调试验证、资源和性能分析等FPGA设计过程的应用,使读者能够全面了解和掌握PlanAhead工具软件的使用,并能够据此设计出资源使用合理、综合频率较高的实用化设计方案。

本书可以作为FPGA设计工程师、系统验证工程师、FPGA第三方IP开发工程师、从事相关技术研究和产品开发的科研和工程技术人员,以及希望了解和掌握FPGA技术的科研人员的参考书和学习手册。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Xilinx PlanAhead 应用详解 / 刘东华编著. —北京: 电子工业出版社, 2014.5
(FPGA 应用技术丛书)

ISBN 978-7-121-23088-2

I. ①X… II. ①刘… III. ①可编程序逻辑器件 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2014) 第 084756 号

责任编辑: 田宏峰 特约编辑: 牛雪峰

印 刷: 三河市鑫金马印装有限公司

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 25.25 字数: 645 千字

印 次: 2014 年 5 月第 1 次印刷

印 数: 3 000 册 定价: 79.00 元



凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前言

Xilinx PlanAhead 工具软件提供从 RTL 到比特流的完整设计流程管理功能,使用该工具软件可以查看实现和时序结果,分析关键逻辑,并且利用布局规划、约束修改和多种实现工具选项进行有针对性的决策,从而提升 FPGA 设计性能。PlanAhead 工具软件具有大量的设计探索与分析特性功能,能够帮助设计者在 RTL 编码和综合与实现之间实现均衡和折中。通过整合 ISE 工程导航器,PlanAhead 工具软件扩展了逻辑设计流程方法,使得通过布局规划、多个实现进程、层次化探索、快速时序分析和基于模块的实现来发挥设计的最大优势。

本书专门介绍应用 PlanAhead 工具软件进行 FPGA 设计和分析的方法,全书共 12 章,各章内容编排如下。

第 1 章简要介绍 PlanAhead 工具软件的功能特点和设计流程,说明在 ISE 工程导航器环境启动 PlanAhead 工具软件辅助 FPGA 设计实现的方法,并简要解释了在 PlanAhead 工具软件说明中使用的主要术语。

第 2 章主要介绍 PlanAhead 工具软件的集成开发环境,包括主菜单、主工具条、设计流导航工具、工作空间/主视图区域、消息显示和 Tcl 控制台等方面的内容。

第 3 章列举 PlanAhead 工具软件提供的各类常用视图,重点分析图形视图和树形列表视图的特点和视图互操作功能。

第 4 章重点介绍基于不同源文件创建 PlanAhead 工程的方法、PlanAhead 工程管理和设置的方法,最后解释 PlanAhead 设计工程的输入和输出文件的格式和作用。

第 5 章主要介绍基于 RTL 源的 PlanAhead 工程,包括源文件编辑和管理、细化和分析 RTL 设计的方法,以及进行功耗估计和运行 RTL DRC 的方法,对 PlanAhead 工具软件的执行结果进行分析。

第 6 章重点介绍 FPGA 综合设计和网表分析方法,给出设计综合的方法、设置、监视和运行设计的内容;然后重点说明网表分析方法,包括查看和报告资源统计、逻辑分析、约束定义,以及网表和约束 DRC 检查等方面的内容。

第 7 章以 FPGA I/O 规划为主要内容,介绍 I/O 规划的方法和步骤,包括查看芯片资源、定义兼容芯片和设置芯片配置、定义和配置 I/O 端口、I/O 端口和时钟逻辑指定等内容,并通过具体实例说明使用 PlanAhead 工具软件进行 FPGA I/O 规划的方法和步骤。

第 8 章重点分析使用 PlanAhead 工具软件实现设计和分析实现结果的方法。在实现设计方面,介绍运行设计、监视和判断运行状态、启动和管理多个运行等方面的内容;在实现结果分析方面,重点介绍打开实现设计、导入 ISE 实现结果、分析布局和时序结果、逻辑连接、锁定布局和启动其他测试评估工具的方法。

第 9 章以布局设计为主要内容,重点介绍物理块(Pblock)的概念,以及创建各种类型 Pblock、查看 Pblock 属性、配置和调整 Pblock 的方法,并对布局 LOC 约束的方法进行说明,最后介绍布局设计与 ISE 的接口。

第 10 章介绍使用 PlanAhead 工具软件进行编程和调试设计的方法，包括在设计实现的基础上用 BitGen 工具生成比特流文件的方法，以及用 ChipScope 逻辑分析仪调试设计的方法。

第 11 章介绍 FPGA 的分层设计技术，包括使用 PlanAhead 工具软件实现设计划分和设计保留来加快实现设计速度和提高设计性能的方法，并通过具体实例说明了分层设计的步骤和好处。

第 12 章主要介绍 PlanAhead Tcl 脚本和命令，简要说明 Tcl 语法和常用的 Tcl 命令。

本书详尽介绍 PlanAhead 工具软件的功能特点，以及在 FPGA 开发验证过程中如何通过使用 PlanAhead 工具软件实现设计和改善设计性能的方法，编写过程中参考了 Xilinx 公司官方网站 (<http://www.xilinx.com>) 提供的软件说明和数据手册等英文资料，在此表示感谢。

参与本书编写的还有梁光明、向良军、胡耀华、刘丽华、刘祎斌、吕文龙、刘军发、敖宇、王月磊、蔺吉顺、马新军、张绘国等。

还要感谢电子工业出版社和本书的责任编辑田宏峰老师，在田老师的大力支持和帮助下本书才得以与广大读者见面。

由于作者水平有限，错误遗漏之处在所难免，恳请各位读者批评指正。同时也欢迎大家就 FPGA 开发相关技术与作者交流，联系邮箱：ldh_1976@163.com。

刘东华

2014 年 4 月

目录 Contents

第 1 章	概述	1
1.1	PlanAhead 简介	2
1.1.1	PlanAhead 工具软件的功能特点	2
1.1.2	PlanAhead 工具软件的启动	3
1.1.3	PlanAhead 设计流程	7
1.1.4	使用模式	10
1.2	ISE 与 PlanAhead 的交互	11
1.2.1	工具软件集成	11
1.2.2	在 ISE 中启动 PlanAhead 工具软件	12
1.3	PlanAhead 术语	18
第 2 章	PlanAhead 集成开发环境	21
2.1	主菜单	22
2.1.1	File 菜单	23
2.1.2	Edit 菜单	27
2.1.3	View 菜单	30
2.1.4	Flow 菜单	31
2.1.5	Tool 菜单	34
2.1.6	Windows 菜单	48
2.1.7	Select 菜单	56
2.1.8	Layout 菜单	57
2.1.9	Help 菜单	57
2.2	主工具条	58
2.3	设计流导航工具	58
2.3.1	基于 RTL 源的设计流导航	59
2.3.2	基于综合网表工程的设计流导航	60
2.3.3	从设计流导航启动命令	61
2.3.4	设计流导航工具的使用	62
2.4	主视图区域	66
2.5	状态栏	68
2.6	消息视图和 Tcl 控制台	69
2.6.1	消息视图	69
2.6.2	Tcl 控制台	70
2.7	信息栏	71

第 3 章 常用视图及操作	73
3.1 视图操作	74
3.1.1 打开视图	74
3.1.2 视图导航	74
3.1.3 移动视图	75
3.2 图形化视图	75
3.3 树形列表视图	79
3.4 视图对象操作	81
3.5 常用视图	86
3.5.1 源视图	86
3.5.2 芯片视图	89
3.5.3 封装视图	94
3.5.4 原理图视图	96
3.5.5 属性视图	100
3.5.6 网表视图	103
3.5.7 层次视图	105
3.5.8 I/O 端口视图	106
3.5.9 封装引脚视图	108
3.5.10 设计运行视图	109
3.6 文本编辑器	111
第 4 章 PlanAhead 工程设计	115
4.1 创建新工程	116
4.1.1 新建工程向导	116
4.1.2 基于 RTL 源文件创建工程	117
4.1.3 基于综合网表创建工程	123
4.1.4 创建 I/O 引脚规划工程	124
4.1.5 导入 ISE 布局布线结果	125
4.2 工程管理	126
4.2.1 RTL 源文件管理	126
4.2.2 约束管理	129
4.2.3 IP 核管理	132
4.3 工程概要信息	136
4.4 配置工程设置	140
4.5 输入和输出文件	143
4.5.1 输入文件	143
4.5.2 输出文件	148
第 5 章 RTL 设计	167
5.1 设计源文件管理	168
5.2 编辑 RTL 源文件	168

5.3	细化和分析 RTL 设计	168
5.3.1	细化 RTL 设计	169
5.3.2	资源估计	170
5.4	功耗估计	175
5.5	RTL 设计规则检查 (DRC)	177
第 6 章	综合设计	181
6.1	设计综合	182
6.1.1	综合的方法	182
6.1.2	运行综合	183
6.1.3	监视综合运行	186
6.1.4	选择综合后的操作	187
6.1.5	分析综合结果	187
6.1.6	启动多个运行	188
6.1.7	管理多个运行	190
6.2	网表分析	194
6.2.1	网表设计环境	194
6.2.2	查看和报告资源统计	195
6.2.3	逻辑分析	197
6.2.4	插入 ChipScope 调试 IP 核	199
6.3	约束定义	200
6.3.1	定义时序约束	200
6.3.2	运行时序分析	203
6.3.3	延时直方图	211
6.4	网表和约束 DRC	215
第 7 章	I/O 引脚规划	219
7.1	I/O 规划概述	220
7.2	芯片资源查看	224
7.3	定义兼容芯片和设置芯片配置模式	227
7.4	定义和配置 I/O 端口	228
7.5	指定 I/O 端口	234
7.6	检查 I/O 和时钟逻辑指定	240
7.7	其他 I/O 操作	246
7.8	引脚规划实例	247
第 8 章	实现设计	269
8.1	实现设计	270
8.1.1	运行设计	270
8.1.2	监视运行状态	280
8.1.3	判断工程状态	281

8.1.4	选择实现后的操作	282
8.1.5	分析运行结果	282
8.1.6	启动多个运行	284
8.1.7	管理多个运行	286
8.2	分析实现结果	291
8.2.1	打开实现的设计	291
8.2.2	导入 ISE 结果	292
8.2.3	分析布局和时序结果	294
8.2.4	分析逻辑连接	296
8.2.5	高亮显示和标记对象	298
8.2.6	锁定布局	300
8.2.7	显示设计度量	301
8.2.8	启动 XPower 分析器	303
8.2.9	交叉探测时序路径	304
第 9 章	布局设计	305
9.1	Pblock	306
9.2	Pblock 的配置	318
9.3	布局 LOC 约束的使用	326
9.4	与 ISE 的接口	334
第 10 章	编程和调试设计	337
10.1	生成比特流	338
10.1.1	BitGen	338
10.1.2	在 PlanAhead 中使用 BitGen	340
10.2	用 ChipScope 调试设计	342
10.3	启动 ChipScope Pro 分析仪	352
10.4	启动 iMPACT	353
第 11 章	分层设计技术	355
11.1	PlanAhead 和 ISE 的功能理解	356
11.2	使用 PlanAhead 进行设计保留	356
11.3	分层设计实例	361
第 12 章	Tcl 脚本和命令	377
12.1	PlanAhead 工具软件的 Tcl 功能	378
12.2	启动 PlanAhead 软件	379
12.3	常用的 Tcl 语法	379
12.4	第一类 Tcl 对象和关系	381
12.5	出错、警告和信息消息	384
12.6	Tcl 命令	384
	参考文献	395



第 1 章

概 述

- 1.1 PlanAhead简介
- 1.2 ISE与PlanAhead的交互
- 1.3 PlanAhead术语

1.1 PlanAhead 简介

Xilinx PlanAhead 工具软件是在 FPGA 设计和实现过程中使用的设计工具，与 Xilinx ISE 综合和实现工具、CORE IP 核生成工具、ChipScope 调试工具、XPower 分析工具、FPGA 编辑器，以及 iMPACT 设备编程工具等集成在一起，提供完整的 FPGA 设计实现集成开发环境。

可以在 PlanAhead 工具软件中定义和分析 FPGA 设计中的 RTL 源、综合网表，以及实现结果，优化和改进电路性能。在 PlanAhead 工具软件中可以选择不同的实现选项、重新定义时序约束，以及定义芯片引脚布局约束等，同时还可以对资源使用情况、交叉互联延时、功耗以及布局布线等进行估计，辅助优化逻辑设计、芯片选择和引脚指定。

PlanAhead 工具软件包括层次化的数据模型，支持增量设计功能，称为“设计保留”。通过划分设计，可以保留不需要改变的部分设计，从而有效减小设计运行和评估时间。另外，在有授权许可的条件下，PlanAhead 工具软件允许进行设计应用的部分重配置。

PlanAhead 工具软件可以作为独立软件启动，也可以在 ISE 工程导航软件中启动。作为独立软件使用时，其全部特性都可用；在 ISE 工程导航软件中启动时（ISE 集成模式），只有指定部分属性可用。

1.1.1 PlanAhead 工具软件的功能特点

使用 PlanAhead 工具软件可以实现如下功能。

- 管理从 RTL 开发到比特流生成的整个设计数据流。
- 使用细化的 RTL 网表实现 RTL 设计和分析。
- 使用 ISE 集成的 CORE IP 核生成工具定制和实现 IP 核。
- 配置和同时启动多个综合和实现运行。
- 实现 I/O 引脚规划。
- 管理约束和实现片上逻辑布局。
- 估计资源使用、时序和功耗。
- 实现设计规则检查（DRC）。
- 实现调试核插入并用 ChipScope 工具调试设计。
- 使用 iMPACT 工具实现芯片配置和文件生成。
- 分析实现结果。
- 启动编程和设计验证工具。

PlanAhead 工具软件提供了许多创建和管理 FPGA 设计的选项，可以针对设计创建不同的约束集。应用其 RTL 设计环境可以创建和管理 RTL 设计文件，使用集成的 CORE IP 核生成工具可以定制和实现 IP，可以进行 RTL 逻辑分析、查看 RTL 原理图等，并提供一系列的 RTL DRC，以及基于 RTL 的资源 and 功耗估计功能。PlanAhead 工具软件还支持使用不同物理或时序约束定义多个综合和实现运行。通过选择不同的工具选项可以实现完整的布线和满足时序要求，综合和实现的执行可以顺序进行，也可以同时运行（需要 PlanAhead 工具软件安装在有多处理器或多核处理器的计算机上）。

使用 PlanAhead 工具软件可以分析设计过程每个阶段的资源、时序、功耗等,通过 DRC 检查功能辅助进行芯片选择、约束设计,以及为达到设计要求而设置的综合和实现选项。在完成设计实现前后,都可以启动 FPGA 编辑器和 XPower 分析工具查看实现的细节信息,PlanAhead 工具软件通过分析综合网表设计和实现设计结果来提供这些信息。

PlanAhead 工具软件还提供了 I/O 引脚规划功能,用以定义和分析芯片 I/O 要求,并支持创建和指定 I/O 端口到物理封装引脚的功能。使用 PlanAhead 工具软件可以定义满足印制电路板(PCB)和 FPGA 设计要求的 I/O 引脚配置,它提供的逻辑布局功能可以实现对相关逻辑的分组和限制,以确保逻辑互连部分的布线尽可能短,达到减小延时、实现更高设计频率的目的。另外,PlanAhead 工具软件还支持创建限制逻辑位置的物理块(Pblock)和锁定独立逻辑对象等功能。

PlanAhead 工具软件支持与 Xilinx ChipScope 调试工具的集成,通过插入调试核可以进行 FPGA 逻辑设计调试和验证。在实现完成后,可以生成比特流文件并在 PlanAhead 工具软件中启动 iMPACT 和 ChipScope 分析工具。

PlanAhead 工具软件还提供了高级的层次化设计属性,支持设计保留和部分重配置等功能。另外,PlanAhead 工具软件支持 Tcl 命令和批处理模式、多种输入和输出文件类型,以及多 Linux 主机配置等。

PlanAhead 工具软件集成在 Xilinx ISE 集成开发环境中,通过工程导航改善整个设计流的设计结果。在 ISE 中处理设计的以下几个阶段可以自动启动 PlanAhead 工具软件。

- 综合前 (Pre-synthesis): 启动 I/O 引脚规划。
- 综合后 (Post-synthesis): 启动 I/O 引脚规划和芯片面积/IO/逻辑布局。
- 实现后 (Post-implementation): 分析时序和设计逻辑布局。

1.1.2 PlanAhead 工具软件的启动

使用如下几种方法可以启动 PlanAhead 工具软件。

(1) 在安装了 ISE 软件后,在桌面上会自动添加 PlanAhead 工具软件快捷图标,通过双击桌面图标可以启动 PlanAhead 工具软件。

(2) 在 Windows 环境中选择“开始”→“Xilinx ISE Design Suite xx.x”→“PlanAhead”→“PlanAhead”命令项启动 PlanAhead 工具软件(其中 xx.x 为 ISE 版本号)。

(3) 在 ISE 软件安装路径子目录“..\Xilinx\xx.x\ISE_DS\PlanAhead\bin\unwrapped\win32.o\”或“..\Xilinx\xx.x\ISE_DS\PlanAhead\bin\unwrapped\win64.o\”中找到 pahead.exe 文件并双击,也可以启动 PlanAhead 工具软件(其中 xx.x 为 ISE 版本号)。

(4) 在 DOS 命令窗口中通过 DOS 命令可以启动 PlanAhead 工具软件。

(5) 在 ISE 工程导航软件中,综合前进行 I/O 引脚规划、综合后进行 I/O 引脚规划和芯片面积/IO/逻辑布局,以及实现后分析时序和逻辑布局设计时都会自动启动 PlanAhead 工具软件。

本书以版本号为 12.2 的 PlanAhead 工具软件为例进行介绍。

PlanAhead 工具软件的启动页面如图 1.1.1 所示。

启动的同时还打开记录 PlanAhead 工具软件启动过程的 DOS 命令窗口,显示启动信息如图 1.1.2 所示。

图 1.1.1 所示的 PlanAhead 工具软件启动页面辅助创建和打开设计工程和查看帮助文档，该页面在启动 PlanAhead 工具软件时显示，在关闭所有工程时也显示启动页面。在启动页面中给出了 8 个超链接选项，单击有蓝色下划线的链接可以启动指定的命令或查看文档。启动页面给出的选项如下所述。

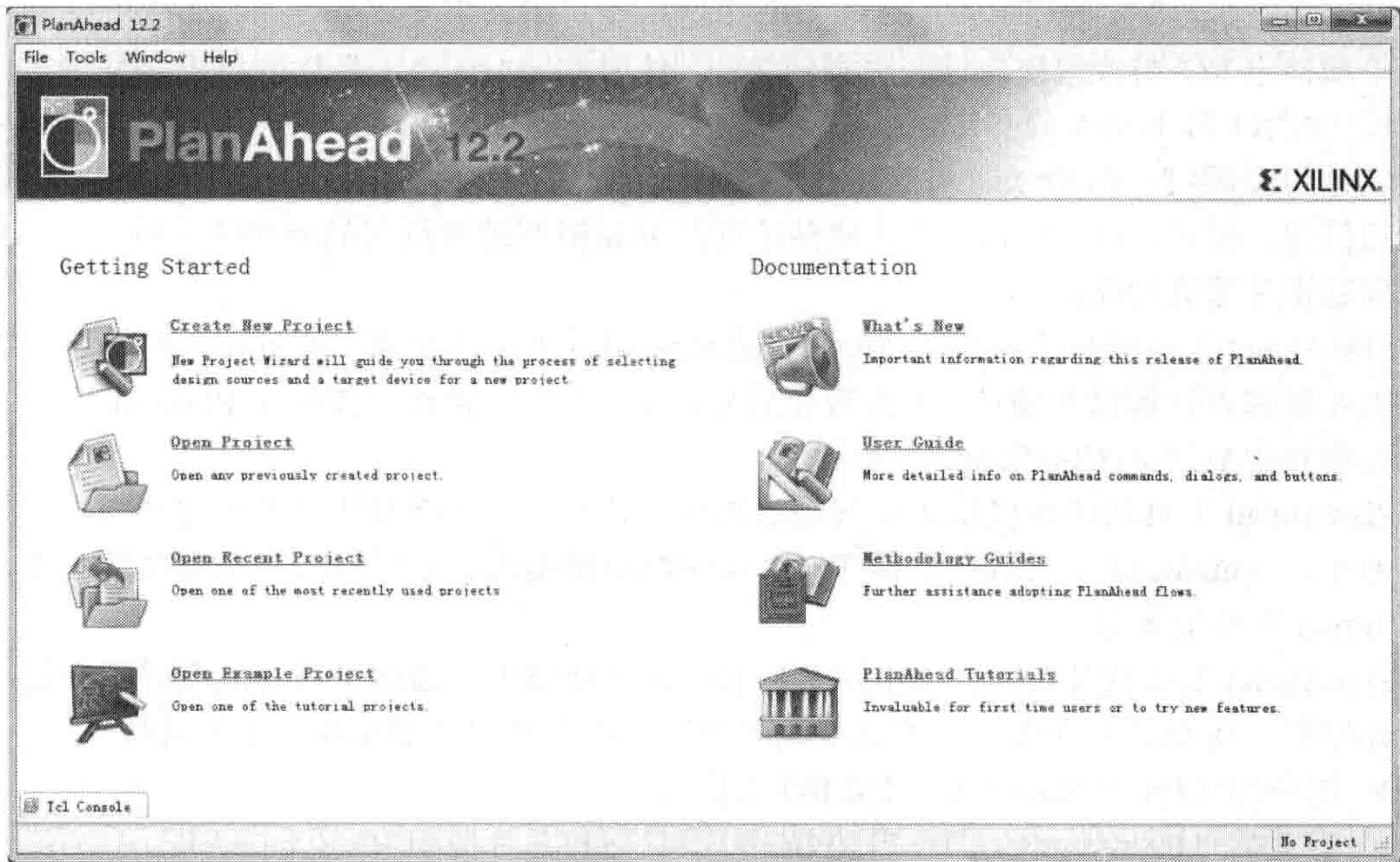


图 1.1.1 PlanAhead 工具软件的启动页面

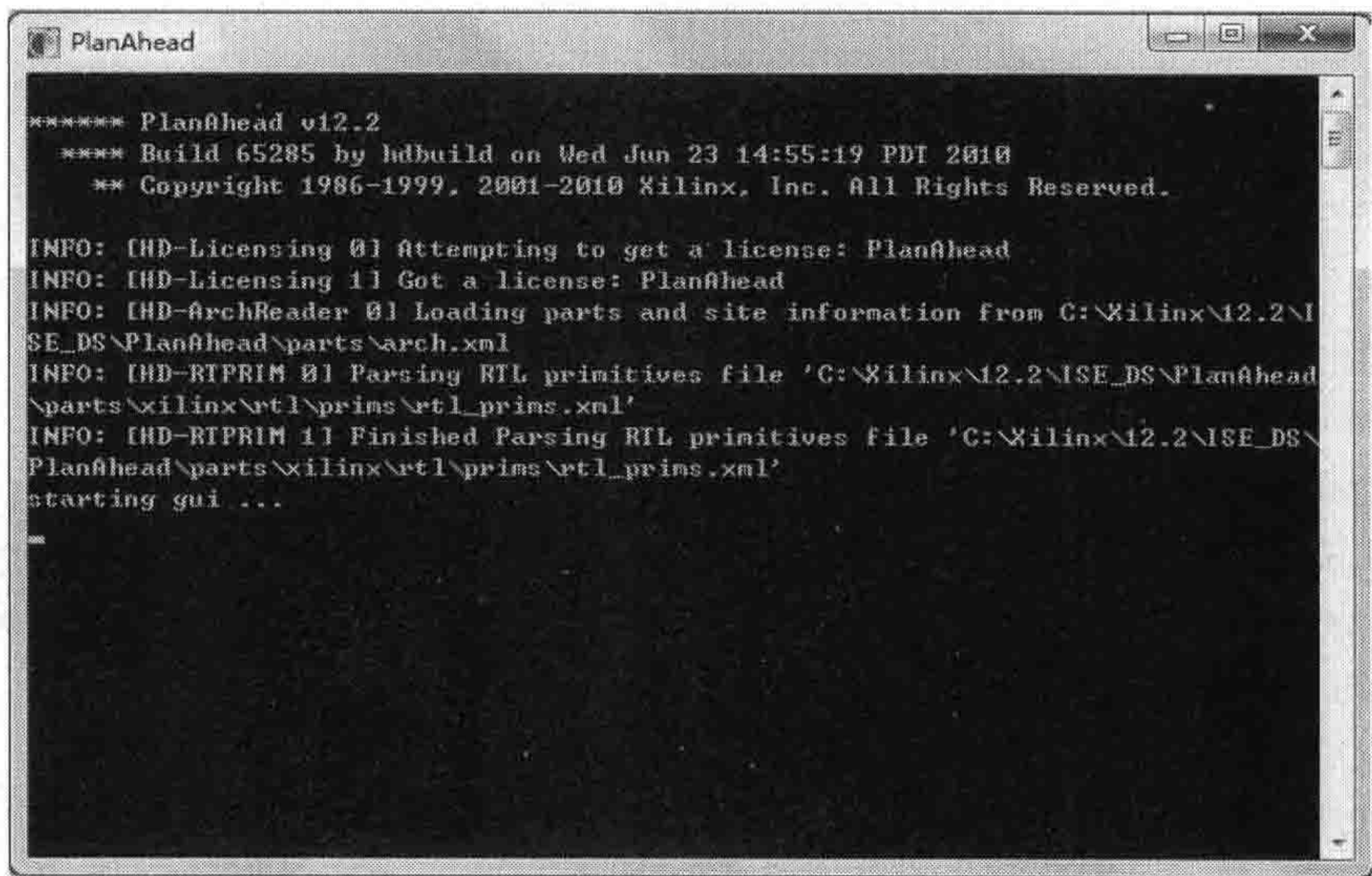


图 1.1.2 PlanAhead 工具软件启动时的 DOS 命令窗口

- (1) 创建新工程（Create New Project）：启动创建不同类型 PlanAhead 工程的新工程向导，单击该链接时打开的对话框如图 1.1.3 所示。
- (2) 打开工程（Open Project）：打开浏览对话框，用于选择打开已经存在的 PlanAhead 工程，PlanAhead 工程文件的后缀名为“.ppr”。单击该链接时打开如图 1.1.4 所示对话框。

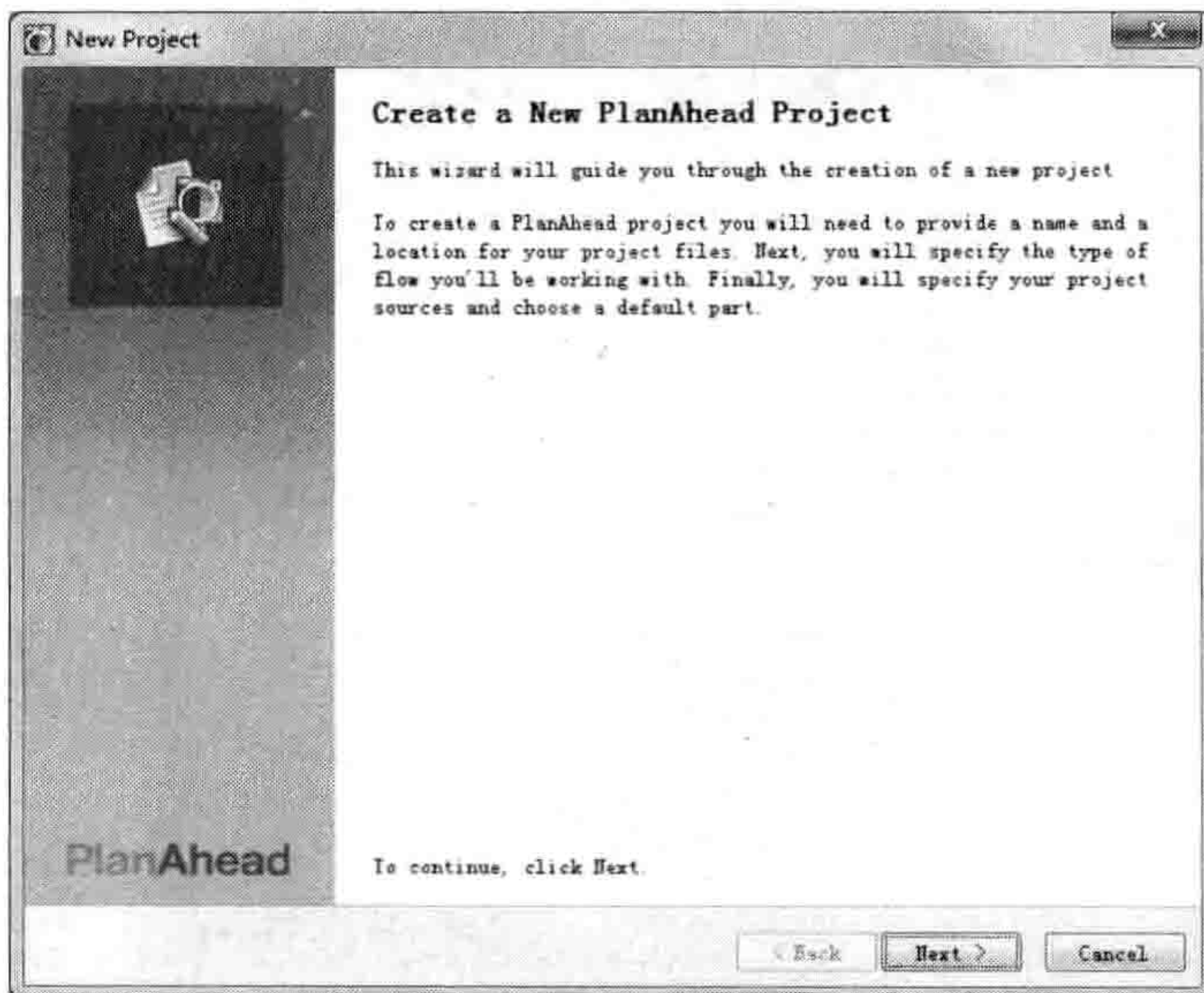


图 1.1.3 启动新工程向导

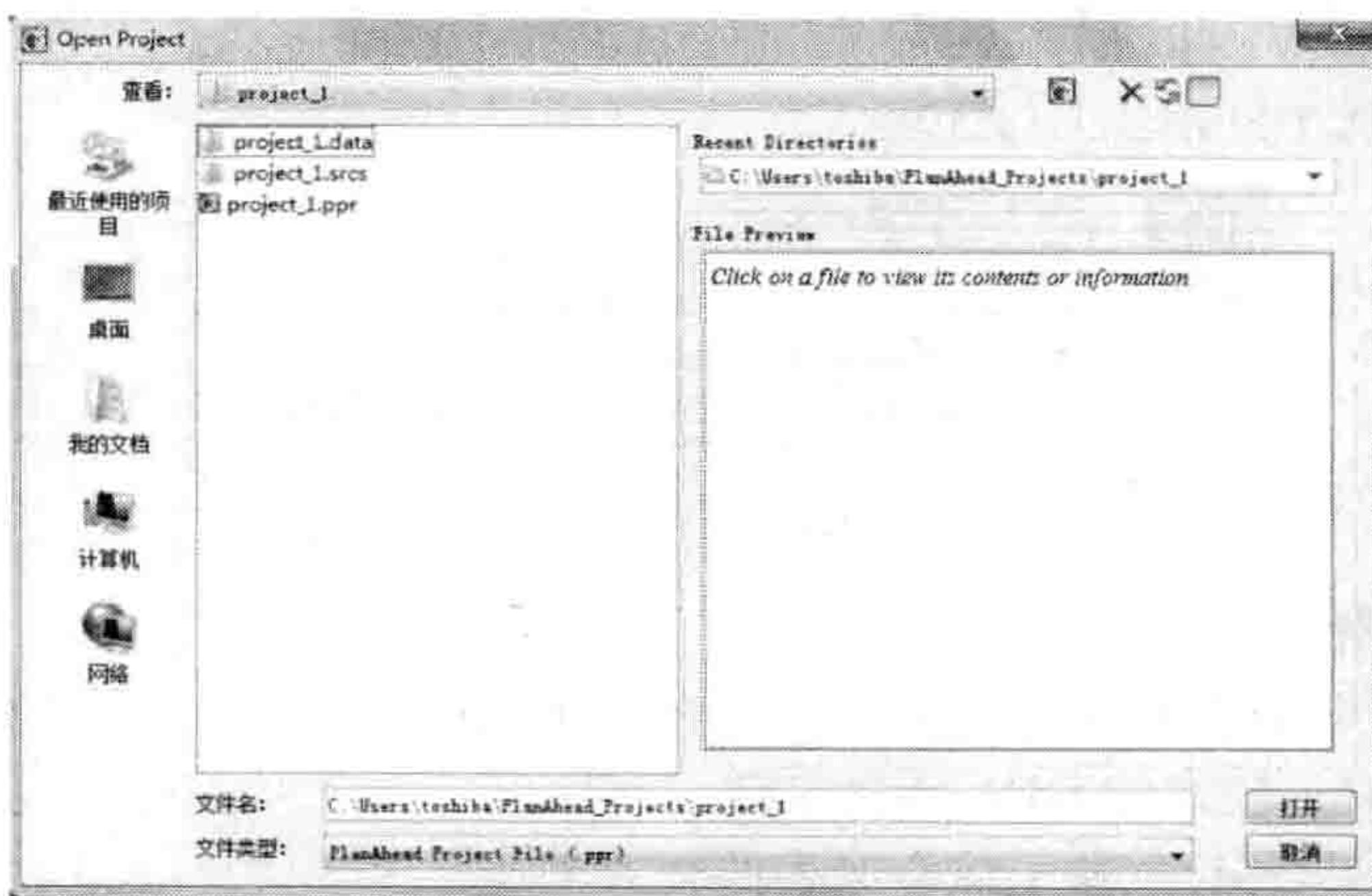


图 1.1.4 打开 PlanAhead 工程

可以在“文件类型 (File Type)”下拉列表中选择“所有文件 (All Files)”，显示非“.ppr”后缀的文件，例如网表文件 (*.ngc) 等。

(3) 打开最近的工程 (Open Recent Project)：显示最近打开过的 PlanAhead 工程路径和工程名称，单击该链接时页面显示如图 1.1.5 所示。

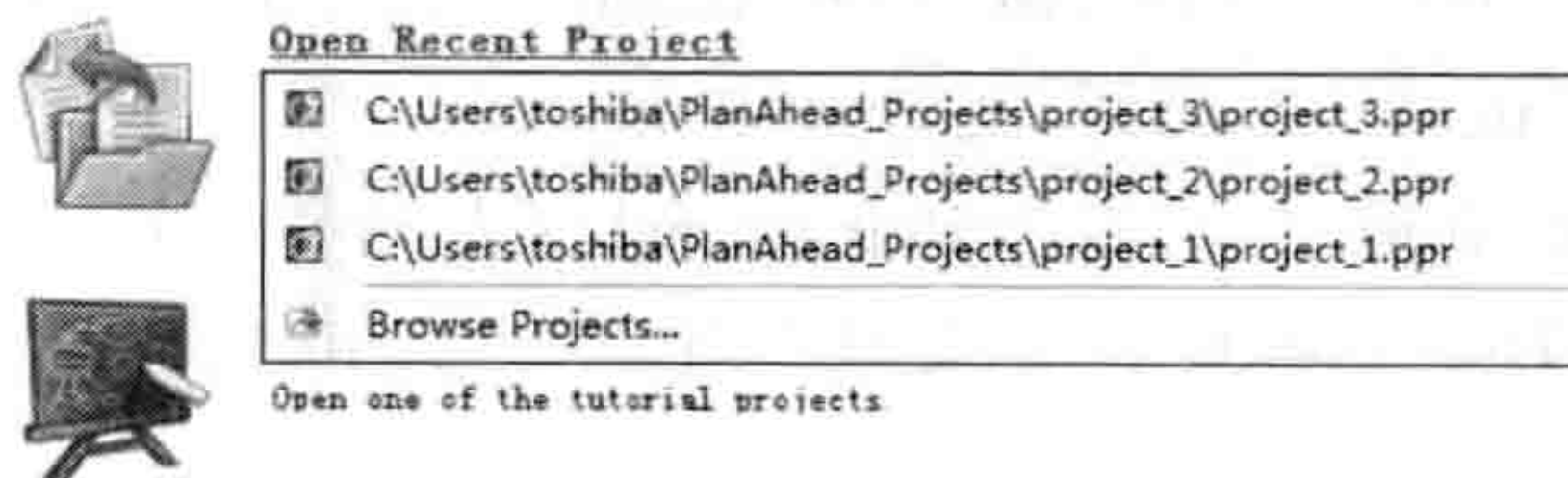


图 1.1.5 显示最近打开过的 PlanAhead 工程

默认显示最近打开过的 10 个工程，可以图 1.1.1 所示启动页面上选择菜单的“Tools”→“Options”命令，在打开的对话框中（如图 1.1.6 所示）上单击“通用 (General)”图标后设置显示最近打开的工程数。

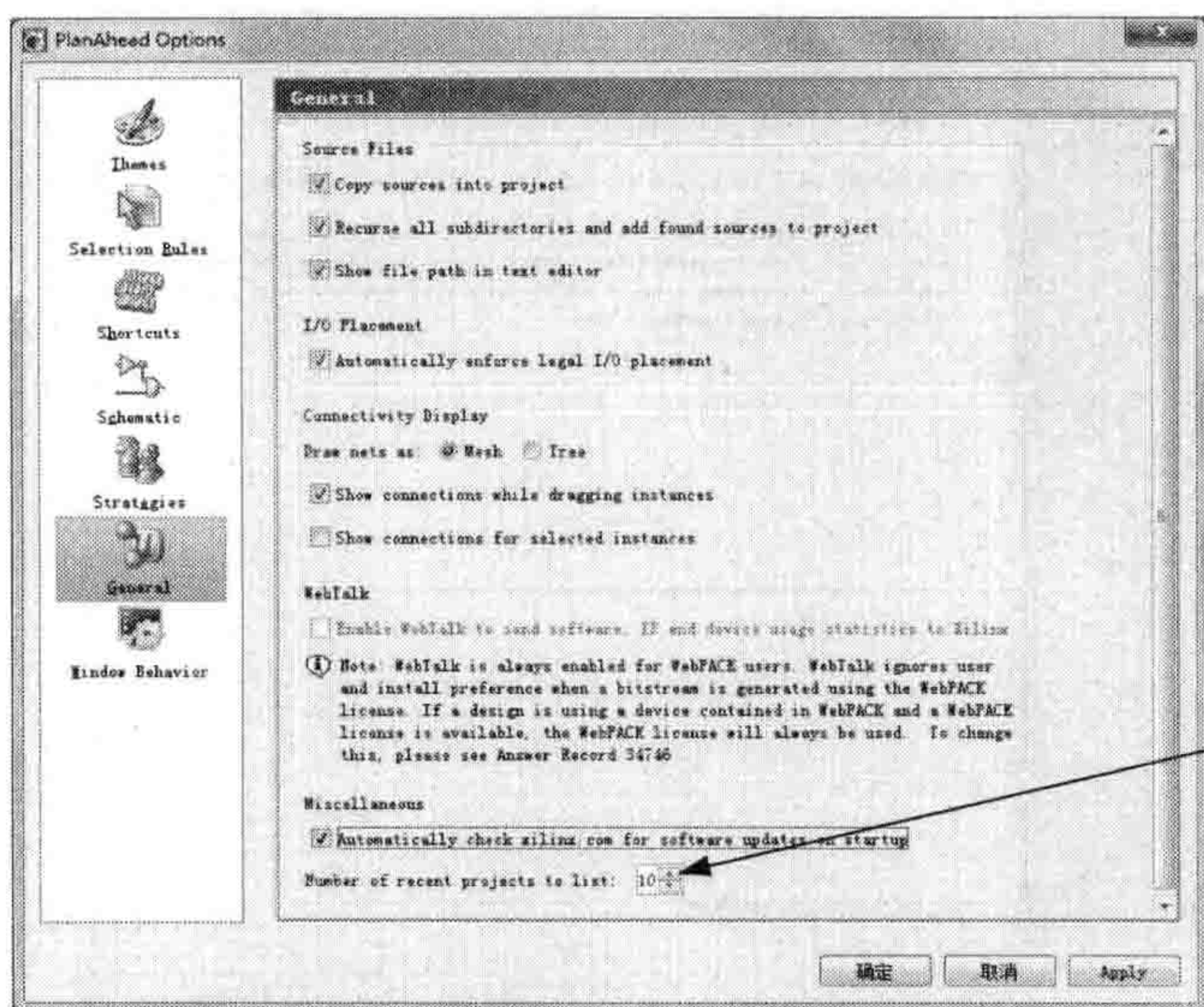


图 1.1.6 设置显示的工程数

(4) 打开示例工程 (Open Example Project)：PlanAhead 工具软件提供了 4 个示例工程，单击该链接时页面显示如图 1.1.7 所示。

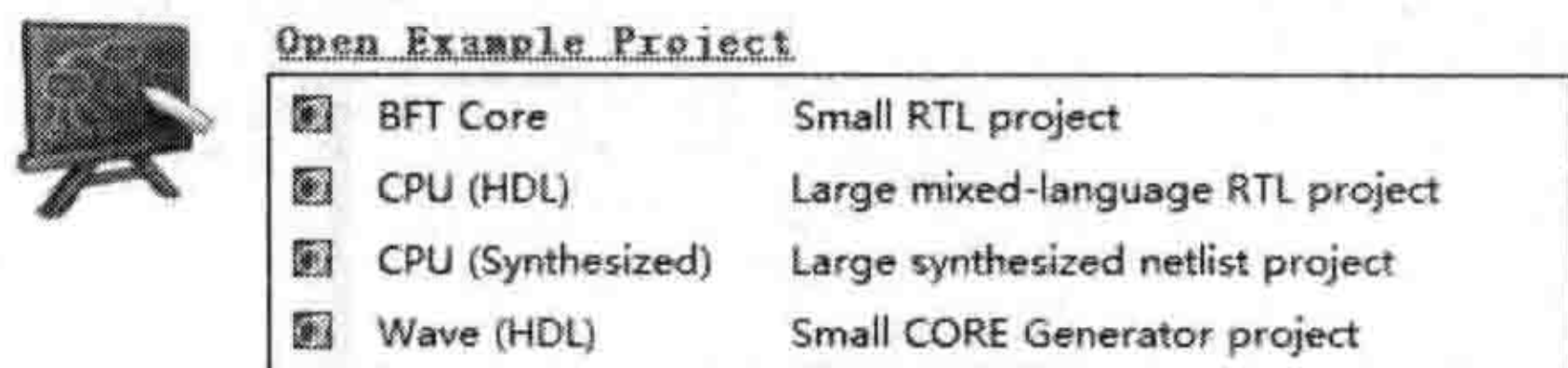


图 1.1.7 打开示例工程

这 4 个示例分别如下。

- BFT Core：较小的 RTL 工程，工程文件为 bft.ppr。
- CPU (HDL)：较大的 HDL 语言 RTL 工程。
- CPU (synthesized)：基于综合网表的较大工程。
- Wave (HDL)：使用 Xilinx IP 核生成工具创建的工程，包含 3 个嵌入式 IP 核。可以用这个设计作为参考工程来查看如何在 PlanAhead 工程中使用 IP 核。

所有示例工程都存储在“..\Xilinx\xx.x\ISE_DS\PlanAhead\testcases\PlanAhead_Tutorial\Projects”文件夹中，分别用于示例不同设计应用 PlanAhead 工具软件的情况。

(5) 新属性 (What's New)：显示当前版本 PlanAhead 工具软件的新属性，单击该链接时打开 PDF 文档“*What's New in PlanAhead Software xx.x*”，该文件存储在“..\Xilinx\xx.x\ISE_DS\PlanAhead\doc”文件夹中。

(6) 用户指南 (User Guide)：显示 PlanAhead 工具软件的用户指南，单击该链接时打开 PDF 文档“*PlanAhead User Guide*”，该文件存储在“..\Xilinx\xx.x\ISE_DS\PlanAhead\doc”文件夹中。

(7) 方法指南 (Methodology Guides)：链接到 Xilinx 官方网站，提供关于层次化设计和逻辑布局的帮助文档，如图 1.1.8 所示。

(8) PlanAhead 使用指南 (PlanAhead Tutorials)：链接到 Xilinx 官方网站，提供关于 PlanAhead 工具软件使用方法的帮助文档。



图 1.1.8 高级属性链接

其中前 4 个链接用于工程启动，在图 1.1.1 所示启动页面的“文件（File）”下拉菜单中有相应的命令项；后 4 个链接用于打开帮助文档，在“帮助（help）”下拉菜单中有相应的命令项。所有的 PlanAhead 工具软件帮助文档（PDF 格式）都可以在 Xilinx 公司的主页上找到：

<http://www.xilinx.com/planahead>

PlanAhead 工具软件还支持一些命令行选项。例如，在上述第（4）种启动方式中可以在 DOS 命令窗口输入

```
..\Xilinx\xx.x\ISE_DS\PlanAhead\bin\unwrapped\win32.o\pahead.exe -help
```

来查看支持的命令行选项。

另外，可以用 Tcl 脚本启动 PlanAhead 工具软件并对 PlanAhead 工程进行操作，可以在图 1.1.1 所示的启动页面上选择菜单的“Tools”→“Run Tcl Script”命令打开选择 Tcl 脚本文件对话框，选择运行脚本。也可以从 PlanAhead.jou（“..\Xilinx\xx.x\ISE_DS\PlanAhead\testcases\PlanAhead_Tutorial\Projects\project_wave_gen_verilog”文件夹中提供了一个该文件的示例）中或 Tcl 控制台（单击图 1.1.1 左下角的“Tcl 控制台（Tcl console）”打开 Tcl 控制台）复制 PlanAhead 工具软件 Tcl 脚本来创建启动脚本。

1.1.3 PlanAhead 设计流程

在 FPGA 设计过程的多个阶段都可以使用 PlanAhead 工具软件分析设计和约束定义功能，包括 RTL 设计、综合网表设计，以及实现设计运行等。PlanAhead 设计流程与使用的输入文件类型有关，图 1.1.9 给出了输入为 RTL 和网表时的 PlanAhead 设计流程。

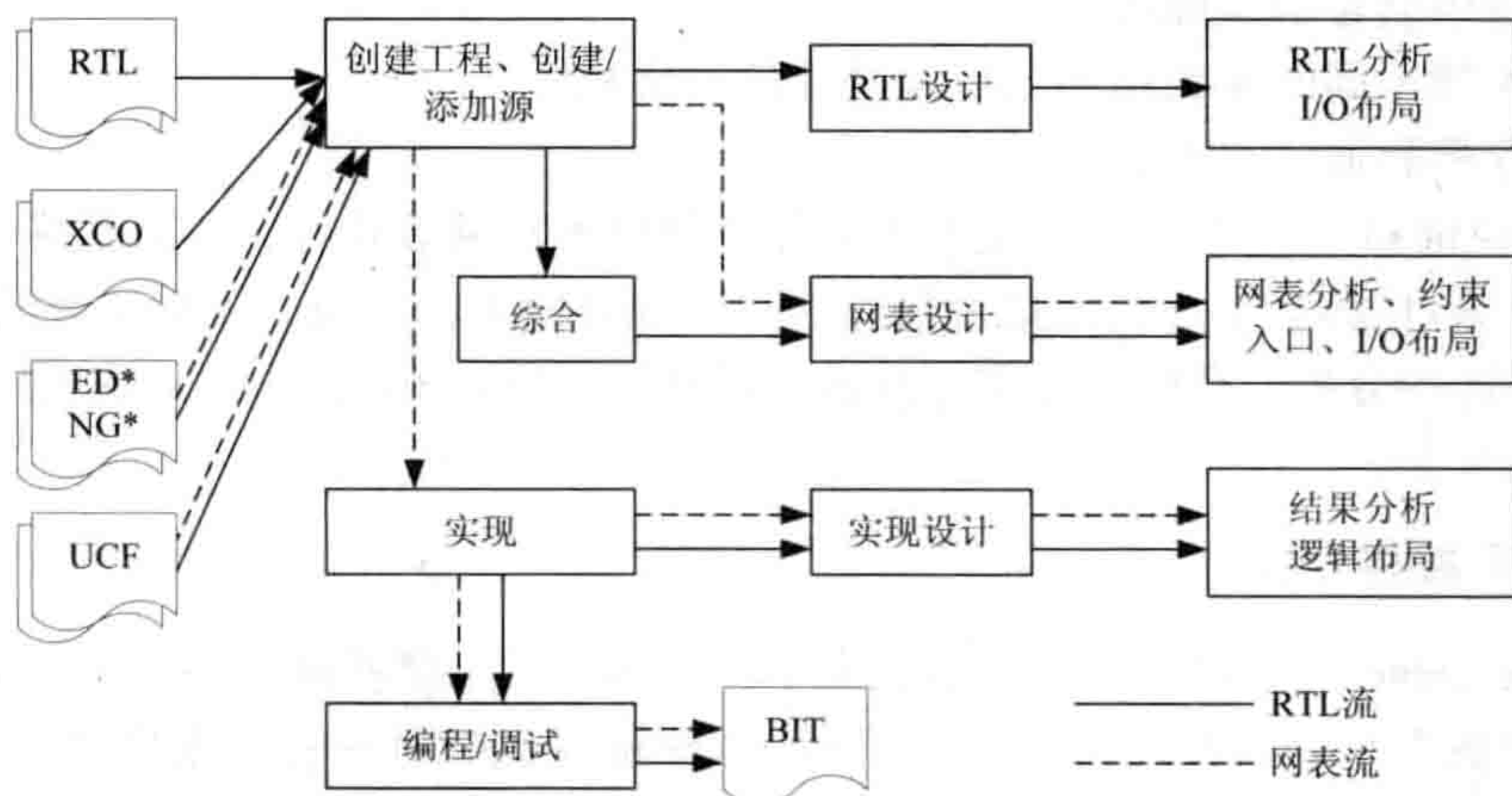


图 1.1.9 PlanAhead 设计流程

PlanAhead 工具软件支持的设计流如下所述。

（1）从 RTL 到比特流：使用 PlanAhead 工具软件可以管理从 RTL 开发、IP 核定制、综

合和实现到FPGA芯片编程的整个设计过程。可以在PlanAhead工程中添加Verilog和Verilog硬件描述语言（VHDL）RTL源、IP核、物理和时序约束等，也可以通过综合和实现选项以及约束设置来达到设计目标。

（2）从综合网表到比特流：可以实现从综合网表实现设计到FPGA芯片编程比特流的设计过程。可以在PlanAhead工程中添加综合网表、基于网表的IP核及约束；同样，也可以通过实现选项和约束设置来达到设计目标。

（3）FPGA芯片开发和I/O引脚规划：使用PlanAhead工具软件提供的I/O规划功能可以分析芯片资源并可视化FPGA和系统级设计之间的关系。采用合适的时钟和I/O规划可以提高设计性能和布线的科学性，同时改善PCB布线、信号质量以及整个系统的性能。可以创建空的工程来分析FPGA芯片和进行早期I/O引脚规划，也可以凭空创建I/O端口或从CSV或UCF格式文件导入。可以在设计过程的每个阶段实现I/O规划，在生成综合网表后可以使用设计规则检查（DRC）功能（此时用于分析和布局的时钟和锁定逻辑已可用）。

（4）分析实现设计结果：使用PlanAhead工具软件的设计分析功能可以分析在PlanAhead工具软件之外（如利用ISE综合工具得到的综合结果）生成的实现结果，给出设计中存在的瓶颈的提示，辅助进行设计更改、时序调整，以及布局布线以达到设计目标。

（5）部分重配置：利用PlanAhead工具软件提供的建立和管理部分重配置功能，可以保持部分设计不变，仅改变设计中的一部分并进行分析，从而加快设计、改进和调试的速度。

下面简要说明PlanAhead设计流可以完成的任务。

1. 新建工程和管理工程源

使用PlanAhead工具软件提供的向导可以方便地创建工程或将源文件添加到工程。具体功能包括：

- 创建指定类型（RTL或网表）的PlanAhead工程。
- 将源文件添加到PlanAhead工程中。
- 参考远程文件、写保护文件或将文件复制到本地工程文件夹。
- 在工程中禁止或使能源文件。
- 创建实现不同约束选项和FPGA芯片的约束集。
- 工程存档和创建工程副本。

使用PlanAhead工具软件可以在单个工程中创建和存储设计约束不同的多个副本，从而可以创建多个RTL源版本、约束集、目标芯片、综合网表，以及用不同实现策略的多个实现结果并进行比较分析。在修改源文件或启动设计工具时，PlanAhead工具软件可以监视和显示设计流的状态。

2. RTL开发和分析

使用PlanAhead工具软件提供的集成文本编辑器可以创建和修改源文件，可以直接从应用的Xilinx模板库复制参考逻辑结构。在PlanAhead工具软件中打开RTL设计时，软件自动加载RTL源文件和RTL网表，可以检查RTL结构、语法和逻辑定义。打开RTL设计或I/O规划器时可以细化RTL设计并自动加载RTL网表，PlanAhead工具软件提供的分析和报告功能如下。

- RTL编译有效性和语法检查。