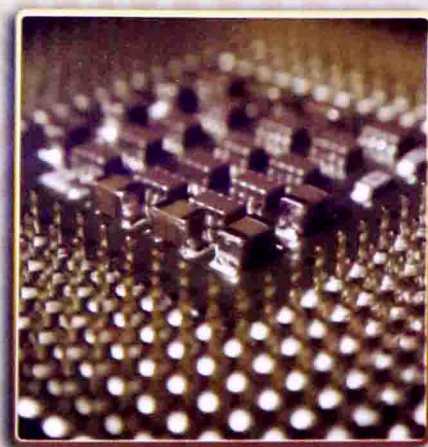


VHDL 硬件描述语言 与数字逻辑电路设计 (第四版)

VHDL & Design
of Digital Circuits

侯伯亨 刘 凯 顾 新 编著



西安电子科技大学出版社
<http://www.xduph.com>

014056935

TP391.72
30-4

VHDL 硬件描述语言与 数字逻辑电路设计

(第 四 版)

侯伯亨 刘 凯 顾 新 编著



西安电子科技大学出版社



北航

C1741911

TP391.72
30-4

20140828

内 容 简 介

本书系统地介绍了 VHDL 硬件描述语言以及用该语言设计数字逻辑电路和数字系统的新方法。全书共 13 章：第 1、3、4、5、6、7、8、9 章主要介绍 VHDL 的基本知识和用其设计简单逻辑电路的基本方法；第 2、10 章简单介绍数字系统设计的一些基本知识；第 11 章以洗衣机洗涤控制电路设计为例，详述一个小型数字系统设计的步骤和过程；第 12 章介绍常用微处理器接口芯片的设计实例；第 13 章介绍 VHDL 93 版和 87 版的主要区别。

本书简明扼要，易读易懂，书中所有 VHDL 程序都用 93 版标准格式书写。全书以数字逻辑电路设计为主线，用对比手法来说明数字逻辑电路的电原理图和 VHDL 程序之间的对应关系，并列举了众多实例。另外，从系统设计角度出发，介绍了数字系统设计的一些基本知识与工程设计技巧。

本书既可作为大学本科生教材，也可作为研究生教材，还可供电子电路工程师自学参考。

图书在版编目(CIP)数据

VHDL 硬件描述语言与数字逻辑电路设计/侯伯亨，刘凯，顾新编著. —4 版.

—西安：西安电子科技大学出版社，2014.8

ISBN 978-7-5606-3426-5

I. ① V… II. ① 侯… ② 刘… ③ 顾… III. ① 硬件描述语言—程序设计
② 数字电路—逻辑电路—电路设计 IV. ① TP312 ② TN790.2

中国版本图书馆 CIP 数据核字(2014)第 147873 号

策 划 戚文艳

责任编辑 戚文艳 雷露深

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2014 年 8 月第 4 版 2014 年 8 月第 20 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 23

字 数 541 千字

印 数 94 001~97 000 册

定 价 45.00 元

ISBN 978 - 7 - 5606 - 3426 - 5/TP

XDUP 3718004-20

如有印装问题可调换

本社图书封面为激光防伪覆膜，谨防盗版。

前 言

本书第一版撰写于 1997 年，到 2010 年已进行了二次修订。为简明起见再进行第三次修订，是第三版的简缩版。

第四版内容的变化

本书在上一版的基础上删去了软件开发工具的介绍和不常用的一些知识，以使该书更简明。

使用本书的建议

本书以 VHDL 的课堂教学内容为主，未对实验内容作具体安排，这主要考虑到各学校现有资源和任课教师的偏好与所熟悉的工具不同。在将本书作为教材时，只要配备一本简明的实验指导书，介绍所用的 EDA 工具和实验板，即可与当前市场上出售的实验板实现无缝衔接，这样也增加了教师施教的自由选择度。我们建议，在实施教学时应尽可能选择易掌握的 EDA 工具和实验板，以使读者能将主要精力集中在对 VHDL 本身的理解和应用上。

在本科教学过程中，第 2 章、第 7 章、第 10 章内容可以少讲或不讲。属性描述语句可以只讲数组和信号类等几种常用的，尽可能少而精，使读者能较快地掌握常用的和基本的。第 11 章、第 12 章可以作为课堂示教的内容，以教师讲解、示范为主。

在研究生教学过程中，教学内容应以掌握数字系统设计的基本知识和解决工程设计实际问题的方法为主，可配合开发板的使用，进行较大规模电路和芯片的设计。

由于时间仓促，遗漏和不当之处在所难免，敬请读者不吝赐教。

作 者

2014 年 5 月

第三版前言

本书第一版撰写于 1997 年, 1999 年进行了一次修订。当时作者试图打破传统的电子电路设计概念, 将 VHDL 引入数字逻辑电路设计课程, 对课程进行一次改革, 以适应 21 世纪新技术发展的需要。本书出版后, 受到了广大读者的欢迎, 并被众多大专院校和科研院所选用。

然而, 目前 VHDL 及其相关技术已有了较大发展, 为适应技术发展的变化, 作者对本书进行了第二次修订。

本书的特点

本书重点阐述 VHDL 的基本特征(当然不是全部特征)与用 VHDL 来设计数字电路和数字系统的方法, 并不过多涉及具体器件和开发板的介绍。对初学者来说, 用最简单的开发环境, 掌握 VHDL 的使用才是最重要的, 这也是本书的宗旨。本书是计算机和电子工程等专业的专业基础课程教材, 它是学好后续专业课程, 如计算机组成原理、嵌入式计算机系统课程的基础。

第三版内容的变化

本书在上一版的基础上进行了一些修改, 主要有:

第一, 原书某些实例中使用了 STD_ULOGIC 数据类型, 这种用法与业界实际使用方法不一致, 并有可能与某些 EDA 工具不兼容, 所以本次修订中全部采用了 STD_LOGIC 数据类型。

第二, 在上一版出版时, 大多数 EDA 工具只支持 VHDL 87 版标准或对 93 版标准的支持度很低, 因此上一版的内容都以 87 版标准为基础写成。随着时间的流逝, 93 版标准日趋完善, 并被业界所普遍采用, 其性能与 87 版相比也有了明显提高。所以, 本书中所有实例都按 93 版标准格式书写, 对 93 版中所增加的主要特性也作了简要增补和介绍。注意, 书中所介绍的 93 版特性在目前常用的 EDA 工具中并不都支持, 读者在使用前应阅读该 EDA 工具的“帮助”文字, 以免引起不必要的麻烦。

另外, 考虑到目前电子电路设计已从电路级设计向系统级设计拓展, 为此本书增加了两章内容: 数字系统的算法描述和数字系统的实际设计技巧, 以介绍系统设计所需要的基

本知识。

使用本书的建议

本书以 VHDL 的课堂教学内容为主, 未对实验内容作具体安排, 这主要考虑到各学校现有资源和任课教师的偏好与所熟悉的工具不同。在将本书作为教材时, 只要配备一本简明的实验指导书, 介绍所用的 EDA 工具和实验板, 即可与当前市场上出售的实验板实现无缝衔接, 这样也增加了教师施教的自由选择度。我们建议, 在实施教学时应尽可能选择易掌握的 EDA 工具和实验板, 以使读者能将主要精力集中在对 VHDL 本身的理解和应用上。当然, 为了便于读者参考, 我们还在附录 A 中介绍了 Altera 公司的 MAX+plus II 和 Xilinx 公司的 ISE 开发环境。

在本科教学过程中, 第 2 章、第 7 章、第 10 章内容可以少讲或不讲。属性描述语句可以只讲数组和信号类等几种常用的, 尽可能少而精, 使读者能较快地掌握常用的和基本的。第 11 章、第 12 章可以作为课堂示教的内容, 以教师讲解、示范为主。

在研究生教学过程中, 教学内容应以掌握数字系统设计的基本知识和解决工程设计实际问题的方法为主, 可配合开发板的使用, 进行较大规模电路和芯片的设计。

本书由侯伯亨、刘凯、顾新修订, 其中程序改版工作主要由刘凯完成。本书在编写过程中引用了诸多学者和专家的著作以及论文中的研究成果, 另外, 还得到了孙红波、谢凯年及西安电子科技大学出版社工作人员的大力支持和帮助, 曾伟也做了许多文字工作, 在这里一并表示衷心的感谢。

由于时间仓促, 遗漏和不当之处在所难免, 敬请读者不吝赐教。

作 者

2009 年 5 月

第二版前言

本书出版后，众多热心读者对本书的编排及有关内容提出了许多宝贵建议。另外，经近一年的教学实践作者也深深感到，为了进一步适应国内 EDA 技术的发展需要，更便于教学和读者自学，确实需要对本书的部分内容进行删节和增订。

本书修订版对第 9 章进行了修改，使其便于用 MAX+plus II 工具来进行验证；原第 10 章的内容改写为微处理器接口芯片设计实例；增加了第 11 章 VHDL 93 版和 87 版的主要区别及第 12 章 MAX+plus II 的使用说明。在此基础上还对原书的错误进行了订正。书中的主要实例都已用 MAX+plus II 工具进行了验证。

需要说明的是，在本书的例程中多处采用了位矢量算术运算。这使用 Synopsys 公司的 VHDL 编译工具是行得通的，因为它对算术运算包进行了扩充。但是使用 MAX+plus II 编译工具却不行，此时只能先进行整数运算，然后再将整数结果转换成位矢量输出，正如本书中第 9 章中所示例的那样。

尽管作者对全书进行了认真修订，但是由于作者水平有限，书中可能仍有不当之处，敬请广大读者多提宝贵意见。

作 者

1998年8月18日于西安

第一版前言

随着电子技术的发展,当前数字系统的设计正朝着速度快、容量大、体积小、重量轻的方向发展。推动该潮流迅猛发展的引擎就是日趋进步和完善的 ASIC 设计技术。目前数字系统的设计可以直接面向用户需求,根据系统的行为和功能要求,自上至下地逐层完成相应的描述、综合、优化、仿真与验证,直到生成器件。上述设计过程除了系统行为和功能描述以外,其余所有的设计过程几乎都可以用计算机来自动地完成,也就是说做到了电子设计自动化(EDA)。这样做可以大大缩短系统的设计周期,以适应当今品种多、批量小的电子市场需求,提高产品的竞争能力。

电子设计自动化(EDA)的关键技术之一是用形式化方法来描述数字系统的硬件电路,即用所谓硬件描述语言来描述硬件电路。所以硬件描述语言及相关的仿真、综合等技术的研究是当今电子设计自动化领域的一个重要课题。

硬件描述语言发展至今已有几十年的历史,并已成功地应用到系统的仿真、验证和设计综合等方面。到 20 世纪 80 年代后期,已出现了上百种硬件描述语言,它们对设计自动化起到了促进和推动作用。但是,它们大多各自针对特定设计领域,没有统一的标准,从而使一般用户难以使用。广大用户所期盼的是一种面向设计的多层次、多领域且得到一致认同的标准的硬件描述语言。80 年代后期由美国国防部开发的 VHDL(VHSIC Hardware Description Language)恰好满足了上述要求,并在 1987 年 12 月由 IEEE 标准化(定为 IEEE std 1076-1987 标准,1993 年进一步修订,被定为 ANSI/IEEE std 1076-1993 标准)。VHDL 的出现为电子设计自动化(EDA)的普及和推广奠定了坚实的基础。据 1991 年有关统计资料表明,VHDL 已被广大设计者所接受,据称已有 90%的设计者使用或即将使用 VHDL 来设计数字系统。另外,众多 CAD 厂商也纷纷使自己新开发的电子设计软件与 VHDL 兼容。由此可见,使用 VHDL 来设计数字系统是电子设计技术的大势所趋。

作者编写此书的目的就在于向广大电子设计人员介绍 VHDL 的基本知识和使用它来设计数字系统硬件电路的方法,从而使读者摆脱传统的人工设计方法的框框,使数字系统设计的水平上升到一个新的阶段。

本书共分 10 章:第 1 章~第 8 章主要介绍 VHDL 的基本知识和使用 VHDL 设计简单逻辑电路的基本方法;第 9 章和第 10 章分别以定时器和虚拟处理器电路设计为例,详述如何用 VHDL 设计复杂逻辑电路的步骤和过程。全书采用对照说明的方法来叙述逻辑电原理

图和 VHDL 描述的对应关系，并且安排了大量的程序实例。读者只要通读全书，就可以基本掌握用 VHDL 设计一般逻辑电路的方法。由于受条件和环境的限制，本书对仿真和综合只作了概略性的介绍，因为这些工具的具体使用方法随各厂商不同而有较大差别。另外，有些 VHDL 的程序实例取材于不同版本的资料，本书在编写时虽作了一些统一，但某些书写格式上还会存在个别的差异，敬请读者谅解。

本书在编写过程中引用了诸多学者和专家的著作及论文中的研究成果，在这里向他们表示衷心的感谢。同时，也向一贯热情支持和关心作者的西安电子科技大学出版社的领导和编辑及其他工作人员表示深深的谢意。

由于作者水平有限，疏漏之处在所难免，敬请各位读者不吝赐教。

作 者

1997 年 2 月 21 日于西安

目 录

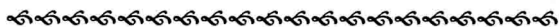
第 1 章 数字系统硬件设计概述	1	3.3.2 包集合	45
1.1 传统的系统硬件设计方法	1	3.3.3 配置	47
1.2 利用硬件描述语言的硬件电路 设计方法	4	习题与思考题	52
习题与思考题	8	第 4 章 VHDL 的数据类型与运算 操作符	53
第 2 章 数字系统的算法描述	10	4.1 VHDL 的客体及其分类	53
2.1 数字系统算法流程图描述	10	4.1.1 常数	53
2.1.1 算法流程图的符号及描述方法	10	4.1.2 变量	54
2.1.2 算法流程图描述数字系统实例	12	4.1.3 信号	55
2.2 状态机及算法状态机图描述	14	4.1.4 信号和变量值代入的区别	55
2.2.1 状态机的分类及特点	14	4.1.5 文件	57
2.2.2 算法状态机流程图的符号及描述 方法	16	4.2 VHDL 的数据类型	58
2.2.3 算法状态机图描述实例	17	4.2.1 标准的数据类型	58
2.2.4 算法流程图至状态图的变换方法	19	4.2.2 用户定义的数据类型	60
2.2.5 状态图至算法状态机图的 变换方法	21	4.2.3 用户定义的子类型	64
2.2.6 C 语言流程图至算法状态机图的 变换方法	23	4.2.4 数据类型的转换	64
习题与思考题	29	4.2.5 数据类型的限定	65
第 3 章 VHDL 程序的基本结构	31	4.2.6 IEEE 标准“STD_LOGIC”和 “STD_LOGIC_VECTOR”	66
3.1 VHDL 设计的基本单元及其构成	31	4.3 VHDL 的运算操作符	67
3.1.1 实体说明	31	4.3.1 逻辑运算符	68
3.1.2 构造体	33	4.3.2 算术运算符	68
3.2 VHDL 构造体的子结构描述	35	4.3.3 关系运算符	69
3.2.1 BLOCK 语句结构描述	35	4.3.4 并置运算符	70
3.2.2 PROCESS 语句结构描述	37	习题与思考题	71
3.2.3 SUBPROGRAM 语句结构描述	39	第 5 章 VHDL 构造体的描述方式	73
3.3 库、包集合及配置	43	5.1 构造体的行为描述方式	73
3.3.1 库	43	5.1.1 代入语句	73
		5.1.2 延时语句	75
		5.1.3 多驱动器描述语句	76

5.1.4	GENERIC 语句	78	7.4	九态数值系统	147
5.2	构造体的寄存器传输(RTL)描述方式	80	7.5	十二态数值系统	150
5.2.1	RTL 描述方式的特点	80	7.6	四十六态数值系统	151
5.2.2	使用 RTL 描述方式应注意的问题	82		习题与思考题	154
5.3	构造体的结构描述方式	86			
5.3.1	构造体结构描述的基本框架	87	第 8 章	基本逻辑电路设计	155
5.3.2	COMPONENT 语句	90	8.1	组合逻辑电路设计	155
5.3.3	COMPONENT_INSTANT 语句	90	8.1.1	简单门电路	155
	习题与思考题	91	8.1.2	编、译码器与选择器	161
			8.1.3	加法器与求补器	165
第 6 章	VHDL 的主要描述语句	92	8.1.4	三态门与总线缓冲器	167
6.1	顺序描述语句	92	8.2	时序电路设计	171
6.1.1	WAIT 语句	92	8.2.1	时钟信号和复位信号	171
6.1.2	断言语句	96	8.2.2	触发器	174
6.1.3	信号代入语句	97	8.2.3	寄存器	180
6.1.4	变量赋值语句	97	8.2.4	计数器	185
6.1.5	IF 语句	98	8.3	存储器	192
6.1.6	CASE 语句	100	8.3.1	存储器描述中的共性问题	192
6.1.7	LOOP 语句	105	8.3.2	ROM(只读存储器)	193
6.1.8	NEXT 语句	107	8.3.3	RAM(随机存储器)	194
6.1.9	EXIT 语句	108	8.3.4	FIFO(先进先出堆栈)	196
6.2	并发描述语句	109		习题与思考题	200
6.2.1	进程语句	110	第 9 章	仿真与逻辑综合	201
6.2.2	并发信号代入语句	110	9.1	仿真	201
6.2.3	条件信号代入语句	111	9.1.1	仿真输入信息的产生	201
6.2.4	选择信号代入语句	112	9.1.2	仿真 Δ	206
6.2.5	并发过程调用语句	113	9.1.3	仿真程序模块的书写	208
6.2.6	块语句	114	9.2	逻辑综合	211
6.3	其他语句和有关规定的说明	118	9.2.1	约束条件	211
6.3.1	命名规则和注解的标记	118	9.2.2	属性描述	212
6.3.2	ATTRIBUTE(属性)描述与定义 语句	119	9.2.3	工艺库	212
6.3.3	GENERATE 语句	139	9.2.4	逻辑综合的基本步骤	213
	习题与思考题	143		习题与思考题	215
第 7 章	数值系统的状态模型	144	第 10 章	数字系统的实际设计技巧	216
7.1	二态数值系统	144	10.1	数字系统优化的基本方法	216
7.2	三态数值系统	145	10.1.1	相同电路的处理	216
7.3	四态数值系统	145	10.1.2	运算顺序的改变	218

10.1.3	常数运算的运用	218	12.1.4	8255 芯片的 VHDL 描述	277
10.1.4	相同运算电路的使用	219	12.1.5	8255 芯片 VHDL 描述模块的 仿真	282
10.1.5	优化的必要性及其工程 实际意义	222	12.2	SCI 串行接口芯片设计实例	283
10.2	数字系统设计中的工程实际问题	223	12.2.1	SCI 的引脚与内部结构	283
10.2.1	提高系统工作速度的方法	223	12.2.2	串行数据传送的格式与同步控制 机构	284
10.2.2	缩小电路规模和降低功耗的 方法	230	12.2.3	SCI 芯片的 VHDL 描述	285
10.2.3	系统误操作的成因及其 消除方法	236	12.2.4	SCI 芯片 VHDL 描述模块的 仿真	290
10.2.4	非同步信号的控制方法	245	12.3	键盘接口芯片 KBC 设计实例	291
10.2.5	典型状态机状态编码的选择	248	12.3.1	KBC 的引脚与内部结构	291
习题与思考题		254	12.3.2	同步控制机构和查表变换	294
第 11 章 洗衣机洗涤控制电路设计			12.3.3	KBC 芯片的 VHDL 描述	296
	实例	255	12.3.4	KBC 芯片 VHDL 描述模块的 仿真	301
11.1	洗衣机洗涤控制电路的性能要求	255	习题与思考题		301
11.2	洗衣机洗涤控制电路的结构	255	第 13 章 VHDL 93 版和 87 版的 主要区别		
11.3	洗衣机洗涤控制电路的算法状态 机图描述	257	13.1	VHDL 93 版的特点	302
11.4	洗衣机洗涤控制电路的 VHDL 描述	262	13.2	87 版到 93 版的移植问题	312
习题与思考题		273	附录 A VHDL 文法介绍		
第 12 章 微处理器接口芯片设计实例 ...			274	附录 B 属性说明	324
12.1	可编程并行接口芯片设计实例	274	附录 C VHDL 标准包集合文件	326	
12.1.1	8255 的引脚与内部结构	274	参考文献	356	
12.1.2	8255 的工作方式及其控制字	275			
12.1.3	8255 的结构设计	277			

第 1 章 数字系统硬件设计概述

数字系统设计历来存在两个分支,即系统硬件设计和系统软件设计。同样,设计人员也因工作性质不同,可分成硬件设计人员和软件设计人员。他们各自从事自己的工作,很少涉足对方的领域,特别是软件设计人员更是如此。但是,随着计算机技术的发展和硬件描述语言(Hardware Description Language, HDL)的出现,这种界线已经被打破。数字系统的硬件构成及其行为完全可以用 HDL 来描述和仿真。这样,软件设计人员也同样可以借助 HDL 设计出符合要求的硬件系统。不仅如此,与传统的系统硬件设计方法相比,利用 HDL 来设计系统硬件具有许多突出的优点。它是硬件设计领域的一次变革,对系统的硬件设计将产生巨大的影响。本章将详细介绍这种硬件设计方法的变化情况。



1.1 传统的系统硬件设计方法

在计算机辅助电子系统设计出现以前,人们一直采用传统的硬件电路设计方法来设计系统的硬件。这种硬件设计方法有以下几个主要特征。

(1) 采用自下至上(Bottom Up)的设计方法。

自下至上的硬件电路设计方法的主要步骤是:根据系统对硬件的要求,详细编制技术规格书,并画出系统控制流图;然后根据技术规格书和系统控制流图,对系统的功能进行细化,合理地划分功能模块,并画出系统的功能框图;接着进行各功能模块的细化和电路设计;各功能模块的电路设计、调试完成后,将各功能模块的硬件电路连接起来再进行系统的调试;最后完成整个系统的硬件设计。

自下至上的设计方法充分体现在各功能模块的电路设计中。下面以一个六进制计数器设计为例进行说明。

要设计一个六进制计数器,其方案是多种多样的,但是摆在设计者面前的一个首要问题是如何选择现有的逻辑元器件构成六进制计数器。设计六进制计数器首先从选择逻辑元器件开始。

第一步,选择逻辑元器件。由数字电路的基本知识可知,可以用与非门、或非门、D 触发器、JK 触发器等基本逻辑元器件来构成一个计数器。设计者根据电路尽可能简单、价格合理、购买和使用方便等原则及各自的习惯来选择构成六进制计数器的元器件。本例中选择 JK 触发器和 D 触发器作为构成六进制计数的主要元器件。

第二步,进行电路设计。假设六进制计数器采用约翰逊计数器。3 个触发器连接应该产生 8 种状态,现在只使用 6 种状态,将其中的 010 和 101 两种状态禁止。这样六进制计

数器的状态转移图如图 1-1 所示。

从这个状态转移图可以看到，在计数过程中计数器的 3 个触发器的状态是这样转移的：首先 3 个触发器的状态均为 0，即 $Q_2Q_1Q_0 = 000$ ，以后每来一个计数脉冲，其状态变化情况为 $000 \rightarrow 001 \rightarrow 011 \rightarrow 111 \rightarrow 110 \rightarrow 100 \rightarrow 000 \rightarrow 001 \rightarrow \dots$ 。

在知道六进制计数器的状态变化规律以后，就可以列出每个触发器的前一状态和当前状态变化的状态表，如表 1-1 所示。

表 1-1 触发器的状态变化表

触发器状态 计数脉冲	Q2		Q1		Q0	
	前一状态	当前状态	前一状态	当前状态	前一状态	当前状态
1	0	0	0	0	0	1
2	0	0	0	1	1	1
3	0	1	1	1	1	1
4	1	1	1	1	1	0
5	1	1	1	0	0	0
6	1	0	0	0	0	0

从表 1-1 中可以发现， Q_2 当前状态的输出是 Q_1 前一状态的输出，而 Q_1 当前状态的输出就是 Q_0 前一状态的输出。这样，若 Q_2 和 Q_1 采用 D 触发器，则只要将 Q_0 输出端与 D_1 触发器的 D 输入端相连接，将 D_1 触发器的 Q_1 输出端与 D_2 触发器的 D 输入端相连接即可。 Q_0 输出关系复杂一些，因此必须选用 JK 触发器，并且利用 Q_1 、 Q_2 输出作为约束条件，经组合逻辑电路作为 D_0 的 J 和 K 输入。 Q_2 、 Q_1 输出和 D_0 的 J、K 输入关系如表 1-2 所示。

表 1-2 Q_2 、 Q_1 输出和 D_0 的 J、K 输入关系表

触发器状态 计数脉冲	Q2	Q1	Q0			
	前一状态	前一状态	J	K	前一状态	当前状态
1	0	0	1	0	0	1
2	0	0	1	0	1	1
3	0	1	0	0	1	1
4	1	1	0	1	1	0
5	1	1	0	1	0	0
6	1	0	0	0	0	0

从表 1-2 中很容易写出以 Q_2 、 Q_1 为输入，以 J、K 为输出的两个真值表。该真值表实际上就是或非门的真值表和与门的真值表。将 Q_2 、 Q_1 分别连到或非门的输入端，将或非门的输出连到 Q_0 的 J 输入端，再将 Q_2 、 Q_1 分别连接到与门的输入端，将与门的输出端与 D_0 的 K 输入端相连，这样，一个六进制计数器的硬件电路设计就完成了，如图 1-2 所示。当然，触发器的时钟端应和计数脉冲端相连接，系统复位信号应和触发器的置“0”端相连接，这样就可以保证实际电路的正常工作。

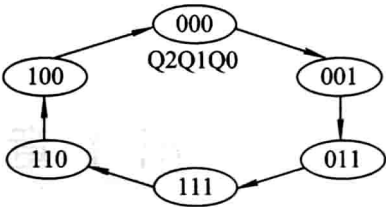


图 1-1 六进制计数器的状态转移图

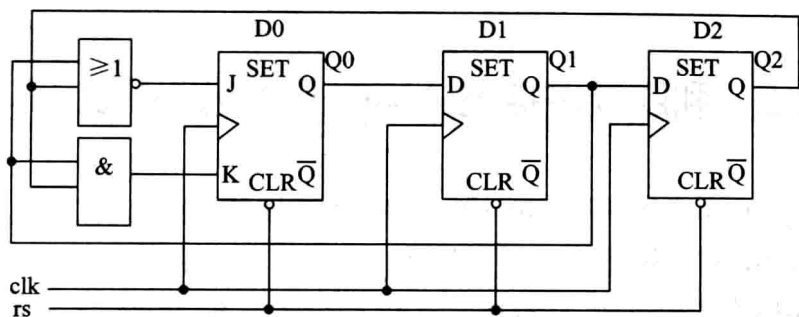


图 1-2 六进制约翰逊计数器原理图

与六进制计数器模块设计一样，系统的其他模块也按此方法进行设计。在所有硬件模块设计完成以后，再将各模块连接起来，进行调试。如有问题，则进行局部修改，直至整个系统调试完毕为止。

由上述设计过程可以看到，系统硬件的设计是从选择具体元器件开始的，并用这些元器件进行逻辑电路设计，完成系统各独立功能模块的设计，然后将各功能模块连接起来，完成整个系统的硬件设计。上述过程从最底层开始设计，直至最高层设计完毕，故将这种设计方法称为自下至上的设计方法。

(2) 采用通用的逻辑元器件。

在传统的硬件电路设计中，设计者总是根据系统的具体需要，选择市场上能买到的逻辑元器件来构成所要求的逻辑电路，从而完成系统的硬件设计。尽管随着微处理器的出现，在由微处理器及其相应硬件构成的系统中，许多系统的硬件功能可以用软件功能来实现，从而在较大程度上简化了系统硬件电路的设计，但是这种选择通用的元器件来构成系统硬件电路的方法并未改变。

(3) 在系统硬件设计的后期进行仿真和调试。

在传统的系统硬件设计方法中，仿真和调试通常只有在后期完成系统硬件设计以后才能进行，因为进行仿真和调试的仪器一般为系统仿真器、逻辑分析仪和示波器等，它们只有在硬件系统已经构成后才能使用。这样，系统设计时存在的问题只能在后期才会较容易被发现，即传统的硬件设计方法对系统设计人员提出了较高的要求，一旦考虑不周，系统设计存在较大缺陷，就有可能要重新设计系统，使得设计周期大大延长。

(4) 主要设计文件是电原理图。

在用传统的硬件设计方法对系统进行设计并调试完毕后，所形成的硬件设计文件主要是由若干张电原理图构成的文件。在电原理图中详细标注了各逻辑元器件的名称和相互间的信号连接关系。该文件是用户使用和维护系统的依据。对于小系统，这种电原理图只要几十张至几百张即可。但是，如果系统比较大，硬件比较复杂，那么这种电原理图可能有几千张、几万张甚至几十万张。如此多的电原理图给归档、阅读、修改和使用都带来了极大的不便。

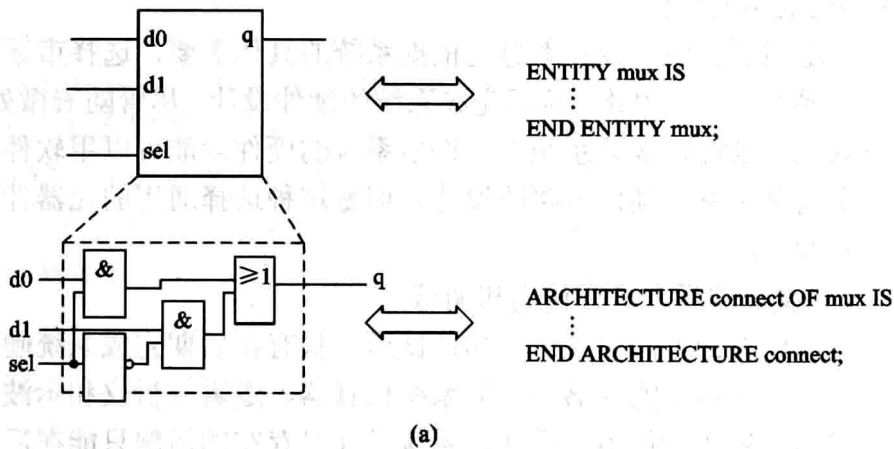
传统的硬件电路设计方法已经沿用了几十年，是目前广大电子工程师所熟悉和掌握的一种方法。但是，随着计算机技术、大规模集成电路技术的发展，这种传统的设计方法已大大落后于当今技术的发展。一种崭新的、采用硬件描述语言的硬件电路设计方法已经兴起，它的出现给硬件电路设计带来了一次重大的变革。

1.2 利用硬件描述语言的硬件电路设计方法

一般来说，在硬件电路设计中采用计算机辅助设计技术(CAD)到 20 世纪 80 年代才得到了普及和应用。一开始，人们仅仅利用计算机软件来实现印刷板的布线，以后才慢慢实现了插件板级规模的电子电路设计和仿真。在我国所使用的工具中，最有代表性的设计工具是 Tango 和早期的 ORCAD。它们的出现使得电子电路设计和印刷板布线工艺实现了自动化。但是，就设计方法而言，其仍采用自下至上的设计方法，利用已有的逻辑元器件来构成硬件电路。

随着大规模专用集成电路(ASIC)的开发和研制，为了提高开发的效率，增加已有开发成果的可继承性以及缩短开发时间，各 ASIC 研制和生产厂家相继开发了用于各自目的的硬件描述语言。其中最具有代表性的是美国国防部开发的 VHDL(VHSIC Hardware Description Language)、Verilog 公司开发的 Verilog-HDL 以及日本电子工业振兴协会开发的 UDL/I。

所谓硬件描述语言，就是可以描述硬件电路的功能、信号连接关系及定时关系的语言。它比电原理图能更有效地表示硬件电路的特性。例如，一个二选一选择器的电原理图如图 1-3(a)所示，用 VHDL 描述的二选一选择器如图 1-3(b)所示。



```
ENTITY mux IS
PORT(d0, d1, sel: IN BIT;
      q: OUT BIT);
END ENTITY mux;
ARCHITECTURE connect OF mux IS
BEGIN
  cale: PROCESS(d0, d1, sel) IS
    VARIABLE tmp1, tmp2, tmp3: BIT;
    BEGIN
      tmp1:=d0 AND sel;
      tmp2:=d1 AND (NOT sel);
      tmp3:= tmp1 OR tmp2;
      q<=tmp3;
    END PROCESS cale;
  END ARCHITECTURE connect;
```

图 1-3 二选一选择器的电原理图与 VHDL 描述

(a) 二选一选择器的电原理图; (b) 二选一选择器的 VHDL 描述

利用硬件描述语言编程来表示逻辑器件及系统硬件的功能和行为,是该设计方法的一个重要特征。

利用 HDL 设计系统硬件的方法,归纳起来具有以下几个特点。

(1) 采用自上至下(Top Down)的设计方法。

所谓自上至下的设计方法,就是从系统的总体要求出发,自上至下地逐步将设计内容细化,最后完成系统硬件的整体设计。在利用 HDL 的硬件设计方法中,设计者将系统硬件设计自上至下分成三个层次进行。

第一层次是行为描述。所谓行为描述,实质上就是对整个系统数学模型的描述。一般来说,对系统进行行为描述的目的是试图在系统设计的初始阶段,通过对系统行为描述的仿真来发现设计中存在的问题。在行为描述阶段并不真正考虑其实际的操作和算法用什么方法来实现,考虑更多的是系统的结构及其工作过程是否能达到系统设计规格书的要求。下面仍以六进制计数器为例,说明如何用 VHDL 以行为方式来描述它的工作特性。

【例 1-1】 用 VHDL 以行为方式描述六进制计数器的工作特性。

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY counter IS
    PORT(clk: IN STD_LOGIC;
          rs: IN STD_LOGIC;
          count_out: OUT STD_LOGIC_VECTOR(2 DOWNTO 0));
END ENTITY counter;

ARCHITECTURE behav OF counter IS
    SIGNAL next_count: STD_LOGIC_VECTOR(2 DOWNTO 0);
BEGIN
    count_proc: PROCESS(rs, clk) IS
    BEGIN
        IF rs='0' THEN
            next_count<="000";
        ELSIF (clk'EVENT AND clk='1') THEN
            CASE next_count IS
                WHEN "000" => next_count <="001";
                WHEN "001" => next_count <="011";
                WHEN "011" => next_count <="111";
                WHEN "111" => next_count <="110";
                WHEN "110" => next_count <="100";
                WHEN "100" => next_count <="000";
                WHEN OTHERS => next_count <="XXX";
            END CASE;
        END IF;
        count_out <=next_count AFTER 10ns;
    END PROCESS;
END;
```