

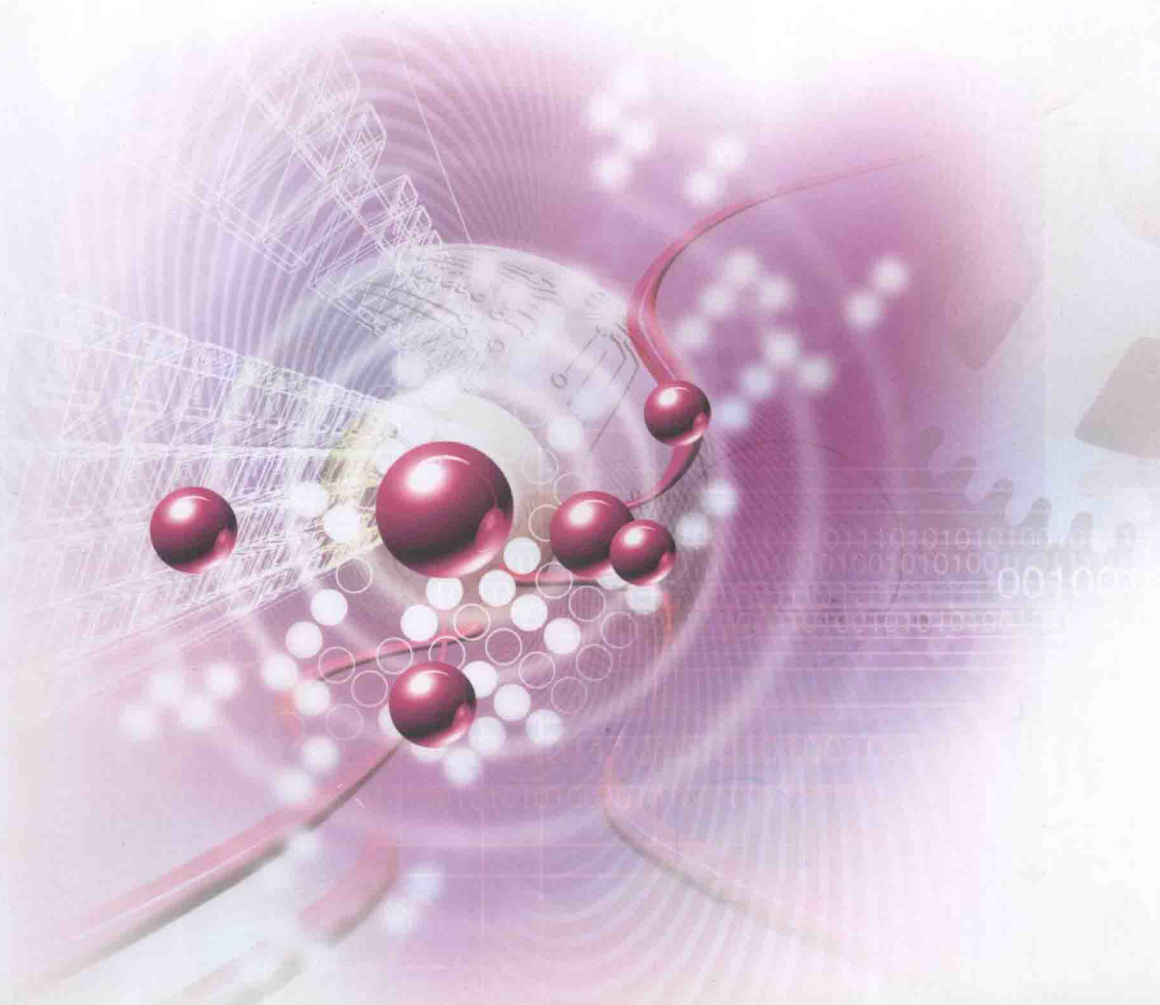
高等教育“十二五”规划教材

复杂可编程逻辑器件 原理与应用

Fuza Kebiancheng Luoji Qijian Yuanli Yu Yingyong

主 编 周孟然
副主编 薛庆军 张 亚 郭来功

中国矿业大学出版社



高等教育“十二五”规划教材

复杂可编程逻辑器件 原理与应用

主 编 周孟然
副 主 编 薛庆军 张 亚 郭来功

中国矿业大学出版社

内 容 提 要

本书系统地介绍了基于复杂可编程逻辑器件应用与开发的 EDA 技术和硬件描述语言 VHDL,将 VHDL 语法知识、编程技巧与实际工程开发实例在 EDA 工具设计平台 Quartus II 上很好地结合起来,使读者能通过本书的学习迅速理解并掌握 CPLD/FPGA 的应用与开发技术,为电子信息类后续课程的深入学习打下坚实的理论与实践基础。

本书主要面向高等学校本专科 EDA 技术、VHDL 语言设计基础和基于 CPLD/FPGA 应用与开发等课程,可作为电子信息工程、通信工程、自动化、计算机等相关专业的教材或实验教学的主要参考书使用,同时也可以作为电气信息类专业的研究生进行复杂可编程逻辑器件的应用与开发的培训教材。

图书在版编目(CIP)数据

复杂可编程逻辑器件原理与应用 / 周孟然主编. —
徐州: 中国矿业大学出版社, 2013. 8
ISBN 978 - 7 - 5646 - 1943 - 5

I. ①复… II. ①周… III. ①可编程序控制器—高等
学校—教材 IV. ①TP332.3

中国版本图书馆 CIP 数据核字(2012)第 160883 号

书 名 复杂可编程逻辑器件原理与应用
主 编 周孟然
责任编辑 仓小金
责任校对 何晓惠
出版发行 中国矿业大学出版社有限责任公司
(江苏省徐州市解放南路 邮编 221008)
营销热线 (0516)83885307 83884995
出版服务 (0516)83885767 83884920
网 址 <http://www.cumtp.com> E-mail: cumtpvip@cumtp.com
印 刷 徐州中矿大印发科技有限公司
开 本 787×1092 1/16 印张 20.25 字数 505 千字
版次印次 2013 年 8 月第 1 版 2013 年 8 月第 1 次印刷
定 价 32.00 元

(图书出现印装质量问题,本社负责调换)

前言

随着电子技术的不断发展和进步,电子系统的设计方法发生了很大的变化。传统的设计方法正逐步退出历史舞台,而基于 EDA(Electronic Design Automation, 电子设计自动化)技术的芯片设计正在成为电子系统设计的主流。它与传统电子系统的设计相比有显著的特点:一是大量使用大规模可编程逻辑器件(例如 CPLD/FPGA),以提高产品性能、缩小产品体积、降低产品消耗;二是广泛运用现代计算机技术,以提高电子设计自动化程度,缩短开发周期,提高产品的竞争力。EDA 技术正是为了适应现代电子产品设计的要求,吸收各相关学科最新成果而形成的一门新技术。

由于 EDA 技术具备上述两方面的特点,CPLD/FPGA 受到了世界范围内广大电子设计工程师的普遍欢迎,在通信、仪表、汽车、军事、航天、测量和测试、消费类电子等领域都有广泛的应用。自 20 世纪 90 年代以来,国外各大 VLSI 厂商不断推出各种系列的大规模和超大规模 CPLD/FPGA 产品,其产品的资源规模和性能提高之快、品种之多令人应接不暇。ALTERA 和 XILINX 等公司当前推出的高端 FPGA 采用 28 nm 工艺技术,最高集成度可达数十亿个晶体管,内部集成了各类硬核知识产权(Intellectual Property, IP)模块。同时,Cadence、Synopsys、Mentor Graphics 等各大 EDA 软件公司相应推出高性能的 EDA 工具软件,以适合集成芯片技术的高速发展。

EDA 技术作为现代电子设计最新技术的结晶,其广阔的应用前景和深远影响已毋庸置疑,它在信息工程专业中的基础地位和核心作用也逐渐被人们所认识。许多高校开设了相应的课程,并为学生提供了课程设计、综合实践、电子设计竞赛、毕业设计、科学研究和产品开发等技术的综合应用实践环节。目前大多数高校的电子信息、通信工程等专业的学生都具有基本的掌握 EDA 工具、进行电子工程设计的能力。比如每年的全国大学生电子设计竞赛都有相关的 EDA 类赛题,通过教学和实践相结合,这些学生的动手能力、新技术应用能力、创新能力都有明显的提高,符合当前对学生的教育指导思想和社会对毕业生的需求方向。

EDA 技术涉及面广,内容丰富。从教学和实用的角度看,究竟应掌握些什么内容呢?结合近年从事 EDA 技术的研究、EDA 实验室的建设及 EDA 技术的有关教学经验,笔者认为,主要应掌握以下五个方面的内容:① 大规模可编程逻辑器件;② 硬件描述语言;③ EDA 软件开发工具;④ 实验开发系统;⑤ 最新的技术和 market 应用。其中,大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体,硬件描述语言是利用 EDA 技术进行电子系统设计的主要表达手段,软件开发工具是利用 EDA 技术进行电子系统设计智能化的自动化设计工具,实验开发系统是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具,最新的前沿技术是实现目标的最有效的手段,market 应用则是掌握 EDA 技术的重要目的。

该课程学习重点包括:① 对于大规模可编程逻辑器件,主要是了解其分类、基本结构、工作原理、各厂家产品的系列、性能指标、优点以及如何选用,而对于各个产品的具体结构不必研究过细。② 对于硬件描述语言,除了掌握基本语法规则外,要掌握系统的分析与建模方法,能够将各种基本语法规则熟练地运用于自己的设计中。③ 对于软件开发工具,应熟练掌握从源程序的编辑、逻辑综合、逻辑适配以及各种仿真、硬件验证各步骤的使用。④ 对于实验开发系统,主要能够根据自己所拥有的设备,熟练地进行硬件验证或变通地进行硬件验证。⑤ 学习课程的同时,应通过图书馆、网络等查阅最新的 EDA 技术的前沿动态,了解新技术的发展状况和当前的市场应用情况,跟上最新的电子技术发展步伐。

众所周知,电子系统的技术指标是十分重要的,包括速度、面积、功耗、可靠性、容错性和电磁兼容性等。因此,EDA 开发与应用课程的实验,除了必须完成的基础性实验项目之外,还需要引导学生完成一些传统电子设计技术所不能实现的内容,突出 EDA 技术的优势。例如在本书中出现的 VGA 图像显示控制器、单片机与复杂可编程逻辑器件的接口逻辑、信号采集与频谱分析、FFT 硬件处理器和数字滤波器等。在这些实践项目中,会发现诸如软件工具、下载方式和载体都成了配角,而更高质量地完成实验项目、不断提高设计的能动性和创造性成为了主角,从而有效地提高以培养工程实践能力为主的 EDA 课程的教学效果。

笔者本着循序渐进的教学方法,将本书分为九章。第一章介绍 EDA 技术所涉及的基本概念和基本内容;第二章介绍可编程逻辑器件的硬件结构和编程技术;第三章通过大量实例详细讲解 VHDL 语言的语法结构;第四章介绍 EDA 工具软件 Quartus II 的基本设计流程;第五章介绍在 Quartus II 软件环境下 LPM 参数化宏模块应用;第六章列举复杂可编程逻辑器件在控制电路中的应用;第七章列举复杂可编程逻辑器件在微机接口中的应用;第八章列举复杂可编程逻辑器件在信号处理中的应用;第九章讲解 SOPC 设计的应用。教师可以根据不同的专业和课程培养目标对教材内容进行适当的取舍。

本书由安徽理工大学周孟然担任主编,山东科技大学薛庆军、安徽理工大学张亚、郭来功担任副主编。其中,第一章、第二章由周孟然编写,第三章、第四章由张亚编写,第五章、第六章由郭来功编写,第七章至第九章由薛庆军编写。全书由周孟然统稿。

现代电子设计技术是不断发展的,涉及面广,技术更新快,新器件不断涌现,因此相应的教学内容和教学方法也在不断改进,其中有许多问题值得深入探讨。由于参加教材编写的各位老师来自不同的院校,其工作经历和专业研究方向也不尽相同,书中难免有错误和不妥之处,恳请读者批评指正(E-mail:mrzhou8521@163.com)。

编 者
2013 年 5 月

目 录

第一章 概述	1
第一节 电子设计自动化技术及其发展	1
第二节 可编程逻辑器件	3
第三节 硬件描述语言	4
第四节 FPGA/CPLD 的 EDA 设计流程	7
第五节 EDA 工具软件	10
第六节 EDA 技术的应用	11
第二章 可编程逻辑器件的结构与编程技术	13
第一节 可编程逻辑器件发展	13
第二节 阵列型 PLD	16
第三节 现场可编程门阵列 FPGA	25
第四节 FPGA/CPLD 的测试技术	29
第五节 CPLD 和 FPGA 的编程与配置	31
第六节 FPGA/CPLD 产品概述	34
第三章 VHDL 硬件描述语言	42
第一节 VHDL 代码结构	42
第二节 VHDL 语言要素	47
第三节 VHDL 数据对象	62
第四节 VHDL 的顺序代码	67
第五节 VHDL 的并发代码	74
第六节 状态机设计	83
第七节 函数和过程	89
第四章 Quartus II 软件的输入设计	96
第一节 十进制计数器的设计流程	96
第二节 引脚设置与下载	105
第三节 SingalTap II 实时测试	111
第四节 原理图设计	114
第五节 设计优化与时序分析	118

第五章 LPM 参数化宏模块应用	125
第一节 LPM 宏模块概述	125
第二节 运算模块的调用	127
第三节 存储模块的调用	132
第四节 其他模块的调用	144
第六章 复杂可编程逻辑器件在控制电路中的应用	151
第一节 直流电机的 PWM 控制	151
第二节 VGA 图像显示控制器	155
第三节 微波炉控制器	160
第四节 电梯控制器	172
第七章 复杂可编程逻辑器件在微机接口中的应用	185
第一节 单片机与复杂可编程逻辑器件的接口逻辑设计	185
第二节 可编程控制器 8255 并行接口芯片设计	191
第三节 PCI 扩展总线桥设计	198
第四节 8051 单片机 IP 软核应用系统构建	224
第八章 复杂可编程逻辑器件在信号处理中的应用	231
第一节 快速乘法器	231
第二节 等精度数字频率计	237
第三节 有限脉冲响应数字滤波器	241
第四节 数字频率合成器	246
第五节 数字存储示波器	251
第六节 FFT 设计	263
第七节 信号采集与频谱分析	269
第九章 SOPC 设计	273
第一节 Nios 嵌入式 CPU 核	273
第二节 Nios 嵌入式系统设计流程	278
第三节 Nios 综合设计示例	281

第一章 概 述

第一节 电子设计自动化技术及其发展

电子设计自动化(Electronic Design Automation, EDA)是随着集成电路和计算机技术的飞速发展而应运而生的一种高级、快速、有效的电子设计自动化工具,也是现代电子设计技术的核心。EDA 技术,就是指以可编程逻辑器件(Programmable Logic Device, PLD)为设计载体,在 EDA 软件平台上,对以硬件描述语言(Hardware Description Language, HDL)为系统逻辑描述手段完成的设计文件,自动地完成逻辑编译、逻辑化简、逻辑分割、逻辑综合及优化、逻辑仿真,直至对于特定目标芯片的适配编译、逻辑映射、编程下载等工作,最终形成集成电子系统或专用集成芯片的一门新技术,或称为 IES(Integrated Electronic System)/ASIC(Application Specific Integrated Circuit)自动设计技术。EDA 是现代电子设计技术的发展趋势,它使得设计者的工作仅限于利用软件的方式,即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现。

一、EDA 与现代电子系统设计

传统的数字电子系统设计是采用搭积木式的方法进行设计,即由器件搭成电路板,由电路板搭成电子系统。数字系统最初的“积木块”是由固定功能的标准集成电路,如 74/75 系列(TTL),4000/4500 系列(CMOS)芯片和一些固定功能的大规模集成电路构成。设计者只能根据需求选择合适的器件,并按照器件推荐的电路来组装系统。这种设计是一种“自底向上”的设计方法。这样设计出的电子系统所用元件的种类和数量均较多,体积、功耗大,可靠性差,不易修改。而在基于微处理器的数字系统设计中,通过微处理器的软件编程(如单片机)和特定器件的控制字配置(如 8255)可以改变器件逻辑功能,但对器件硬件结构的改变是不可能的,引脚功能的定义也不能任意改变,而且对于系统设计只能通过设计电路板来实现系统功能。

随着半导体技术、集成电路技术和计算机技术的发展,尤其是 20 世纪 90 年代以后,电子设计自动化技术的发展和普及给电子系统的设计方法和设计手段带来了革命性的变化,特别是高速发展的 CPLD(Complex Programmable Logic Device)/FPGA(Field Programmable Gate Array)器件为 EDA 技术的不断进步奠定了坚实的物质基础,极大地改变了传统的数字系统设计方法、设计过程乃至设计观念。利用 EDA 工具通过对可编程逻辑器件芯片的设计来实现系统功能,这种方法称为基于芯片的设计方法。新的设计方法能够由设计者定义器件的内部逻辑和引脚,将原来由电路板设计完成的大部分工作放在芯片的设计中进行。这样不仅可以通过芯片设计实现多种数字逻辑系统功能,而且由于引脚定义的灵活性,大大减轻了电路图设计和电路板设计的工作量和难度,从而有效地增强了设计的灵活

性,提高了工作效率;同时基于芯片的设计可以减少芯片的数量,缩小系统体积,降低功耗,提高系统的性能和可靠性。

可编程逻辑器件和 EDA 技术给今天的硬件系统设计者提供了强有力的工具,使得电子系统的设计方法发生了质的变化。传统的“固定功能集成块+连线”的设计方法正逐步地退出历史舞台,而基于芯片的设计方法正在成为现代电子系统设计的主流。现在人们可以把数以亿计的晶体管,几万门、几十万门甚至几百万门的电路集成在一个芯片上。半导体集成电路也由早期的单元集成、部件电路集成发展到整机电路集成和系统电路集成。电子系统的设计方法也由过去的那种“Bottom-up”(自底向上)的设计方法改变为一种新的“Top-down”(自顶向下)设计方法。

现在,只要拥有一台计算机、一套相应的 EDA 软件和一片可编程逻辑器件芯片,在实验室里就可以完成数字系统的设计和生产。可以说,当今的数字系统设计已经离不开可编程逻辑器件和 EDA 设计工具。

二、EDA 技术的发展简史

EDA 技术伴随着计算机、集成电路、电子系统设计的发展,经历了计算机辅助设计(Computer Aided Design, CAD)、计算机辅助工程设计(Computer Aided Engineering, CAE)和电子设计自动化(Electronic Design Automation, EDA)三个发展阶段。

(一) 20 世纪 70 年代的计算机辅助设计阶段

早期的电子系统硬件设计采用的是分立元件。随着集成电路的出现和应用,硬件设计进入到发展的初级阶段。初级阶段的硬件设计大量选用中小规模标准集成电路,人们将这些器件焊接在电路板上,做成初级电子系统,对电子系统的调试是在组装好的 PCB(Printed Circuit Board)上进行的。

由于设计师对图形符号使用数量有限,传统的手工布图方法无法满足产品复杂性的要求,更不能满足工作效率的要求。这时,人们开始将产品设计过程中高度重复性的繁杂劳动,如布局布线工作,用二维图形编辑与分析的 CAD 工具替代,最具代表性的产品就是美国 ACCEL 公司开发的 Tango 布线软件。20 世纪 70 年代,是 EDA 技术发展初期,由于 PCB 布局布线工具受到计算机工作平台的制约,其支持的设计工作有限且性能比较差。

(二) 20 世纪 80 年代的计算机辅助工程设计阶段

初级阶段的硬件设计是用大量不同型号的标准芯片实现电子系统设计的。随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万直到上百万存储单元的随机存储器和只读存储器。此外,支持定制单元电路设计的硅编程、掩膜编程的门阵列,如标准单元的半定制设计方法以及可编程逻辑器件(PAL 和 GAL)等一系列微结构和微电子学的研究成果都为电子系统的设计提供了新天地。因此,可以用少数几种通用的标准芯片实现电子系统的设计。

随着计算机和集成电路的发展,EDA 技术进入到计算机辅助工程设计阶段。20 世纪 80 年代初,推出的 EDA 工具以逻辑模拟、定时分析、故障仿真、自动布局布线为核心,重点解决电路设计没有完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件,在设计阶段对产品性能的分析前进了一大步。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中绘图的重复劳

动,那么,到了 80 年代出现的具有自动综合能力的 CAE 工具则部分代替了设计师的工作,对保证电子系统的设计、制造出最佳的电子产品起着关键的作用。到了 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化和设计结果验证,CAE 阶段的 EDA 工具不仅为成功开发电子产品创造了有利条件,而且为高级设计人员的创造性劳动提供了方便。但是,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,而具体化的元件图形则制约着优化设计。

(三) 20 世纪 90 年代电子系统设计自动化阶段

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把想设计的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者通过设计芯片实现电子系统功能。而 EDA 工具的发展,又为设计师提供了全新的 EDA 工具。这个阶段发展起来的 EDA 工具,目的是在设计前期将设计师从事的许多高层次设计由工具来完成,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等。由于电子技术和 EDA 工具的发展,设计师可以在较短的时间内使用 EDA 工具,通过一些简单标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。

20 世纪 90 年代以来,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品开发(即片上系统集成, System On a Chip)。因此,EDA 工具是以系统设计为核心,包括系统行为级描述与结构综合,系统仿真与测试验证,系统划分与指标分配,系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段。例如,提供方框图、状态图和流程图的编辑能力,具有适合层次描述和混合信号描述的硬件描述语言(如 VHDL、AHDL 或 Verilog HDL),同时含有各种工艺的标准元件库。只有具备上述功能的 EDA 工具,才可能使电子系统工程师在不熟悉各种半导体工艺的情况下完成电子系统的设计。

进入 21 世纪,EDA 技术在广度和深度两个方向都得到了更大发展。随着更大规模 CPLD 和 FPGA 器件的不断推出,在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断出现,软硬 IP 核功能库的建立,以及基于 VHDL 所谓自顶向下设计理念的确立,未来的电子系统的设计与规划将不再是电子工程师们的专利。有专家认为,21 世纪将是 EDA 技术快速发展的时期,并且 EDA 技术将是对 21 世纪产生重大影响的十大技术之一。

第二节 可编程逻辑器件

一般来说,利用 EDA 技术进行电子系统设计的物理载体是全定制或半定制 ASIC 和大规模可编程逻辑器件。大规模可编程逻辑器件是以 CPLD/FPGA 为代表的,由用户编程以实现某种逻辑功能的新型逻辑器件。与 ASIC 设计相比,FPGA/CPLD 显著的特点是直接面向用户,具有极大的灵活性和通用性,使用方便,硬件测试和实现便捷,开发效率高,工作可靠性好等;而且当产品定型和产量扩大后,可将在生产中达到充分检验的 VHDL 设计迅

速实现 ASIC 投产。

早期可编程逻辑器件只有可编程只读存储器(PROM),它属于一次性编程(OTP)器件。由于结构的限制,只能完成地址译码等一些简单的数字逻辑功能。其后,出现了一类结构上稍复杂的可编程芯片,主要有可编程阵列逻辑(PAL)和通用阵列逻辑(GAL)。PAL 由一个可编程的与阵列和一个固定的或阵列构成,或门的输出可以通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的,它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。而 GAL 采用 EEPROM 工艺,实现了电可擦除和改写,其输出结构是可编程的逻辑宏单元,具有很强的设计灵活性。PAL 和 GAL 的共同特点是可以实现速度特性较好的中小规模的逻辑功能,但由于片内阵列规模较小,不能用于大型数字系统设计。为弥补这一缺陷,20 世纪 90 年代,Altera 公司和 Xilinx 公司分别推出了类似于 GAL 结构的扩展型 CPLD 和与标准门阵列类似的 FPGA,它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽的特点。与以往的 PAL 和 GAL 等相比较,FPGA/CPLD 的规模比较大,可以替代几十甚至几千块通用 IC 芯片。这样的 FPGA/CPLD 实际上就是一个子系统部件。目前,随着集成度更高、性能更好的 FPGA/CPLD 产品系列的推出,原来需要成千上万只电子元器件组成的电子系统,现在以单片超大规模集成电路即可实现,为 SOC(System On Chip)和 SOPC(System On Programmable Chip)的发展开拓了可实施的空间。

FPGA 在结构上主要分为三个部分,即可编程逻辑单元、可编程输入/输出单元和可编程连线三个部分。CPLD 在结构上主要包括三个部分,即可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线。高集成度、高速度和高可靠性是 FPGA/CPLD 最明显的特点,其时钟延时可小至纳秒(ns)级,结合其并行工作方式,在超高速应用领域和实时测控方面有着非常广阔的应用前景。如果设计得当,将不会存在类似于 MCU 的复位不可靠和 PC 可能跑飞等问题。此外高可靠性还表现在几乎可将整个系统下载于同一芯片中,从而大大缩小了体积,易于管理和屏蔽。

由于 FPGA/CPLD 的集成规模非常大,因此可利用先进的 EDA 工具进行电子系统设计和产品开发。出于开发工具的通用性、设计语言的标准化以及设计过程几乎与所用器件的硬件结构无关,因而设计开发成功的各类逻辑功能块软件有很好的兼容性和可移植性。它几乎可用于任何型号和规模的 FPGA/CPLD 中,从而使得产品设计效率大幅度提高,可以在很短时间内完成十分复杂的系统设计,这正是产品快速进入市场最宝贵的特征。美国 IT 公司认为,一个 ASIC 80%的功能可用于 IP 核等现成逻辑合成,而未来大系统的 FPGA/CPLD 设计仅仅是各类再应用逻辑与 IP 核的拼装,其设计周期将更短。

对于一个开发项目,究竟是选择 FPGA 还是选择 CPLD 呢?主要看开发项目本身的需要。对于普通规模,且产量不是很大的产品项目,通常使用 CPLD 比较好;对于大规模的逻辑设计、ASIC 设计,或单片系统设计,则多采用 FPGA。另外,FPGA 掉电后将丢失原有的逻辑信息,所以在实用中需要为 FPGA 芯片配置一个专用存储器。

第三节 硬件描述语言

硬件描述语言 HDL 是 EDA 技术的重要组成部分,常见的 HDL 主要有 VHDL、Verilog HDL、ABEL、AHDL 等。其中 VHDL 和 Verilog HDL 已成为 IEEE 标准的硬件描

述语言,拥有几乎所有的主流 EDA 工具软件的支持。本书将重点介绍 VHDL 及其使用技术。

一、VHDL 的产生和发展

VHDL 是超高速集成电路硬件描述语言 (Very High Speed Integrated Circuits Hardware Description Language) 的缩写,诞生于 1983 年由 IEEE (Institute of Electrical and Electronics Engineers) 进一步发展,1987 年,IEEE 发布了 VHDL 的第一个标准版本 IEEE1076—1987。从此,VHDL 成为硬件描述语言的业界标准之一。1993 年,IEEE 对 VHDL 进行了修订,公布了新版本的 VHDL,即 IEEE 标准的 1076—1993 版本。2002 年,IEEE 公布了最新 VHDL 标准版本 IEEE 1076—2002。自 IEEE 公布了 VHDL 的标准版本之后,国际上的各 EDA 公司相继推出了自己的 VHDL 设计环境,或宣布自己的设计工具支持 VHDL。此后 VHDL 在电子设计领域得到了广泛应用,并逐步取代了原有的非标准硬件描述语言。

VHDL 一开始是作为电子电路和系统的建模语言开发的,其基本思想是在高层次上描述系统和元件的行为,用于标准文档的建立和电路功能模拟。但到了 20 世纪 90 年代初,人们发现,VHDL 不仅可以作为系统模拟的建模工具,而且可以作为电路系统的设计工具;可以利用 EDA 软件工具将 VHDL 源代码自动地转化为文本方式表达的基本逻辑元件连接图,即网表文件。这种方法显然对于电路自动设计是一个极大的推进。很快,电子设计领域出现了第一个软件设计工具,即 VHDL 逻辑综合器,它可以将 VHDL 的大部分描述语句转化成具体电路实现的网表文件。

二、VHDL 的特点

VHDL 作为 IEEE 标准的硬件描述语言,具备以下特点。

1. 多层次的电路描述与建模能力

VHDL 语言具有很强的电路描述和建模能力,能从多个层次对数字系统进行建模和描述,从而大大简化硬件设计任务,提高设计效率和可靠性。VHDL 既可以描述系统级电路,也可以描述门级电路;既可以采用行为描述、功能描述或者结构描述,也可以采用三者的混合描述方式;同时也支持惯性延迟和传输延迟,可方便地建立电子系统的模型。VHDL 强大的多层次描述功能主要来自于强大的语法结构和丰富的数据类型。

2. 良好的可移植性,便于共享和复用

VHDL 的可移植性体现在:对于同一个设计的 VHDL 代码,它可以从一个仿真工具移植到另一个仿真工具中进行仿真;可以从一个综合环境中移植到另一个综合环境中进行综合;可以从一个设计操作平台移植到另一个设计操作平台中进行执行。VHDL 的可移植性源于它是一种标准化的硬件描述语言,可以在各种不同的设计环境和系统平台中使用。

VHDL 采用基于库的设计方法。库中可以存放大量预先设计或者以前项目设计中曾经使用过的模块,这样设计人员在新项目设计的过程中可以直接复用这些功能模块,从而大大减少了工作量,缩短了开发周期。由于 VHDL 是一种描述、仿真、综合、优化和布线的标准硬件描述语言,因此可以使电子系统设计成果在各个公司、团体和设计人员之间进行交流和共享。

3. 独立于器件和工艺设计,具有良好的系统性能评估能力

VHDL 允许设计人员首先生成一个设计而不需要考虑具体用来实现设计的器件,这个

特点可以使设计人员集中精力来进行电子系统的功能设计和优化。实际上,对于一个相同的设计描述,设计人员可以采用不同的器件结构来实现设计描述的功能。同理,设计人员在进行设计时,往往也不需要考虑与工艺相关的信息。当设计人员对一个设计描述进行完编译、仿真和综合后,可以通过采用不同的映射工具将设计映射到不同的工艺上去。

独立于器件和工艺设计可以允许设计人员采用不同的器件结构、工艺水平和综合工具来对自己的设计进行评估。设计人员可以采用 VHDL 进行一个完整的设计描述,同时可以对它进行综合,生成选定器件结构的逻辑功能;然后再对设计结果进行评估,从而选择适合于设计要求的逻辑器件。为了衡量综合的质量,设计人员同样可以采用不同的综合工具对设计进行综合,然后再对不同的综合结果进行性能分析和评估。

4. 具有快速向 ASIC 移植的能力

VHDL 语言的两个最直接的应用领域是可编程逻辑器件和专用集成电路。一段 VHDL 代码编写完成后,设计人员可以使用 FPGA/CPLD 芯片来实现整个电路,这将大大缩短研发周期,使设计产品快速上市。当产品的产量达到相当的数量时,将 VHDL 代码提交给专业的代客户加工的工厂用于 ASIC 的生产,可以快速实现向 ASIC 的转变,这也是目前许多复杂的商用芯片所采用的实现方法。

三、VHDL 的综合

综合,就其字面含义应该为:把抽象的实体结合成单个或统一的实体。在电子设计自动化领域,综合的概念可以表示为:将用行为和功能层次表达的电子系统转换成低层次的便于具体实现的模块组合装配的过程。在基于 VHDL 的设计过程中,综合也可以理解为从 VHDL 代码到具体电路结构的转化过程。

图 1.1 是一个全加器的电路图。其中 a 和 b 是要输入相加的两个位, cin 是输入的进位位, s 是求和结果, cout 是输出的进位位。如图中的真值表所示,当输入端出现奇数个高电平时, s 输出高电平;当输入端出现两个或两个以上高电平时, cout 输出高电平。

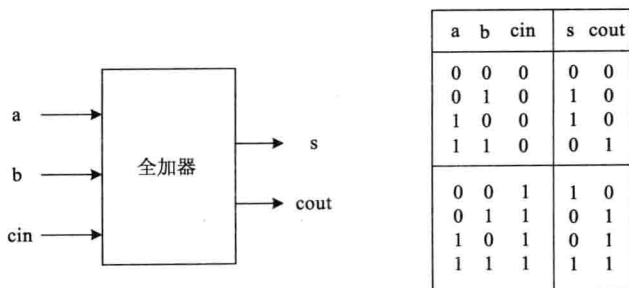


图 1.1 全加器电路框图和真值表

图 1.2 给出了图 1.1 所示全加器的 VHDL 代码。这些代码由实体(ENTITY)和结构体(ARCHITECTURE)两部分组成,其中 ENTITY 给出了电路外部连接端口的定义,ARCHITECTURE 内部的语句描述了电路所实现的功能。可以看出,全加器运算结果 s 是 a、b 和 cin 进行“异或”操作的结果,进位输出 cout 的运算表达式 $cout = a \cdot b + a \cdot cin + b \cdot cin$ 。根据图 1.2 左侧的 VHDL 代码,通过综合器可以自动地生成一个实现相同功能的具体电路,如图 1.2 右侧所示。

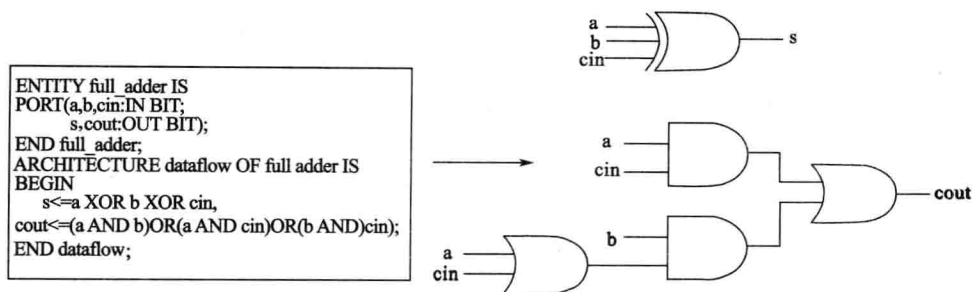


图 1.2 全加器的 VHDL 代码与综合出的电路

根据数字电路设计的相关知识,有多种电路结构可以实现 ARCHITECTURE 中表达式所描述的功能。这说明对 VHDL 代码综合的结果并不是唯一的,具体采用哪种电路结构来实现,取决于所选用的 VHDL 综合器的类型、电路优化的目标(希望得到的电路拥有更高的速度还是占用更少的逻辑资源)和最终的实现方式(使用 CPLD 还是 FPGA 来实现)。

需要指出的是,VHDL 方面的 IEEE 标准,主要指的是文档的表述、行为建模及其仿真,至于在电子线路设计方面,VHDL 并没有得到全面的支持和标准化。也就是说,尽管所有 VHDL 代码都是可以仿真的,但并不是所有代码都是可综合的。

第四节 FPGA/CPLD 的 EDA 设计流程

建造一栋楼房的工程流程是:首先,我们需要进行建筑设计——用各种设计图纸把建筑设计想表示出来;其次,要进行建筑预算——根据投资规模、拟建楼房的结构及有关建房的经验数据等计算需要多少基本的建筑材料(如砖、水泥、预制块、门、窗户等);第三,根据建筑设计和建筑预算进行施工设计——这些砖、水泥、预制块、门、窗户等具体砌在房子的什么部位,相互之间怎样连接;第四,根据施工图进行建筑施工——将这些砖、水泥、预制块、门、窗户等按照规定施工建成一栋楼房;最后,施工完毕后,还要进行建筑验收——检验所建楼房是否符合设计要求,同时在整个建设过程中,可能要做出某些建筑模型或进行某些建筑实验。

那么,对于目标器件为 FPGA 和 CPLD 的 VHDL 设计,其工程设计步骤如何呢? EDA 的工程设计与上面所描述的基建流程类似:首先需要进行源程序的编辑和编译——用一定的逻辑表达手段将设计表达出来;其次,要进行逻辑综合——将用一定的逻辑表达手段表达出来的设计,经过一系列的操作,分解成一系列的基本逻辑电路及对应关系(电路分解);第三,要进行目标器件的布线/适配——在选定的目标器件中建立这些基本逻辑电路及对应关系(逻辑实现);第四,目标器件的编程/下载——将前面的软件设计经过编程变成具体的设计系统(物理实现);最后,要进行硬件仿真/硬件测试——验证所设计的系统是否符合设计要求。同时在设计过程中要进行有关仿真——模拟有关设计结果与设计构想是否相符。综上所述,EDA 的工程设计的基本流程如图 1.3 所示,现具体阐述如下。

(一) 源程序的编辑和编译

利用 EDA 技术进行一项工程设计,首先需利用 EDA 工具的文本编辑器或图形编辑器

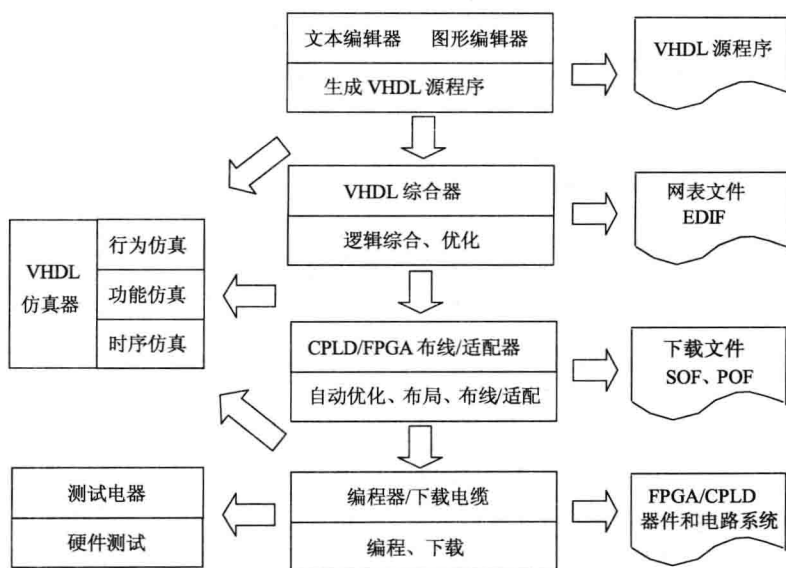


图 1.3 FPGA/CPLD 设计流程图

将它用文本方式或图形方式表达出来,进行排错编译,变成 VHDL 文件格式,为进一步的逻辑综合做准备。

常用的源程序输入方式有三种。

1. 原理图输入方式

利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。原理图输入方式比较容易掌握,直观且方便,所画的电路原理图(请注意,这种原理图与利用 Protel 画的原理图有本质的区别)与传统的器件连接方式完全一样,很容易被人接受,而且编辑器中有许多现成的单元器件可以利用,用户也可以根据需要自己设计元件。然而原理图输入法的优点同时也是它的缺点:① 随着设计规模增大,设计的易读性迅速下降,对于图中密密麻麻的电路连线,很难搞清电路的实际功能;② 一旦完成,电路结构的改变将十分困难,因而几乎没有可再利用的设计模块;③ 移植困难、入档困难、交流困难、设计交付困难,因为不可能存在一个标准化的原理图编辑器。

2. 状态图输入方式

以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后,就可以自动生成 VHDL 程序。这种设计方式简化了状态机的设计,比较流行。

3. VHDL 文本输入方式

最一般化、最具普遍性的输入方法,任何支持 VHDL 的 EDA 工具都支持文本方式的编辑和编译。

(二) 逻辑综合和优化

要将 VHDL 的软件设计与硬件的可实现性挂钩,需要利用 EDA 软件系统的综合器进行逻辑综合。

所谓逻辑综合,就是将电路的高级语言描述(如 VHDL、原理图或状态图形的描述)转换成低级的,可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。而网

表文件就是按照某种规定描述电路的基本组成及如何相互连接的关系的文件。

由于 VHDL 仿真器的行为仿真功能是面向高层次的系统仿真,只能对 VHDL 的系统描述做可行性的评估测试,而不针对任何硬件系统,因此基于这一仿真层次的许多 VHDL 语句都不能被综合器所接受。这就是说,这类语句的描述无法在硬件系统中实现(至少是在现阶段)。这时,综合器不支持的语句在综合过程中将被忽略掉。综合器对源 VHDL 文件的综合是针对某一 PLD 供应商的产品系列的,因此,综合后的结果是可以为硬件系统所接受的,具有硬件可实现性。

(三) 目标器件的布线/适配

所谓逻辑适配,就是将由综合器产生的网表文件针对某一具体的目标器件进行逻辑映射操作,其中包括底层器件配置、逻辑分割、逻辑优化、布线与操作等,配置于指定的目标器件中,产生最终的下载文件,如 JEDEC、pof 和 sof 格式的文件。

适配所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与器件结构相对应。

(四) 目标器件的编程/下载

如果编译、综合、布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题,即满足原设计的要求,则可以将由 FPGA/CPLD 布线/适配器产生的配置/下载文件,通过编程器或下载电缆载入目标芯片 FPGA 或 CPLD 中。

(五) 设计过程中的有关仿真

设计过程中的仿真有三种,它们是行为仿真、功能仿真和时序仿真。

所谓行为仿真,就是将 VHDL 设计源程序直接送到 VHDL 仿真器中所进行的仿真。该仿真只是根据 VHDL 的语义进行的,与具体电路没有关系。在这时的仿真中,可以充分发挥 VHDL 中的适用于仿真控制的语句及有关的预定义函数和库文件。

所谓功能仿真,就是将综合后的 VHDL 网表文件再送到 VHDL 仿真器中所进行的仿真。这时的仿真仅对 VHDL 描述的逻辑功能进行测试模拟,以了解其实现的功能是否满足原设计的要求,仿真过程不涉及具体器件的硬件特性,如延时特性。综合之后的 VHDL 网表文件采用 VHDL 语法,首先描述了最基本的门电路,然后将这些门电路用例化语句连接起来。描述的电路与生成的 EDIF 网表文件一致。

所谓时序仿真,就是将布线器/适配器所产生的 VHDL 网表文件送到 VHDL 仿真器中所进行的仿真。该仿真已将器件特性考虑进去了,因此可以得到精确的时序仿真结果。布线/适配处理后生成的 VHDL 网表文件中包含了较为精确的延时信息,网表文件中描述的电路结构与布线/适配后的结果是一致的。

(六) 硬件测试

所谓硬件测试,就是针对 FPGA 或 CPLD 直接用于应用系统的设计中,将下载文件下载到 FPGA 后,对系统的设计进行的功能检测,这一过程称为硬件测试。

硬件测试的目的,是为了在更真实的环境中检验 VHDL 设计的运行情况,特别是对于 VHDL 程序设计上不是十分规范、语义上含有一定歧义的程序。此外,由于目标器件功能的可行性约束,综合器对于设计的“理解”常在有限范围内选择,结果这种“理解”的偏差势必导致仿真结果与综合后实现的硬件电路在功能上的不一致。当然,还有许多其他的因素

也会产生这种不一致,由此可见,FPGA/CPLD 设计的硬件测试是十分必要的。

第五节 EDA 工具软件

EDA 工具软件在 EDA 技术应用中占据十分重要的位置,EDA 的核心是利用计算机完成电子设计的全程自动化,因此,基于计算机环境的 EDA 软件的支持是必不可少的。由于 FPGA/CPLD 的整个设计流程涉及不同技术环节,每一环节都必须有对应的专用 EDA 软件独立处理,包括对 VHDL 电路模型的描述、综合、仿真、适配、下载等。因此 EDA 工具软件大致可以分为 5 个模块:设计输入编辑器、HDL 综合器、仿真器、适配器和下载器。当然,这种分类也不是绝对的,国际上主流的 FPGA/CPLD 生产厂商为了方便用户使用,往往提供了 FPGA/CPLD 集成开发环境,如 Altera 公司的 Quartus II 软件,Xilinx 公司的 ISE 软件。对于初学者来说,熟练掌握一种 EDA 集成开发环境是十分必要的,可以通过上机实践整个 FPGA/CPLD 的设计流程快速掌握 EDA 设计技术。

一、主流 FPGA/CPLD 厂家的 EDA 集成开发环境

1. Quartus II

Quartus II 是 Altera 公司推出的 EDA 软件工具,其设计工具完全支持 VHDL、Verilog 的设计流程,其内部嵌有 VHDL、Verilog 逻辑综合器,当然第三方的综合工具,如 Leonardo Spectrum、Synplify Pro、FPGA Compiler II 有着更好的综合效果,Quartus II 可以直接调用这些第三方工具。同样,Quartus II 具备仿真功能,但也支持第三方的仿真工具,如 Model-Sim。此外,Quartus II 为 Altera DSP 开发包进行系统模型设计提供了集成综合环境,它与 MATLAB 和 DSP Builder 结合可以进行基于的系统 FPGA 的 DSP 开发,是硬件系统实现的关键 EDA 工具。Quartus II 还可与 SOPC Builder 结合,实现 SOPC 系统开发。

2. ispDesign EXPERT

ispDesign EXPERT 是 Lattice Semiconductor 的主要集成环境软件。通过它可以进行 VHDL、Verilog 及 ABEL 语言的设计输入、综合、适配、仿真和在系统下载。ispDesign EXPERT 是目前流行的 EDA 软件中最容易掌握的设计工具之一,它界面友好,操作方便,功能强大,并与第三方 EDA 工具兼容良好。

3. ISE

ISE 是 Xilinx 公司推出的 EDA 集成软件环境(Integrated Software Environment,简称为 ISE)。Xilinx ISE 操作简易方便,其提供的各种最新改良功能解决了以往各种设计上的瓶颈,加快了设计与检验的流程,如 Project Navigator(先进的设计流程导向专业管理程式)让用户能在同一设计工程中使用 Synplify 与 Xilinx 的合成工具,混合使用 VHDL 及 Verilog HDL 源程序,让设计人员能使用固有的 IP 与 HDL 设计资源达至最佳的结果。使用者亦可链接与启动 Xilinx Embedded Design Kit (EDK) XPS 专案管理器,以及使用新增的 Automatic Web Update 功能来监视软件的更新状况向使用者发送通知,及让使用者进行下载更新档案,以令其 ISE 的设定维持最佳状态。ISE 提供各种独特的高速设计功能,如新增的时序限制设定。先进的管脚锁定与空间配置编辑器(PACE:Pinout and Area Configuration Editor)提供操作简易的图形化界面引脚配置与管理功能。经过大幅改良后,ISE 加强了 CPLD 的支援能力。ISE 支持所有 Xilinx 尖端产品系列,其中包括 Virtex II Pro 系列