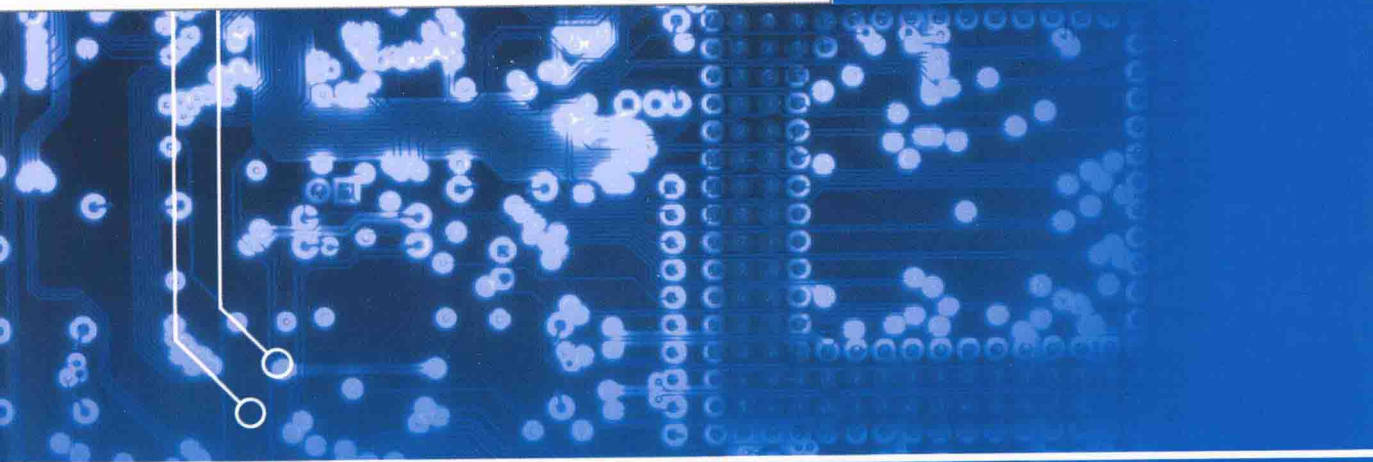


高职高专电子制造类专业规划教材
英特尔公司推荐教材

微电子封装技术

张楼英 主编



 高等教育出版社
HIGHER EDUCATION PRESS



高职高专电子制造类专业规划教材
英特尔公司推荐教材

微电子封装技术

Weidianzi Fengzhuang Jishu

张楼英 主编
李可为 周雷 参编
吕国皎 吴大军
石艳玲 主审



高等教育出版社·北京
HIGHER EDUCATION PRESS BEIJING

内容提要

本书将微电子封装技术整个知识体系分成两部分共 12 章。第一部分是工艺流程,第二部分是典型封装。内容包括绪论、晶圆切割、黏晶、芯片互连、模塑、其他工艺流程、双列直插式封装技术、四边扁平封装技术、球栅阵列技术、芯片尺寸封装、多芯片组件封装与三维封装技术以及封装过程中的缺陷分析。

本书可作为高等职业院校、高等专科学校、成人高校、民办高校及本科院校举办的二级职业技术学院以微电子封装技术为重点的电子类专业及相关专业的教学用书,并可作为社会从业人士的业务参考书及培训用书。

图书在版编目(CIP)数据

微电子封装技术/张楼英主编. —北京:高等教育出版社, 2011. 8
ISBN 978-7-04-031667-4

I. ①微… II. ①张… III. ①微电子技术-封装工艺-高等职业教育-教材 IV. ①TN405.94

中国版本图书馆 CIP 数据核字(2011)第 124757 号

策划编辑 牛旭华

责任编辑 牛旭华

封面设计 张志

版式设计 余杨

插图绘制 尹莉

责任校对 金辉

责任印制 刘思涵

出版发行 高等教育出版社
社 址 北京市西城区德外大街 4 号
邮政编码 100120
印 刷 煤炭工业出版社印刷厂
开 本 787mm × 1092mm 1/16
印 张 9.25
字 数 220 千字
购书热线 010-58581118

咨询电话 400-810-0598
网 址 <http://www.hep.edu.cn>
<http://www.hep.com.cn>
网上订购 <http://www.landaco.com>
<http://www.landaco.com.cn>
版 次 2011 年 8 月第 1 版
印 次 2011 年 8 月第 1 次印刷
定 价 17.00 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换
版权所有 侵权必究
物料号 31667-00

序 言

短短的 20 年，消费类电子产品就发展成为继衣食住行后人们生活的必需品。中国在改革开放时恰逢世界电子产品普及的前夜，赶上了电子制造业飞速发展的步伐，一跃成为世界最大的电子产品制造国，电子工业也成为世界第一大工业。

我国对电子制造工程(包括集成电路设计与制造、电子与光电子封装)方面各层次的人才需求非常旺盛，从低级(技工)到高级(博士)各层次的人才需求量都非常大。反观我们的中等和高等教育没有形成培养适应电子工业发展的电子制造工程类专门人才的培养体系，造成了该领域人才奇缺的局面。目前电子制造业招募的大量工程技术人员都是来自材料、机械、物理、自动化等专业的人员，用人单位需要花大力气对其进行进一步培训(养)。

将电子制造与机械制造相类比：涉及机械制造的专业有很多：机械、铸、锻、焊、热处理、机电一体化、工程机械、冶金机械、模具技术、工业设计等；而真正涉及电子制造的专业却没有一个，如果有的话，可能就是微电子专业了。电子制造对人才的需求与机械制造领域培养学生的相对过剩已经形成了非常鲜明的对比。

在欧美国家和日本，大量的机械、电子、物理、冶金、材料等人员均转向电子制造领域。在人才培养上，各专业已经在专业设置上开设了多门电子制造工程方面的专门课程，也形成了很多有影响的教材。现在的中国已经成为世界电子产品制造的基地，但现状是国外研发、中国制造，人才的需求自然具有中国的特色。我们在人才的培养上欠账太多，必须立即起步，大量培养电子制造领域的专科应用型人才和本科及更高层次的研发人才，才能有大量的属于中国的原创电子产品和先进的电子封装形式，真正将这一领域的发展掌握在中国人的手里。

近年来，无论是中央还是地方各级政府，都将加速微电子、光电子、平板显示、光伏太阳能、半导体照明等电子制造业的发展列为发展经济的一项重要工作。新型的电子制造行业不断出现，更加剧了对高素质技能型专门人才的旺盛需求。迫切要求开设光电子技术、平板显示技术、光伏太阳能、汽车电子等新专业，构建电子制造工程专业群，但这些新专业又很难找到合适的教材，严重制约了专业的发展和人才培养质量的提高。

为此，2009 年 11 月，高等教育出版社联合英特尔(中国)有限公司在南京召开了“高职高专电子制造工程专业教学研讨与教材组稿会”。此次会上组建了高职高专电子制造类专业规划教材编写组，确定了近 20 本教材，基本涵盖了电子制造工程专业群各专业教材需求。在英特尔公司的大力支持和国内多所业内知名高职高专院校的通力合作下，在各位作者的辛勤努力下，高职高专电子制造类专业规划教材即将由高等教育出版社出版。这是我国高职高专电子制造工程专业群教育史上的一个划时代的事件，标志着我们构建了一个面向电子制造工业的全新和完整的高职高专电子制造工程人才培养体系。

随着电子制造工程专业群各专业选用本丛书系列教材，定会为我国乃至世界的电子制造业培养大量优秀的高素质技能型专门人才。这套教材丛书的出版也能够为正在从事电子制造领域的科技工作者以及工业界的朋友提供一个系列参考书。

华中科技大学教授 博士生导师
武汉光电国家实验室教授
北京理工大学兼职教授



2010年8月27日

前 言

1947年晶体管发明的同时，也开创了微电子封装的历史。近四十年中，封装技术发展日新月异，先后经历了四次重大技术突破。第一次在20世纪70年代中叶，产生双列直插式引脚封装(DIP)技术；第二次在20世纪80年代，以四边扁平封装(QFP)为代表的四边引出I/O端子为特征的表面贴装型；第三次发生在20世纪90年代，以芯片尺寸封装(CSP)、倒装芯片互连、球栅阵列(BGA)为代表的封装技术；第四次发生在21世纪初，以晶圆级封装(WLP)、系统封装(SIP)、封装上封装(POP)、晶圆级堆叠封装(WSP)、四边扁平封装(QFP)为代表的最新一代封装形式；2010年后，将是嵌入式硅器件、面对面(face to face)互连、超薄封装和穿透硅通孔(TSV)的全新封装时代。

在电子封装技术中，微电子封装更是举足轻重，所以IC封装在国际上早已成为独立的封装测试产业，并与IC设计和IC制造共同构成IC产业的三大支柱。正是电子封装，特别是微电子封装技术的发展，推动着电子装备不断升级换代，推动着电子信息技术高速发展。

本书将微电子封装技术整个知识体系分成两部分共12章。第1章为“绪论”，第2章为“晶圆切割”，第3章为“黏晶”，第4章为“芯片互连”，第5章为“模塑”，第6章为“其他工艺流程”，第7章为“双列直插式封装技术”，第8章为“四边扁平封装技术”，第9章为“球栅阵列技术”，第10章为“芯片尺寸封装”，第11章为“多芯片组件封装与三维封装技术”，第12章为“封装过程中的缺陷分析”。

本书的参考学时数为60学时。教学时，建议根据实际情况，对章节内容进行适当取舍或增补，适度掌握理论教学深度，注意配合和加强实践环节，以提高学生的专业素养和创新能力。

在本书的编写过程中，成都电子机械高等专科学校李可为、吕国蛟参编第8章、第9章、第11章、第12章；淮安信息职业技术学院周雷参加了第1章、第7章的编写工作；淮安信息职业技术学院吴大军参与编写了第10章；淮安信息职业技术学院张楼英编写了其余章，并负责全书统稿。华东师范大学石艳玲教授审阅了书稿并提出了宝贵的修改意见。

本书在微电子封装与测试的专业深度及相关理论的阐述上或有欠缺；另外，由于编者水平所限，仓促集结成册，虽吸取了编委和专家们的许多意见或建议，书中仍难免有不足甚至差错，敬请业界人士及广大读者不吝赐教。

编 者

2011年4月

目 录

第 1 章 绪论	1	第二部分 典型封装	64
1.1 概述	1	第 7 章 双列直插式封装技术	64
1.2 微电子封装的现状与趋势	5	7.1 CDIP 封装技术	64
第一部分 工艺流程	13	7.2 PDIP 技术	67
第 2 章 晶圆切割	14	第 8 章 四边扁平封装技术	69
2.1 磨片	14	8.1 四边扁平封装的基本概念	
2.2 贴片	14	和特点	69
2.3 划片	15	8.2 四边扁平封装的类型和结构	70
2.4 问题与讨论	16	8.3 QFP 封装与其他几种封装	
第 3 章 黏晶	17	的比较	72
3.1 装片的要求	17	第 9 章 球栅阵列技术	73
3.2 装片过程	17	9.1 球栅阵列的基本概念、特点	
3.3 装片方法	18	和封装模型	73
3.4 芯片废弃标准	20	9.2 BGA 的制作及安装	78
3.5 问题与讨论	20	9.3 BGA 检测技术与质量控制	80
第 4 章 芯片互连	22	9.4 基板	83
4.1 概述	22	9.5 BGA 的封装设计	84
4.2 引线键合	23	9.6 BGA 的生产、应用及典型实例	85
4.3 载带自动焊	45	第 10 章 芯片尺寸封装	86
4.4 问题与讨论	47	10.1 芯片尺寸封装概述	86
第 5 章 模塑	49	10.2 芯片尺寸封装基板上焊凸点倒装	
5.1 模塑	49	芯片和引线键合芯片的比较	87
5.2 问题与讨论	53	10.3 引线架的芯片尺寸封装	89
第 6 章 其他工艺流程	56	10.4 柔性板上的芯片尺寸封装	93
6.1 去飞边毛刺	56	10.5 刚性基板芯片尺寸封装	96
6.2 电镀	56	10.6 硅片级再分布芯片尺寸封装	97
6.3 印字	58	第 11 章 多芯片组件封装与三维	
6.4 剪切	59	封装技术	103
6.5 引脚成形	60	11.1 简介	103
6.6 问题与讨论	63	11.2 多芯片组件封装	103
		11.3 多芯片组件封装的分类	104
		11.4 三维(3D)封装技术的垂直	

互连	107	12.4 基板裂纹	117
11.5 三维(3D)封装技术的优点和 局限性	111	12.5 孔洞	117
11.6 三维(3D)封装技术的前景	114	12.6 芯片封装再流焊中的问题	117
第 12 章 封装过程中的缺陷分析	115	12.7 EMC 封装成形常见缺陷及 其对策	131
12.1 金线偏移	115	附录 1 各类协会/学会	135
12.2 芯片开裂	116	主要参考文献	136
12.3 界面开裂	116		

第 1 章 绪 论

1.1 概述

1.1.1 什么叫封装

封装，就是指把硅片上的电路引脚用导线接到外部接头处，以便与其他器件连接。封装形式是指安装半导体集成电路芯片用的外壳。它不仅起安装、固定、密封、保护芯片及增强电热性能等方面的作用，而且还通过芯片上的接点用导线连接到封装外壳的引脚上，这些引脚又通过印制电路板上的导线与其他器件相连接，从而实现内部芯片与外部电路的连接。因为芯片必须与外界隔离，以防止空气中的杂质对芯片电路的腐蚀而造成电气性能下降。另一方面，封装后的芯片也更便于安装和运输。由于封装技术的好坏还直接影响到芯片自身性能的发挥和与之连接的印制电路板(PCB)的设计和制造，因此它是至关重要的。

衡量一个芯片封装技术先进与否的重要指标是芯片面积与封装面积之比，这个比值越接近 1 越好。封装时主要考虑的因素如下：

- (1) 为提高封装效率，芯片面积与封装面积之比尽量接近 1:1。
- (2) 引脚要尽量短以减少延迟，引脚间的距离尽量远，以保证互不干扰，提高性能。
- (3) 基于散热的要求，封装越薄越好。

封装主要分为双列直插式封装和表面贴装封装(SMP)两种。在结构方面，封装经历了最早期的晶体管外(TO,如 TO-89、TO-92)封装发展到了双列直插封装，随后由 PHILIP 公司开发出了小外形封装(SOP)。从材料介质方面，包括金属、陶瓷、塑料，目前很多高强度工作条件需求的电路如军工和宇航级别仍有大量的金属封装。

封装大致经过了如下发展进程：

结构方面：晶体管外形封装→双列直插式封装→带引线的塑料芯片载体封装→四边扁平封装→球栅阵列封装→芯片尺寸封装

材料方面：金属、陶瓷→陶瓷、塑料→塑料

引脚形状：长引线直插→短引线或无引线贴装→球状凸点

装配方式：通孔插装→表面组装→直接安装

1.1.2 集成电路芯片封装技术简介

对于 CPU，读者已经很熟悉了，例如：286、386、486、Pentium、Pentium II、Celeron、

K6、K6-2……。但谈到 CPU 和其他大规模集成电路(LSI)的封装,知道的人未必很多。封装对 CPU 和其他 LSI 集成电路都起着重要的作用。新一代 CPU 的出现常常伴随着新的封装形式的使用。

芯片的封装技术已经历了好几代的变迁,从双列直插、四方扁平封装、球栅阵列到芯片尺寸封装再到多芯片组装,技术指标一代比一代先进,包括芯片面积与封装面积之比越来越接近于 1,适用频率越来越高,耐温性能越来越好,引脚数增多,引脚间距减小,重量减小,可靠性提高,使用更加方便等。

随着大规模集成电路设计技术和工艺的进步及深亚微米技术和微细化缩小芯片尺寸等技术的使用,人们产生了将多个大规模集成电路芯片组装在一个精密多层布线的外壳内形成多芯片组件产品的想法。进一步又产生另一种想法:把多种芯片的电路集成在一个大圆片上,从而又导致了封装由单个小芯片级转向硅圆片级(wafer level)封装的变革,由此引出系统级芯片 SOC(system on chip)和电脑级芯片 PCOC(PC on chip)。

随着 CPU 和其他超大规模集成电路的进步,集成电路的封装形式也将有相应的发展,而封装形式的进步又将反过来促成芯片技术的发展。

我们经常听说某芯片采用什么样的封装方式,在我们的电脑中存在着各种各样不同芯片,那么它们又是采用何种封装形式呢?并且这些封装形式又有是什么样的技术特点以及优越性呢?下面介绍芯片封装形式的特点和优点。

1. 双列直插式封装(DIP)

DIP 是英文 double in-line package 的缩写,即双列直插式封装。插装型封装之一,引脚从封装两侧引出,封装材料有塑料和陶瓷两种。DIP 是最普及的插装型封装,应用范围包括标准逻辑集成电路、存储器、微机电路等。绝大多数中小规模集成电路均采用这种封装形式,其引脚数一般不超过 100 个。采用 DIP 封装的 CPU 芯片有两排引脚,需要插入到具有 DIP 结构的芯片插座上。当然,也可以直接插在具有相同焊孔数和几何排列的电路板上进行焊接。DIP 封装的芯片在从芯片插座上插拔时应特别小心,以免损坏引脚。

2. 塑料四边扁平封装(PQFP)和塑料扁平封装(PFP)

PQFP(plastic quad flat package)封装的芯片引脚之间距离很小,引脚很细,一般大规模或超大规模集成电路都采用这种封装形式,其引脚数一般在 100 个以上。用这种形式封装的芯片必须采用表面贴装技术将芯片与主板焊接起来。采用表面贴装的芯片不必在主板上打孔,一般在主板表面有设计好的相应引脚的焊点。将芯片各脚对准相应的焊点,即可实现与主板的焊接。用这种方法焊上去的芯片,如果不用专用工具是很难拆卸下来的。

3. 针栅阵列(PGA)

PGA(pin grid array)芯片封装形式在芯片的内外有多个方阵形的插针,每个方阵形插针沿芯片的四周间隔一定距离排列。根据引脚数目的多少,可以围成 2~5 圈。安装时,将芯片插入专门的 PGA 插座。为使 CPU 能够更方便地安装和拆卸,从 486 芯片开始,出现一种名为零插拔力(zero insertion force socket,ZIF)的 CPU 插座,专门用来满足 PGA 封装的 CPU 在安装和拆卸上的要求。把这种插座上的扳手轻轻抬起,CPU 就可很容易、轻松地插入插座中。然后将扳手压回原处,利用插座本身的特殊结构生成的挤压力,将 CPU 的引脚与插座牢牢地接触,

绝对不存在接触不良的问题。而拆卸 CPU 芯片只需将插座的扳手轻轻抬起，则压力解除，CPU 芯片即可轻松取出。

(1) 插针网格阵列封装具有以下特点：

- ① 插拔操作更方便，可靠性高。
- ② 可适应更高的频率。

Intel 系列 CPU 中，80486 和 Pentium、Pentium Pro 均采用这种封装形式。

(2) 常见的 PGA 封装形式如下：

① 有机引脚针栅阵列 (organic pin grid array, OPGA)。这种封装的基底使用的是玻璃纤维，类似印制电路板上的材料。此种封装方式可以降低阻抗和封装成本。AMD 公司的 Athlon XP 系列 CPU 大多使用此类封装。

② 微型针栅阵列 (mPGA) 封装，即微型 PGA 封装，目前只有 AMD 公司的 Athlon 64 和英特尔公司的 Xeon(至强)系列 CPU 等少数产品采用，而且多是些高端产品，是一种先进的封装形式。

③ 陶瓷针栅阵列 (ceramic PGA, CPGA) 封装，主要在“Thunderbird(雷鸟)”核心和“Palomino”核心的 Athlon 处理器上采用。

④ 反转芯片针栅阵列 (FC - PGA) 封装，这种封装中有引脚插入插座。

⑤ FC - PGA2 封装与 FC - PGA 封装类型很相似，除了这些处理器还具有集成式散热器 (IHS)。集成式散热器是在生产时直接安装到处理器芯片上的。

IC 封装的主流形式仍是单芯片封装，设备市场也仍以单芯片封装设备为主。但是，随着微电子技术的发展，先进封装技术将迅速增多。

4. 芯片载体封装

20 世纪 80 年代出现了芯片载体封装，其中有陶瓷无引脚芯片载体 LCCC (leadless ceramic chip carrier)、塑料有引脚芯片载体 PLCC (plastic leaded chip carrier)、小尺寸封装 SOP (small outline package)、塑料四边引脚扁平封装 PQFP (plastic quad flat package)。

在这期间，Intel 公司的 CPU，如 Intel 80386 就采用塑料四边引出扁平封装。

采用 PLCC 封装方式的芯片外形呈正方形，32 脚封装，四周都有引脚，外形尺寸比 DIP 封装小得多。PLCC 封装适合用表面贴装技术在 PCB 上安装布线，具有外形尺寸小、可靠性高的优点。

5. 小外形 (SOP) 封装

SOP 封装技术在 1968 年—1969 年由飞利浦公司开发成功，以后逐渐派生出 J 型引脚小外形封装 (SOJ)、薄型小外形封装 (TSOP)、甚小外形封装 (VSOP)、缩小型 SOP (SSOP)、薄的缩小型 SOP (TSSOP) 及小外形晶体管 (SOT)、小外形集成电路 (SOIC) 等。

薄型小外形封装的一个典型特征就是在封装芯片的周围做出引脚，适合用表面贴装技术在 PCB 上安装，布线寄生参数 (电流大幅度变化时，引起输出电压扰动) 小，适合高频应用，操作比较方便，可靠性也比较高。

半导体封装是中国半导体产业链的重要组成部分，到目前为止，超过 200 个企业在封装领域竞争，尽管很多都是生产低引脚数产品的小企业。在产业发展初期，中国的外资及合资封测企业主要集中在封装已经相对成熟的中低引脚数产品。然而，随着外资及合资企

业将先进的封装生产线转移至中国，以封装基板(IC substrate)为基础的产品快速成长。球栅阵列封装(ball grid allay)、芯片级封装(chip scale package)、晶圆级封装(wafer level package)以及系统级封装(system-in-package)将成为主流。晶圆凸块封装(wafer bumping)也已经初具雏形。硅穿孔技术(through silicon via)已经应用在图像传感器(CMOS image sensors)上并已经量产。在政府的专项资金支持下，本土封装企业的技术也在快速进步。

长三角地区仍然是封测业者最看好的地区。然而，为了降低成本，近年来许多封测企业选择中西部地区来新建工厂。一部分集成器件制造商及封测代工企业将产能转移至中西部地区，这种趋势将会持续数年。

根据中国半导体封装材料市场销售额统计，2004年至2011年的年均复合成长率(CAGR)在20%左右，其主要成长动力来自于基板，高端封装材料依然主要依赖进口。在引线架部分，新增了数条针对高端产品的蚀刻生产线，然而本土企业与海外领先企业的技术差距仍然十分巨大。应用于封装基板的铜线制程也已经量产。对封装厂而言，降低封装材料成本及提升生产效率是降低成本的主要有效途径，尤其是针对封装基板、引线架以及键合丝等材料部分，封装材料供应商未来将面临着降价超过20%的压力。

图 1.1 为微电子封装的现状与趋势，目前 IC 封装技术的发展主流是：倒装芯片(flip chip, FC)、晶圆级(wafer level)封装及铜制程相关的封装技术。其中，倒装芯片技术近几年在国外已得到很大发展，许多企业相继投入开发。而晶片级封装技术因具有短小轻薄、高电气特性及低廉的制造成本等优点，预计在未来3~5年内将迈入发展的成熟期，并将会首先应用在存储IC(memory IC)封装器件上。

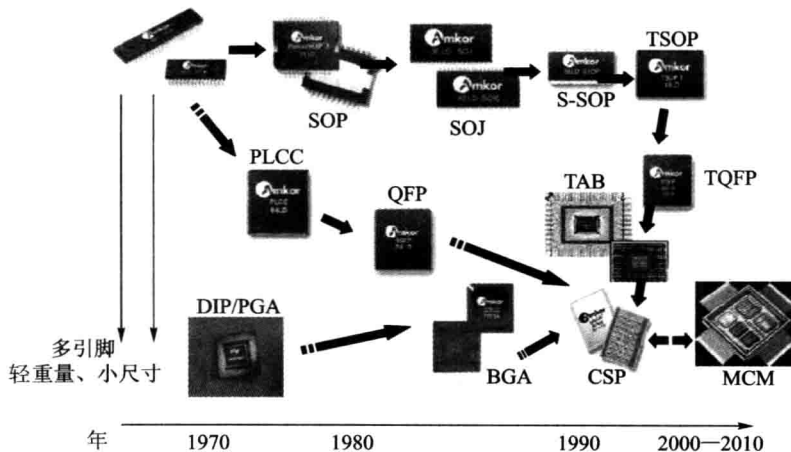


图 1.1 微电子封装的现状与趋势

以球栅阵列、芯片尺寸封装、载带自动焊、多芯片组件为代表的封装基板(package substrate, 简称 PKG 基板)是半导体芯片封装的载体，封装基板目前正朝着高密度化方向发展。而积层法多层板(BUM)是能使封装基板实现高密度化的新型 PCB 产品技术。

1.2 微电子封装的现状与趋势

近四十年来,封装技术发展日新月异,先后经历了四次重大技术突破。第一次在20世纪70年代中叶,产生双列直插式引脚封装(DIP)技术;第二次在20世纪80年代,以四边扁平封装(QFP)为代表的四边引出I/O端子为特征的表面贴装型(SMT);第三次发生在20世纪90年代,以芯片尺寸封装(CSP)、倒装芯片互连、球栅阵列封装(BGA)为代表的封装技术;第四次发生在21世纪初,以晶圆级封装(WLP)、系统封装(SIP)、晶圆减薄、封装上封装(POP)、晶圆级堆叠封装(WSP)、为代表的最新一代封装形式;2010年后,将是嵌入式硅器件、面对面互连(face to face)、超薄封装和穿透硅通孔(TSV)的全新封装时代。全球手机及其他移动电子产品的广泛使用推动了芯片尺寸封装、堆叠芯片封装以及多个封装在一体的POP封装的应用。高性能处理器、芯片组及少数图像芯片应用推动了倒装芯片封装。存储器、集成无源器件(IPD)、模拟器件和功率器件推动了晶圆级封装的发展。

1.2.1 晶圆级封装

晶圆级封装(WLP)是在晶圆上进行大多数封装工艺步骤。它是倒装芯片封装的子集,只是引脚节距和焊料球稍大。它与封装内倒装芯片或板上倒装芯片的主要区别是晶圆级封装能够通过标准的表面贴装技术贴装到低成本基板上,而不是像倒装芯片封装使用一个插入板。WLP的优点在于尺寸小、重量轻和优良的电特性。受持续增长的移动设备和汽车应用需求的驱动,晶圆级封装将向I/O数更高和引脚节距更小的方向发展。将蓝牙、FM收音机、TV调谐器和GPS单元整合到一个单独的芯片中将大大增加I/O数量,这是I/O数量增大的主要因素。由于对高I/O数小型封装的需求增加,晶圆级封装将会逐渐地占据传统的球栅阵列封装和引线架的市场份额。过去几年中,引脚节距从0.5 mm演变成0.4 mm,现在的目标是0.3 mm。需要关注的晶圆级封装技术趋势包括穿透硅通孔、扇出、嵌入式闪存eWLB封装和微机电系统MEMS封装。

1. 穿透硅通孔用于增加封装密度

晶圆级芯片尺寸封装的应用范围在不断扩大并进入新的领域,而且根据引脚数目和器件类型细分市场。无源器件、分立器件、射频器件和存储器件的份额不断提高,并开始进入逻辑IC和NMEMS之中。随着芯片尺寸和引脚数目的增加,板级可靠性成为一大挑战。在过去的十年间,晶圆级芯片尺寸封装部分已经变得非常成熟,随着基础设施建设的完成,并且也已经实现量产,下一个主要聚焦的方面是降低成本,这对于低引脚数目的器件来说较为关键。同时对高引脚数目的器件来说也很重要,包括300 mm晶圆。较多的引脚数目带来新的挑战,在一些因硅面积的限制导致扇入技术不能胜任的案例中,引入了扇出技术。这些技术存在制造和成本挑战,一个例子是在一个较大承载衬底上放置芯片的精度问题。扇出技术在系统级封装(SIP)中也存在应用潜力,而且可以是一个过渡性的方法,或者可以与诸如穿透硅通孔叠层封装等替代性方案进行竞争。简化现有结构可以实现成本节约,另一个节约的来源是与材料供应商合作开发下一代材料。

某些高密度应用中看到了对穿透硅通孔的需求。中国台湾日月光(ASE)公司为晶圆级芯片

尺寸封装制作了一些穿透硅通孔样品，可以在晶圆级芯片尺寸封装中进行封装上封装，把另外一块芯片或者晶圆级封装组装到晶圆级封装之上。将无源器件，包括电感、不平衡变压器、匹配变压器，甚至是电容或电阻集成到晶圆级芯片尺寸封装中以提高设备功能。ASE公司已开始在200 mm晶圆上制作穿透硅通孔技术，但仍在研发阶段，尚未大规模生产。

2. 扇出

扇出是晶圆级芯片尺寸封装技术的扩展，目前正处于验证阶段。ASE使用晶圆级工艺，但不是初始硅晶圆，而是将晶圆上测试后性能良好的芯片切割下来，重新组装到辅助晶圆上。这意味着发展到65 nm、45 nm、32 nm的技术节点时，还能够缩小芯片，将部分焊料球置于塑封材料之上，部分置于硅上。它将扩展现有的晶圆级封装技术的能力，使之与倒装芯片尺寸封装领域发生重叠。

3. 嵌入式闪存

用户正将闪存嵌入设备。对嵌入式闪存的要求是只能进行低温工艺。当用户增加芯片的复杂度和密度时，更多的功能被封装进芯片中，且大都使用再分布的方法。与密度增加同时发生的是，一些引线键合焊盘或硅片上的焊盘降低到焊点下金属层结构之下，因为那里没有了衬垫效应，而是一个高应力集中区域，因此会降低可靠性。增加密度时焊盘下的通孔会导致这个问题，研究人员正试图优化设计，不但在硅芯片级别上，而且在再分布系统结构上，来调节落到高密度器件焊垫下方的通孔。

4. 嵌入式晶圆级球栅阵列(eWLB)封装

德国英飞凌公司开发了一项嵌入式晶圆级球栅阵列封装技术。此技术可以提高封装尺寸的集成度，将成为兼具成本效益和高集成度的晶圆级封装工业标准。在英飞凌的第一代嵌入式晶圆级球栅阵列技术基础上，意法半导体和英飞凌携手先进三维封装解决方案供应商STATS ChipPAC，合作开发下一代嵌入式晶圆级球栅阵列技术，主要方向是利用一片重构晶圆的两面，提供高集成度、多接触单元数量的半导体解决方案。2008年年底推出样片，2010年初开始量产。嵌入式晶圆级球栅阵列技术整合传统半导体制造的前工序和后工序技术，以平行制程同步处理晶圆上所有的芯片，从而降低制造成本。

5. 微机电系统(MEMS)封装向晶圆级发展

MEMS产业已经酝酿向晶圆级封装技术转变，这一转变的部分驱动力来自于越来越多的晶圆代工厂涉足MEMS领域，部分驱动力来自从 $\phi 150$ mm到 $\phi 200$ mm晶圆的转变。当前的MEMS封装市场主要由硅通孔和晶圆级封装技术驱动，使用硅通孔的晶圆级封装可以在一个晶圆上封装大约5 000个传感器，这一数据在未来还会增加。加速度计广泛应用于iPhone或Wii游戏机中，其中的惯性传感器面积只有 $5 \sim 7$ mm²。目前存在很多种类的MEMS应用，每个类别的MEMS功能产品，比如陀螺仪、微镜、RF、微探针、压力传感器、微流体和生物医学器件都可进行标准封装。在未来的MEMS产业中，使用三维晶圆级封装对MEMS器件进行封帽操作将占很大一部分。这一领域最积极的参与者是那些已经拥有200 mm Fab或计划转型的公司，这包括博世(Bosch, 德国)、意法半导体(STMicroelectronics, 瑞士)等IDM公司，Silix(瑞典)、TMT(Touch Micro-system Technology Corp, 中国台湾)和Dalsa(加拿大)等MEMS代工厂以及日月光(ASE, 中国台湾)、精材科技(Xintec, 中国台湾)和Nemotek(摩洛哥)等提供封装服务

的公司。朝着 MEMS、CMOS 兼容的方向,目前已经开发了一些关键技术,包括使用 XeF_2 刻蚀或 O_2 等离子刻蚀,在 CMOS 工艺中实现有效结构释放的低温、无损伤表面微机械工艺,在 CMOS 晶圆中采用这些工艺可以有效集成 MEMS 器件,同时单个芯片可以在晶圆级使用硅通孔技术进行封装,因而最终的封装也会变得更简单。将 ASIC 与 MEMS 集成在单个芯片上,将会降低成本和封装尺寸,同时在集成方面也实现了真正的突破。但目前可以容纳机械、电子、微波、热、光和化学功能的封装用的标准 CAD 工具有待开发。

1.2.2 多芯片封装

单芯片封装与多芯片封装(MCP)是芯片架构的两个发展趋势,前者定位于成熟技术的大规模应用,后者则主要针对某项技术或者其发展的开始阶段。MCP 适用于市场规模小、技术又不太稳定的情况。2009 年 11 月,三星电子开发出世界上最薄的多芯片封装结构,厚度仅为 0.6 mm,用于 32 Gb 存储器。它仅为通常 8 个堆叠芯片存储器封装厚度的一半。此种先进的封装技术可用在存储器的封装中,非常适用于高密度多媒体手机及其他移动装置使用。在当今移动环境下,减薄尺寸是主流。此种新的超薄封装结构,将 8 个(称为 octa 芯片封装)30 nm 工艺的 32Gb 的 NAND 闪存芯片封装为一体,其中每一个芯片仅 15 μm 厚。它突破了传统技术在操作厚度 30 μm 以下时的极限。15 μm 厚度表示与过去的封装相比可以增加一倍的容量,由此可大幅度降低封装后芯片的重量。超薄的封装形式能满足高密度、小体积的移动产品的需要。封装后高度小于 1 mm 时将给许多电子产品提供更大的设计自由度。

1.2.3 系统封装

系统封装(SIP)是将不同工艺制作的多种集成电路芯片、无源元件(或无源集成元件)、天线、光学器件、生物器件以及微机电系统(MEMS)组成的系统功能集中于单一封装体内,构成一个微系统器件,实现系统集成。SIP 实际上是多芯片封装(MCP)和芯片尺寸封装(CSP)的进化,利用叠层芯片和穿透硅通孔等互连技术,实现三维封装,可称其为层叠式 MCP 和堆叠式 CSP。SIP 封装更适用于低成本、小面积、高频高速以及生产周期短的电子产品,例如功率放大器、全球定位系统、蓝牙模块、影像感测模块、记忆卡等可携式产品。SIP 可将不同工艺、材料制作的芯片封装成一个系统,甚至可将 Si、GaAs、InP 的芯片组合进行一体化封装,有很好的兼容性。SIP 可实现嵌入集成化无源元件的组合,无线电和便携式电子设备中的无源元件至少可被嵌入 30%~50%。SIP 与系统级芯片(SOC)相比较具有如下优点:

- (1) 可提供更多新功能;
- (2) 多种工艺兼容性好;
- (3) 灵活性和适应性强;
- (4) 低成本;
- (5) 易于分块测试;
- (6) 开发周期较短。

SOC 和 SIP 二者互为补充,一般认为 SOC 主要应用于更新换代较慢的产品和军事装备等要求高性能的产品,SIP 主要用于换代周期较短的消费类产品,如手机等。SIP 在合格率和计

算机辅助设计方面尚待进一步提高。系统级封装设计也像 SOC 的自动布局布线一样,朝着计算机辅助自动化的方向发展。Intel 公司最先进的 SIP 技术已将五片叠层的闪存芯片集成到 1 mm 的超薄封装内。日本东芝的 SIP 目标是把移动电话的全部功能集成到一个封装内。富士通公司已生产出 8 芯片堆叠 SIP,将现有多芯片封装在一个堆叠中。

未来集成电路技术,无论是其特征尺寸、芯片面积和芯片包含的晶体管数,还是其发展轨迹和集成电路封装,发展趋势都是芯片规模越来越大,面积迅速减小;封装体积越来越小,功能越来越强;厚度变薄,引线间距不断缩小,引线数越来越多,并从两侧引脚到四周引脚,再到底面引脚;封装成本越来越低,封装的性能和可靠性越来越高,单位封装体积、面积上的集成电路密度越来越高,线宽越来越细,并由单芯片封装向多芯片封装方向发展。先进封装技术在推动更高性能、更低功耗、更低成本和更小形状因子的产品上发挥着至关重要的作用。晶圆级芯片尺寸封装(WCSP)的应用范围在不断扩展,无源器件、分立器件、射频器件和存储器的比例不断提高。随着芯片尺寸和引脚数目的增加,板级可靠性成为一大挑战。系统级封装(SIP)已经开始集成机电系统器件、逻辑电路和特定应用电路。MEMS 应用覆盖了惯性、物理、光学和生物医学等领域,这些应用要求使用不同种类的封装,例如开腔封装、过模封装、晶圆级封装和一些特殊类型的密闭封装。使用硅通孔技术的三维封装技术可以为 MEMS 器件与其他芯片的叠层提供解决方案。硅通孔技术与晶圆级封装的结合可以获得更小的填充因子,潜在应用领域包括光学、微流体和电学开关器件等。

1.2.4 三维叠层封装

芯片尺寸封装和晶圆级封装已经达到水平尺度极限,利用 z 向垂直空间是三维叠层封装(3D Stacked Packaging)的目标。与系统级芯片相比,三维叠层封装具有成本低、生产周期短、设计灵活性强的优点,它消除了单一硅芯片上集成不同类型器件的困难。典型的晶圆级三维叠层管芯封装工艺步骤是将含有小管芯的硅片键合、减薄、管芯间互连、成型最后封装。穿透硅通孔使得叠层有效,晶圆减薄是另一项必需的技术,可以获得较短的穿透硅通孔以及可控的叠层尺寸。通过层叠 2 个以上的集成电路芯片,三维叠层封装实现了功能集成。例如,手机内电子器件采用三维叠层封装,将闪存、SRAM 和存储器封装到一起。存储器、PDA、蓝牙和其他便携产品都采用了三维叠层封装。

三维叠层封装主要有三种类型:一种是在各类基板内或多层布线介质层中“埋置”电阻、电容或集成电路等元器件,最上层再贴装 SMC 和 SMD 来实现立体封装,这种结构称为埋置型三维叠层封装;第二种是在硅圆片规模集成(WSI)后的有源基板上再实行多层布线,最上层再贴装 SMC 和 SMD,从而构成立体封装,这种结构称为有源基板型三维叠层封装;第三种是在 2D 封装的基础上,把多个裸芯片、封装芯片、多芯片组件甚至晶圆片进行叠层互连,构成立体封装,这种结构称为叠层型三维叠层封装。在这些三维叠层封装类型中,发展最快的是叠层裸芯片封装。原因有两个:一是巨大的手机和其他消费类产品市场的驱动,要求在增加功能的同时减薄封装厚度;二是它所用的工艺基本上与传统的工艺相容,经过改进很快能批量生产并投入市场。

叠层裸芯片封装有两种叠层方式,一种是金字塔式,从底层向上裸芯片尺寸越来越小;另一种是悬梁式,叠层的芯片尺寸一样大,应用于手机的初期。叠层裸芯片封装主要是把 Flash

Memory 和 SRAM 叠在一起, 目前已能把 Flash Memory、DRAM、逻辑 IC 和模拟 IC 等叠在一起。叠层裸芯片封装所涉及的关键技术有如下几个:

(1) 芯片减薄技术, 由于手机等产品要求封装厚度越来越薄, 目前封装厚度要求在 1.2 mm 以下甚至 1.0 mm。而叠层芯片数又不断增加, 因此要求芯片必须减薄。芯片减薄的方法有机械研磨、化学刻蚀或常压等离子刻蚀(atmosphere downstream plasma, ADP)。机械研磨减薄一般在 150 μm 左右。而用等离子刻蚀方法可达到 100 μm , 对于 75 ~ 50 μm 的减薄正在研发中。

(2) 低弧度键合, 因为芯片厚度小于 150 μm , 所以键合弧度高必须小于 150 μm 。目前采用 25 μm 金丝的正常键合弧高为 125 μm , 而用反向引线键合优化工艺后可以达到 75 μm 以下的弧高。与此同时, 反向引线键合技术要增加一个打弯工艺以保证不同键合层的间隙。

(3) 悬梁上的引线键合技术, 悬梁越长, 键合时芯片变形越大, 必须优化设计和工艺。

(4) 圆片凸点制作技术。

(5) 键合引线无摆动(NOSWEEP)模塑技术。由于键合引线密度更高, 长度更长, 形状更复杂, 增加了短路的可能性, 因此使用低黏度的模塑料和降低模塑料的转移速度有助于减小键合引线的摆动。

1.2.5 射频封装

在无线通信领域, 现已开发出许多种不同的封装集成方案, 它们包括芯片堆叠技术、封装体堆叠、封装嵌入及其他形式的应用系统级封装。这些技术已经在闪存产品、图形处理器和数字信号处理器中得到成功应用, 在射频领域的应用也正得到越来越多的研究。射频(RF)模块是具有传送接收功能的产品, 它包括但不局限于无源器件、RF 集成电路、功率放大器(PA)、开关器件、稳压器等。与无源器件相比, 有源器件在尺寸上相对较小。因而无源器件(电阻、电容、电感、滤波器、不平衡变压器、匹配器等)的集成对整个模块或封装的尺寸具有重要的影响。

为射频封装选择材料的一个关键要求是保证较低的信号损失。这些损失是我们不想要的, 因此要选择将损失减到最小的材料。射频封装中使用的绝缘材料如表 1.1 所示, 一般多使用绝缘陶瓷和晶体材料。除了绝缘材料之外, 也必有高电导率的导体。射频封装中使用的导体如表 1.2 中所示。

表 1.1 射频封装中使用的绝缘材料

绝缘材料	相对介电常数	热膨胀系数 TCE/($10^{-6}/^{\circ}\text{C}$)	热导率/[W/(m·K)]	加工温度/ $^{\circ}\text{C}$
92% 氧化铝	9.2	6.0	18	1 500
86% 氧化铝	9.4	6.6	20	1 600
Si_3N_4	7	2.3	30	1 600
铍	42	3.7	270	2 000
环氧树脂	8.8	3.3	230	1 900
环氧树脂	6.8	6.8	240	2 000