

系统分析师考试

历年试题分析与解答

综合知识篇

第2版

希赛教育软考学院 张友生 王勇 主编

考 点 突 破 · 案 例 分 析 · 实 战 练 习

帮助数万人通过软考的备战宝典全新升级！

迅速扣住考点 提升解题技巧 顺利通过考试



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

全国计算机技术与软件专业技术资格（水平）考试用书

系统分析师考试

历年试题分析与解答 综合知识篇

第2版

希赛教育软考学院 张友生 王勇 主编

电子工业出版社

Publishing House of Electronics Industry

北京•BEIJING

内 容 简 介

本书由希赛教育软考学院组织编写，作为计算机技术与软件专业技术资格（水平）考试中的系统分析师级别考试辅导培训教材。本书根据最新的系统分析师考试大纲及培训指南，按照信息系统综合知识的所有知识点对历年（2006—2013 年）考试试题进行了分析和总结，对新版的考试大纲规定的内容有重点地进行细化和深化。

考生可通过阅读本书掌握考试大纲规定的知识，掌握考试重点和难点，熟悉考试方法、试题形式、试题的深度和广度，以及内容的分布、解答问题的方法和技巧。

本书可作为系统分析师考试的辅导书籍，也可作为信息系统项目管理师、系统架构设计师和网络规划设计师考试的参考书籍。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目（CIP）数据

系统分析师考试历年试题分析与解答. 综合知识篇 / 张友生，王勇主编. —2 版. —北京：电子工业出版社，2014.4

全国计算机技术与软件专业技术资格（水平）考试用书

ISBN 978-7-121-22611-3

I. ①系… II. ①张… ②王… III. ①软件工程—系统分析—工程师—资格考试—题解 IV. ①TP311.5-44

中国版本图书馆 CIP 数据核字（2014）第 042994 号

策划编辑：孙学瑛

责任编辑：白 涛

印 刷：三河市双峰印刷装订有限公司

装 订：三河市双峰印刷装订有限公司

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1092 1/16 印张：22.25 字数：524 千字

印 次：2014 年 4 月第 1 次印刷

印 数：3000 册 定价：69.00 元



凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

前言

全国计算机技术与软件专业技术资格（水平）考试（以下简称“软考”）是一个难度很高的考试，考生的平均通过率很低，主要原因是考试范围十分广泛，涉及计算机专业的每门课程，还要加上数学、英语、系统工程、信息化和知识产权等知识，且注重考查新技术和新方法的应用。考试不但注重广度，而且还有一定深度。特别是高级资格考试，不但要求考生具有扎实的理论基础知识，还要具备丰富的实战经验。

本书是为软考中的系统分析师级别而编写的考试用书，全书分析了历年（2006—2013 年）系统分析师考试的所有考题，对试题进行详细的分析与解答，对有关重点和难点进行了深入的分析。

作者权威，阵容强大

希赛教育（www.educity.cn/edu/）专门从事人才培养、教育产品开发、教育图书出版，在职业教育方面具有极高的权威性。特别是在在线教育方面，稳居国内首位，希赛教育的远程教育模式得到了国家教育部门的认可和推广。

希赛教育软考学院（www.educity.cn/rk/）是全国计算机技术与软件专业技术资格（水平）考试的顶级培训机构，拥有近 20 名资深软考辅导专家，负责了高级资格的考试大纲制订工作，以及软考辅导教材的编写工作，共组织编写和出版了 80 多本软考教材，内容涵盖了初级、中级和高级的各个专业，包括教程系列、辅导系列、考点分析系列、冲刺系列、串讲系列、试题精解系列、疑难解答系列、全程指导系列、案例分析系列、指定参考用书系列、一本通 11 个系列的书籍。希赛教育软考学院的专家录制了软考培训视频教程、串讲视频教程、试题讲解视频教程、专题讲解视频教程 4 个系列的软考视频，希赛教育软考学院的软考教材、软考视频、软考辅导为考生助考、提高通过率做出了不可磨灭的贡献，在软考领域有口皆碑。特别是在高级资格领域，无论是考试教材，还是在线辅导和面授，希赛教育软考学院都独占鳌头。

本书由希赛教育软考学院主编，参加编写的人员有张友生、桂阳、胡钊源、谢顺、刘洋波、王勇、左水林、胡光超、邓旭光、王军和何玉云。

在线测试，心中有数

希赛网在线测试平台（www.educity.cn/tiku/）为考生准备了在线测试，其中有数十套全真模拟试题和考前密卷，考生可选择任何一套进行测试。测试完毕，系统自动判卷，立

即给出分数。

对于考生做错的地方，系统会自动记忆，待考生第二次参加测试时，可选择“试题复习”。这样，系统就会自动把考生原来做错的试题显示出来，供考生重新测试，以加强记忆。

如此，读者可利用上学吧在线测试平台的在线测试系统检查自己的实际水平，加强考前训练，做到心中有数，考试不慌。

诸多帮助，诚挚致谢

在本书出版之际，要特别感谢全国软考办的命题专家们，编者在本书中引用了部分考试原题，使本书能够尽量方便读者的阅读。在本书的编写过程中，参考了许多相关的文献和书籍，编者在此对这些参考文献的作者表示感谢。

感谢电子工业出版社孙学瑛老师，她在本书的策划、选题的申报、写作大纲的确定，以及编辑、出版等方面，付出了辛勤的劳动和智慧，给予了我们很多的支持和帮助。

感谢参加希赛教育软考学院辅导和培训的学员，正是他们的想法汇成了本书的原动力，他们的意见使本书更加贴近读者。

由于编者水平有限，且本书涉及的内容很广，书中难免存在错漏和不妥之处，编者诚恳地期望各位专家和读者不吝指正和帮助，对此，我们将十分感激。

互动讨论，专家答疑

希赛教育软考学院是中国最大的软考在线教育网站，该网站论坛是国内人气最旺的软考社区，在这里，读者可以和数十万考生进行在线交流，讨论有关学习和考试的问题。希赛教育软考学院拥有强大的师资队伍，为读者提供全程的答疑服务，在线回答读者的提问。

有关本书的意见反馈和咨询，读者可在希赛教育软考学院论坛“考试教材”版块中的“希赛教育软考学院”栏目上与作者进行交流。

希赛教育软考学院

2014年3月

目 录

第 1 章 计算机组成与体系结构	1
第 2 章 操作系统	23
第 3 章 数据通信与计算机网络	55
第 4 章 数据库系统	87
第 5 章 系统配置与性能评价	111
第 6 章 软件工程	131
第 7 章 面向对象方法学	169
第 8 章 安全性知识	195
第 9 章 知识产权	217
第 10 章 标准化知识	229
第 11 章 多媒体技术及其应用	237
第 12 章 信息化与系统集成技术	249
第 13 章 计算机专业英语	273
第 14 章 应用数学与经济管理	285
第 15 章 软件项目管理	333
第 16 章 新技术	349

计算机组成与体系结构

根据考试大纲，本章内容要求考生掌握以下知识点：

- 各种计算机体系结构的特点与应用（SMP、MPP 等）。
- 构成计算机的各类部件的功能及其相互关系。

试题 1（2006 年上半年试题 14~15）

某计算机主存按字节编址，主存与高速缓存 cache 的地址变换采用组相联映像方式（即组内全相联，组间直接映像）。高速缓存分为 2 组，每组包含 4 块，块的大小为 512B，主存容量为 1MB。构成高速缓存的地址变换表相联存储器容量为__（14）__。每次参与比较的存储单元为__（15）__个。

（14） A. 4×10bit B. 8×10bit C. 4×11bit D. 8×11bit

（15） A. 1 B. 2 C. 4 D. 8

试题 1 分析

已知主存容量为 1MB，按字节编址，所以主存地址应为 20 位，主存可分为 $1\text{MB}/512\text{B}=2048$ 块。在组相联映像方式中，主存与 cache 都分组，主存中一个组内的块数与 cache 的分组数相同。因为高速缓存分为 2 组，所以主存每组 2 块，主存可分为 $2048/2=1024=2^{10}$ 个组。因此需要 10 位组号。

因为高速缓存共有 8 块，因此，其地址变换表（块表）应包含 8 个存储单元，每个存储单元的长度为主存地址组号长度，即 10 位二进制数。

因为主存中的各块与 cache 的组号有固定的映像关系，但可自由映像到对应的 cache 组中的任一块，所以每次参与相联比较的是 4 个存储单元。

试题 1 答案

（14） B （15） C

试题 2（2006 年上半年试题 16~17）

设指令由取指、分析、执行 3 个子部件完成，并且每个子部件的时间均为 Δt 。若采用常规标量单流水线处理机（即该处理机的度为 1），连续执行 12 条指令，共需__（16）__ Δt 。

若采用度为4的超标量流水线处理机，连续执行上述12条指令，只需（17） Δt 。

- (16) A. 12 B. 14 C. 16 D. 18
(17) A. 3 B. 5 C. 7 D. 9

试题2分析

单流水线处理机的度为1，即通常所有的线性流水线计算机。在线性流水线中，在流水线各段的执行时间均相等（设为 Δt ），输入到流水线中的任务是连续的。理想情况下，一条 k 段线性流水线能够在 $m\Delta t$ 时间内完成 n 个任务（ $m\Delta t=1$ 条指令的正常时间 $+(n-1)\times$ 流水线周期）。

具体到本题，12条指令的处理时间为 $(1\Delta t+1\Delta t+1\Delta t)+(12-1)\times\Delta t=14\Delta t$ 。

在度为4的超标量流水线处理机中，同时运行4条流水线，连续执行12条指令，则每条流水线执行3条。此时相当于求1条流水线执行3条指令的时间，所以处理时间为 $(1\Delta t+1\Delta t+1\Delta t)+(3-1)\times\Delta t=5\Delta t$ 。

试题2答案

- (16) B (17) B

试题3（2006年上半年试题20~21）

编号为0、1、2、3、…、15的16个处理器，用单级互联网络互联。当互联函数为 Cube_3 （4维立方体单级互联函数）时，6号处理器与（20）号处理器相连接。若采用互联函数 Shuffle （全混洗单级互联函数）时，6号处理器与（21）号处理器相连接。

- (20) A. 15 B. 14 C. 13 D. 12
(21) A. 15 B. 14 C. 13 D. 12

试题3分析

并行处理机互联有多种方法，分别列举如下。

(1) 恒等置换。相同编号的输入端与输出端一一对应互联。其表达式如下：

$$I(x_{n-1} \cdots x_k \cdots x_1 x_0) = x_{n-1} \cdots x_k \cdots x_1 x_0$$

(2) 交换置换。实现二进制地址编号中第0位位值不同的输入端和输出端之间的连接，其表达式如下：

$$E(x_{n-1} \cdots x_k \cdots x_1 x_0) = x_{n-1} \cdots x_k \cdots x_1 \bar{x}_0$$

(3) 方体置换（Cube）。实现二进制地址编号中第 k 位位值不同的输入端和输出端之间的连接，其表达式如下：

$$C_k(x_{n-1} \cdots x_k \cdots x_1 x_0) = x_{n-1} \cdots \bar{x}_k \cdots x_1 x_0$$

(4) 均匀洗牌置换（Shuffle）。将输入端二进制地址循环左移一位得到对应的输出端二进制地址，其表达式如下：

$$S(x_{n-1} x_{n-2} \cdots x_1 x_0) = x_{n-2} x_{n-3} \cdots x_1 x_0 x_{n-1}$$

(5) 蝶式置换（Butterfly）。将输入端二进制地址的最高位和最低位互换位置，得到对应的输出端二进制地址，其表达式如下：

$$B(x_{n-1}x_{n-2} \cdots x_1x_0) = x_0x_{n-2} \cdots x_1x_{n-1}$$

(6) 位序颠倒置换。将输入端二进制地址的位序颠倒过来得到对应的输出端二进制地址, 其表达式如下:

$$P(x_{n-1}x_{n-2} \cdots x_1x_0) = x_0x_1 \cdots x_{n-2}x_{n-1}$$

在本题中, 编号为 0、1、2、3、⋯、15 的 16 个处理器, 用单级互连网络互连。当互连函数为 Cube₃ (4 维立方体单级互连函数) 时, 6 号 (0110 号) 处理器应与 14 号 (1110 号) 处理器相连接。若采用互连函数 Shuffle (全混洗单级互连函数) 时, 6 号 (0110 号) 处理器应与 12 号 (1100 号) 处理器相连接。

试题 3 答案

(20) B (21) D

试题 4 (2006 年下半年试题 14)

下面关于 RISC 计算机的论述中, 不正确的是 (14)。

- (14) A. RISC 计算机的指令简单, 且长度固定
 B. RISC 计算机的大部分指令不访问内存
 C. RISC 计算机采用优化的编译程序, 有效地支持高级语言
 D. RISC 计算机尽量少用通用寄存器, 把芯片面积留给微程序

试题 4 分析

RISC 计算机指精简指令集计算机, 这种计算机有下列特点:

(1) 指令数量少: 优先选取使用频率最高的一些简单指令及常用指令, 避免使用复杂指令。大多数指令都是对寄存器操作, 对存储器的操作仅提供了读和写两种方式。

(2) 指令的寻址方式少: 通常只支持寄存器寻址方式、立即数寻址方式及相对寻址方式。

(3) 指令长度固定, 指令格式种类少: 因为 RISC 指令数量少, 格式相对简单, 其指令长度固定, 指令之间各字段的划分比较一致, 译码相对容易。

(4) 只提供 LOAD/STORE 指令访问存储器: 只提供了从存储器读数 (LOAD) 和把数据写入存储器 (STORE) 两条指令, 其余所有的操作都在 CPU 的寄存器间进行。因此, RISC 需要大量的寄存器。

(5) 以硬布线逻辑控制为主: 为了提高操作的执行速度, 通常采用硬布线逻辑 (组合逻辑) 来构建控制器。而 CISC 计算机的指令系统很复杂, 难以用组合逻辑电路实现控制器, 通常采用微程序控制。

(6) 单周期指令执行: 因为简化了指令系统, 很容易利用流水线技术使得大部分指令都能在一个机器周期内完成。因此, RISC 通常采用流水线组织。少数指令可能会需要多个周期执行, 例如 LOAD/STORE 指令因为需要访问存储器, 其执行时间就会长一些。

(7) 优化的编译器: RISC 的精简指令集使编译工作简单化。因为指令长度固定、格式少、寻址方式少, 编译时不必在具有相似功能的许多指令中进行选择, 也不必为寻址方式的选择而费心, 同时易于实现优化, 从而可以生成高效率执行的机器代码。

RISC 计算机的指令简单，且长度固定，没有必要采用微程序设计。RISC 计算机仅用 LOAD/STORE 指令访问内存，会使用大量的寄存器，采用优化的编译程序，能有效地支持高级语言。

试题 4 答案

(14) D

试题 5（2006 年下半年试题 15）

下面关于计算机 cache 的论述中，正确的是___(15)___。

- (15) A. cache 是一种介于主存和辅存之间的存储器，用于主辅存之间的缓冲存储
B. 若访问 cache 不命中，则用从内存中取到的字节代替 cache 中最近访问过的字节
C. cache 的命中率必须很高，一般要达到 90% 以上
D. cache 中的信息必须与主存中的信息时刻保持一致

试题 5 分析

使用 cache 改善系统性能的依据是程序的局部性原理。依据局部性原理，把主存储器中访问概率高的内容存放在 cache 中。当 CPU 需要读取数据时，首先在 cache 中查找是否有所需内容，如果有，则直接从 cache 中读取；若没有，再从主存中读取该数据，然后同时送往 CPU 和 cache。如果 CPU 需要访问的内容大多能在 cache 中找到（称为访问命中），则可以大大提高系统性能。

系统的平均存储周期与命中率有很密切的关系，命中率的提高即使很小也能带来性能上的较大改善。

在 CPU 发出访存请求后，存储器地址先被送到 cache 控制器以确定所需数据是否已在 cache 中，若命中则直接对 cache 进行访问。这个过程称为 cache 的地址映射。常见的映射方法有直接映射、相联映射和组相联映射。

在 cache 存储器产生了一次访问未命中之后，相应的数据应同时读入 CPU 和 cache。但是在 cache 已存满数据后，新数据必须淘汰 cache 中的某些旧数据。最常用的淘汰算法有随机淘汰法、先进先出法（FIFO）和近期最少使用淘汰法（LRU）。

因为需要保证缓存在 cache 中的数据与主存中的内容一致，所以相对读操作而言，cache 的写操作比较复杂，常用的有以下几种方法：

(1) 写直达（write through）。当要写 cache 时，数据同时写回主存储器，有时也称为写通。

(2) 写回（write back）。CPU 修改 cache 的某一行后，相应的数据并不立即写入主存储器单元，而是在该行被从 cache 中淘汰时，才把数据写回到主存储器中。

(3) 标记法。对 cache 中的每一个数据设置一个有效位。当数据进入 cache 后，有效位置 1；而当 CPU 要对该数据进行修改时，只需将其写入主存储器并同时将该有效位清 0。当要从 cache 中读取数据时需要测试其有效位：若为 1 则直接从 cache 中取数，否则从主存中取数。

试题 5 答案

(15) C

试题 6 (2006 年下半年试题 17)

关于相联存储器, 下面的论述中, 错误的是____(17)____。

- (17) A. 相联存储器按地址进行并行访问
B. 相联存储器的每个存储单元都具有信息处理能力
C. 相联存储器能并行进行各种比较操作
D. 在知识库中应用相联存储器实现按关键字检索

试题 6 分析

相联存储器 (CAM) 是一种特殊的存储器, 是一种基于数据内容进行访问的存储设备, 特点是每个存储单元都必须有一个处理单元。当对其写入数据时, CAM 能够自动选择一个未用的空单元进行存储; 当要读出数据时, 不是给出其存储单元的地址, 而是直接给出该数据或该数据的一部分内容, CAM 对所有的存储单元中的数据同时进行比较, 并标记符合条件的所有数据以供读取。由于比较是同时、并行进行的, 所以这种基于数据内容进行读/写的机制, 其速度比基于地址进行读/写的方式要快许多。

在计算机系统中, 相联存储器主要用于虚拟存储器和 cache。在虚拟存储器中存放分段表、页表和快表, 在高速缓冲存储器中存放 cache 的行地址。另外, 相联存储器还经常用于数据库与知识库中按关键字进行检索。

试题 6 答案

(17) A

试题 7 (2006 年下半年试题 18)

下面关于系统总线的论述中, 不正确的是____(18)____。

- (18) A. 系统总线在计算机各个部件之间传送信息
B. 系统总线就是连接一个源部件和多个目标部件的传输线
C. 系统总线必须有选择功能, 以判别哪个部件可以发送信息
D. 系统总线的标准分为正式标准和工业标准

试题 7 分析

总线就是一组进行互联和传输信息 (指令、数据和地址) 的信号线, 它好比连接计算机系统各个部件之间的桥梁。另外, 广义上通常也把 AGP 接口、USB 接口等称为 AGP 总线、USB 总线。可以说, 总线在计算机中无处不在。

按总线相对于 CPU 或其他芯片的位置, 可分为内部总线 (Internal Bus) 和外部总线 (External Bus) 两种。在 CPU 内部, 寄存器之间和算术逻辑部件 ALU 与控制部件之间传输数据所用的总线称为内部总线; 而外部总线是指 CPU 与内存 RAM、ROM 和输入/输出设备接口之间进行通信的通路。由于 CPU 通过总线实现程序取指令、内存/外设的数据交换, 在 CPU 与外设一定的情况下, 总线速度是制约计算机整体性能的最大因素。

按总线功能来划分，可分为地址总线、数据总线、控制总线3类。我们通常所说的总线都包括上述3个组成部分，地址总线用来传送地址信息，数据总线用来传送数据信息，控制总线用来传送各种控制信号。例如，ISA总线共有98条线。其中，数据线16条，地址线24条，其余为控制信号线、接地线和电源线。

按总线在微机系统中的位置可分为机内总线和机外总线（Peripheral Bus）两种。我们上面所说的总线都是机内总线，而机外总线顾名思义是指与外部设备接口相连的，实际上是一种外设的接口标准。如目前计算机上流行的接口标准IDE、SCSI、USB和IEEE 1394等，前两种主要是与硬盘、光驱等IDE设备接口相连，后面两种新型外部总线可以用来连接多种外部设备。

计算机的总线按其功用来划分主要有局部总线、系统总线、通信总线3种类型。其中，局部总线是在传统的ISA总线和CPU总线之间增加的一级总线或管理层，它的出现是由于计算机软硬件功能的不断发展，系统原有的ISA/EISA等已远远不能适应系统高传输能力的要求，而成为整个系统的主要瓶颈。局部总线主要可分为3种，分别是专用局部总线、VL总线（VESA Local Bus）和PCI（Peripheral Component Interconnect）总线。前两种已被淘汰，采用PCI总线后，数据宽度升级到64位，总线工作频率为33/66MHz，数据传输率（带宽）可达266MB/s。而系统总线是计算机系统内部各部件（插板）之间进行连接和传输信息的一组信号线，例如，ISA、EISA、MCA、VESA、PCI、AGP等。通信总线是系统之间或微机系统与设备之间进行通信的一组信号线。

总线标准是指计算机部件各生产厂家都需要遵守的系统总线要求，从而使不同厂家生产的部件能够互换。总线标准主要规定总线的机械结构规范、功能结构规范和电气规范。总线标准可以分为正式标准和工业标准。其中，正式标准是由IEEE等国际组织正式确定和承认的标准，工业标准是首先由某一厂家提出，得到其他厂家广泛使用的标准。

试题7答案

(18) B

试题8（2006年下半年试题19）

下面关于超级流水线的论述中，正确的是__（19）__。

- (19) A. 超级流水线用增加流水线级数的方法缩短机器周期
B. 超级流水线是一种单指令流多操作码多数据的系统结构
C. 超级流水线配置了多个功能部件和指令译码电路，采用多条流水线并行处理
D. 超级流水线采用简单指令以加快执行速度

试题8分析

采用流水线技术的CPU使用指令重叠的办法，即在一条指令还没有处理完时，就开始处理下一条指令。典型的流水线将每一条机器指令分成5步，即取指、译码、取操作数（或译码2）、执行、回写。在理想条件下，平均每个时钟周期可以完成一条指令。而所谓“超级流水线处理”是将机器指令划分为更多级的操作，以减轻每一级的复杂程度，增加流水线级数来提高频率。在流水线的每一步中，如果需要执行的逻辑操作少一些，则每一步就可以在较短的时间内完成。

对于超级流水线结构，其中指令部件可以只有一套，也可以有多套独立的执行部件。虽然每个机器周期只能流出一条指令，但它的周期比其他机器短。

试题 8 答案

(19) A

试题 9 (2007 年上半年试题 14)

利用海明码 (Hamming Code) 纠正单位错，如果有 6 位信息位，则需要加入 (14) 位冗余位。

(14) A. 2 B. 3 C. 4 D. 5

试题 9 分析

按照海明的理论，纠错码的编码就是把所有合法的码字尽量安排在 n 维超立方体的顶点上，使得任一对码字之间的距离尽可能大。如果任意两个码字之间的海明距离是 d ，则所有少于等于 $d-1$ 位的错误都可以检查出来，所有少于 $d/2$ 位的错误都可以纠正。一个自然的推论是，对某种长度的错误串，要纠正错误就要用比仅仅检测它多一倍的冗余位。

如果对于 m 位的数据，增加 k 位冗余位， $n=m+k$ 位的纠错码，则有：

$$m+k+1 < 2^k$$

对于给定的数据位 m ，上式给出了 k 的下界，即要纠正单个错误， k 必须取最小值。在本题中， $m=6$ ， $6+k+1 < 2^k$ ，可取 $k=4$ ，得到 $6+4+1=11 < 2^4=16$ 。

试题 9 答案

(14) C

试题 10 (2007 年上半年试题 15)

以下关于 CISC/RISC 计算机的叙述中，不正确的是 (15)。

- (15) A. RISC 机器指令比 CISC 机器指令简单
 B. RISC 机器中通用寄存器比 CISC 多
 C. CISC 机器采用微码比 RISC 多
 D. CISC 机器比 RISC 机器可以更好地支持高级语言

试题 10 分析

请参考试题 4 的分析。

试题 10 答案

(15) D

试题 11 (2007 年上半年试题 16)

以下关于指令流水线的描述中，正确的是 (16)。

- (16) A. 出现数据相关时采用猜测法来加快执行
 B. 解决程序转移对流水线的影响需要相关专用通路的支持
 C. 在出现中断的情况下可以让已经进入流水线的指令继续执行
 D. 流水线机器不能执行复杂指令

试题 11 分析

流水线计算机中通常采用相关专用通路的方法解决数据相关问题，例如第 $n+1$ 条指令的操作数地址为第 n 条指令的运算结果，这时第 $n+1$ 条指令的操作数通过专用通路直接从数据处理部件取得，而不必等待第 n 条指令存入。

流水线计算机出现程序转移时采用猜测法处理，即先选定一条转移分支继续执行，使得流水线不会中断，等到条件码生成后，如果猜错了，则要返回分支重新执行，这里要保证不能破坏分支点的现场，避免产生错误的结果。

流水线出现 I/O 中断时可以让已经进入流水线的指令继续执行，直到执行完成，这种方法叫做不精确断点法。所谓精确断点法是指出现中断时立即停止所有指令的执行，转入中断处理。

在 CISC 计算机和 RISC 计算机中都可以使用流水线来加快指令处理。

试题 11 答案

(16) C

试题 12（2007 年上半年试题 17）

cache 存储器一般采用____(17)____存储器件构成。

(17) A. DRAM B. SRAM C. ROM D. NVRAM

试题 12 分析

cache 存储器一般采用静态随机访问存储器 (SRAM) 技术，这种存储器的速度比动态 RAM 快，能够跟得上 CPU 的要求，弥合 CPU 和主存之间的速度差距。

试题 12 答案

(17) B

试题 13（2007 年上半年试题 18）

虚拟存储系统中的页表有快表和慢表之分，下面关于页表的叙述中正确的是____(18)____。

(18) A. 快表与慢表都存储在主存中，但快表比慢表容量小

B. 快表采用了优化的搜索算法，因此比慢表的查找速度快

C. 快表比慢表的命中率高，因此快表可以得到更多的搜索结果

D. 快表采用快速存储器件组成，按照查找内容访问，因此比慢表查找速度快

试题 13 分析

虚拟存储系统中的快表采用快速存储器构成，按内容访问，因此比慢表查找速度快。

试题 13 答案

(18) D

试题 14（2007 年下半年试题 14）

在流水线控制的计算机中，对于数据相关的处理，通常采用的方法是____(14)____。

(14) A. 暂停指令的执行，等待前面的指令输出运算结果

B. 设置相关专用通路，从相关专用通路直接读出操作数

C. 让已经进入流水线的指令继续执行

D. 出现数据相关时采用猜测法来加快执行

试题 14 分析

在流水线控制的计算机中，数据相关是指共享资源访问的冲突，也就是后一条指令需要使用的数据与前一条指令发生的冲突，这会使得流水线失败。例如：前一条指令是写，后一条指令是读，当前一条指令保存结果没有完成时，后一条指令的读操作就已经开始，这样后一条指令读到的就是未改写的数据。

为了解决这个问题，当遇到资源冲突时，就只好暂停后读指令进入流水线，这样就降低了流水线的效率，显然，流水线步骤越多越容易引起资源冲突的发生。

对于数据相关的处理，通常采用的方法是设置相关专用通路，从相关专用通路直接读出操作数。也可以在编译系统上做文章，当发现相邻的语句存在资源共享冲突时，在两者之间插入其他语句，将两条指令进入流水线的时间拉开，以避免错误。

试题 14 答案

(14) B

试题 15 (2007 年下半年试题 15~16)

在计算机的浮点数表示中，主要影响数值表示范围的是__(15)___，影响计算精度的是__(16)___。

(15) A. 尾数的位数

B. 阶码的位数

C. 规格化的方法

D. 尾数下溢的处理

(16) A. 尾数的位数

B. 阶码的位数

C. 规格化的方法

D. 尾数下溢的处理

试题 15 分析

在计算机的浮点数表示中，因为规格化表示格式为尾数 $\times 2^{\text{阶码}}$ 。显然，主要影响数值表示范围的是阶码的位数，影响计算精度的是尾数的位数。

试题 15 答案

(15) B (16) A

试题 16 (2007 年下半年试题 65)

以下不具有容错功能的是__(65)___。

(65) A. RAID 0

B. RAID 1

C. RAID 3

D. RAID 5

试题 16 分析

廉价磁盘冗余阵列 (Redundant Array of Inexpensive Disks, RAID) 技术旨在缩小日益扩大的 CPU 速度和磁盘存储器速度之间的差距。其策略是用多个较小的磁盘驱动器替换单一的大容量磁盘驱动器，同时合理地在多个磁盘上分布存放数据以支持同时从多个磁盘进行读/写，从而改善系统的 I/O 性能。小容量驱动器阵列与大容量驱动器相比，具有成本低、功耗小、性能好等优势；低代价的编码容错方案在保持阵列的速度与容量优势的同时可保证极高的可靠性。同时也较容易扩展容量。但是由于允许多个磁头同时进行操作以提高 I/O 数据传输速度，因此会不可避免地提高出错的概率。为了补偿可靠性方面的损失，

RAID 使用存储的校验信息来从错误中恢复数据。最初，inexpensive 一词主要针对当时的另一种技术（single large expensive disk, SLED）而言，但随着技术的发展，SLED 已是明日黄花，RAID 和 non-RAID 皆采用了类似的磁盘技术。因此，RAID 现在代表独立磁盘冗余阵列（Redundant Array of Independent Disks），用 independent 来强调 RAID 技术所带来的性能改善和更高的可靠性。

RAID 机制中共分 8 个级别，RAID 应用的主要技术有分块技术、交叉技术和重聚技术。

（1）RAID0 级（无冗余和无校验的数据分块）：具有最高的 I/O 性能和最高的磁盘空间利用率，易管理，但系统的故障率高，属于非冗余系统，主要应用于那些关注性能、容量和价格而不是可靠性的应用程序。

（2）RAID1 级（磁盘镜像阵列）：由磁盘对组成，每一个工作盘都有其对应的镜像盘，上面保存着与工作盘完全相同的数据拷贝，具有最高的安全性，但磁盘空间利用率只有 50%。RAID1 主要用于存放系统软件、数据及其他重要文件。它提供了数据的实时备份，一旦发生故障所有的关键数据即刻可用。

（3）RAID2 级（采用纠错海明码的磁盘阵列）：采用了海明码纠错技术，用户需增加校验盘来提供单纠错和双纠错功能。对数据的访问涉及阵列中的每一个盘。大量数据传输时 I/O 性能较高，但不利于小批量数据传输。实际应用中很少使用。

（4）RAID3 和 RAID4 级（采用奇偶校验码的磁盘阵列）：把奇偶校验码存放在一个独立的校验盘上。如果有一个盘失效，其上的数据可以通过对其他盘上的数据进行异或运算得到。读数据很快，但因为写入数据时要计算校验位，速度较慢。

（5）RAID5（无独立校验盘的奇偶校验码磁盘阵列）：与 RAID4 类似，但没有独立的校验盘，校验信息分布在组内所有盘上，对于大批量和小批量数据的读/写性能都很好。RAID4 和 RAID5 使用了独立存取技术，阵列中每一个磁盘都相互独立地操作，所以 I/O 请求可以并行处理。所以，该技术非常适合于 I/O 请求率高的应用，而不太适应于要求高数据传输率的应用。与其他方案类似，RAID4、RAID5 也应用了数据分块技术，但块的尺寸相对大一些。

（6）RAID6（具有独立的数据磁盘与两个独立的分布式校验方案）：RAID6 级的阵列中设置了一个专用的、可快速访问的异步校验盘。该盘具有独立的数据访问通路，其性能改进有限，但价格却很昂贵。

（7）RAID7（具有最优化的异步高 I/O 速率和高数据传输率的磁盘阵列）：是对 RAID6 的改进。在这种阵列中的所有磁盘，都具有较高的传输速度，有着优异的性能，是目前最高档次的磁盘阵列。

（8）RAID1+0（高可靠性与高性能的组合）：由多个 RAID 等级组合而成，建立在 RAID0 和 RAID1 基础上。RAID1 是一个冗余的备份阵列，而 RAID0 是负责数据读/写的阵列，由于利用了 RAID0 极高的读/写效率和 RAID1 较高的数据保护和恢复能力，因此 RAID1+0 是一种性价比较高的等级，目前几乎所有的 RAID 控制卡都支持这一等级。需要注意的是，如果先做 RAID0，后做 RAID1，则是 RAID0+1；如果先做 RAID1，后做 RAID0，则是 RAID1+0。

试题 16 答案

(65) A

试题 17 (2008 年上半年试题 14)

下面关于 RISC 计算机的描述中, 正确的是___(14)___。

- (14) A. 在 RISC 计算机中减少了通用寄存器的数量
- B. 由于指令简单, 一个机器周期可以执行多条指令
- C. RISC 计算机的指令更适合流水处理
- D. RISC 计算机程序只占用很小的内存

试题 17 分析

请参考试题 4 的分析。

试题 17 答案

(14) C

试题 18 (2008 年上半年试题 15)

关于 cache 存储器, 下面的叙述中正确的是___(15)___。

- (15) A. cache 存储器是内存中的一个特定区域
- B. cache 存储器的存取速度介于内存和磁盘之间
- C. cache 存储器中存放的内容是内存的备份
- D. cache 存储器存放正在处理的部分指令和数据

试题 18 分析

请参考试题 5 的分析。

试题 18 答案

(15) D

试题 19 (2008 年上半年试题 16)

为了解决 CPU 与主存速度不匹配的问题, 通常采用的方法是___(16)___。

- (16) A. 采用速度更快的主存
- B. 在 CPU 和主存之间插入少量的高速缓冲存储器
- C. 在 CPU 周期中插入等待周期
- D. 扩大主存的容量

试题 19 分析

请参考试题 5 的分析。

试题 19 答案

(16) B

试题 20 (2008 年上半年试题 17)

大规模并行处理 (MPP) 计算机的特点是___(17)___。

- (17) A. 这种系统最适合 SIMD 计算模式
- B. 这种系统可以实现多条流水线并行处理