



半导体器件新工艺新技术

译文集

New Processes and Technologies of Semiconductor Devices

上海半导体器件研究所

前言

二十世纪八十年代来到了。八十年代对于我国实现四个现代化是非常重要的年代，而实现四个现代化又是一场伟大的革命。

现代化就是电子化。只要国民经济各部门、社会生活乃至人们的家庭都电子化了，那现代化就可以说来到了。而电子化又可以说就是半导体化。这意思是所有电子设备、电子产品都必然和必须用半导体器件来制造。所以半导体器件对于实现我国四个现代化的重要意义就勿容置疑了。

半导体器件(晶体管、集成电路、大规模集成电路等)产品给今天的空间技术、国防军事、国民经济各部门、人们的物质文化生活所带来的巨大影响和享有的重要地位是众所周知的。

半导体器件在短短的三十年内获得如此迅猛的发展，是同其工艺技术的飞跃进步分不开的。现在，半导体器件正在从大规模集成电路向超大规模集成电路迈进，同时在完善和提高大规模集成功能、质量、合格率和可靠性等方面也仍在向深度和广度进军。这些事实充分体现了“需要就是发明”这样一条真理。

为了配合我所科研工作的需要，我们选译了近年国外有关半导体新工艺新技术方面论文十四篇，构成一个译文集，供我所及国内同行的工程技术人员和工人同志参考。由于我们水平有限，经验不多，错误在所难免，欢迎同志们批评指正。

在本集的编辑过程中，王儒全同志在选题、审校方面作了不少帮助，对此表示感谢。

科技情报研究室

一九八〇年三月

目 录

- 一、 半导体工艺技术的回顾与展望 (1)
- 二、 氧化物隔离技术的若干方面 (6)
- 三、 窄沟道场效应晶体管的阈值电压 (14)
- 四、 多路选通液晶显示 (21)
- 五、 工艺改进使利用硅—蓝宝石工艺制作的CMOS进入商用
阶段 (30)
- 六、 一种新的自对准接触工艺 (39)
- 七、 离子注入硅和其它材料的激光退火效应 (41)
- 八、 扩散砷的硅的热氧化 (52)
- 九、 等离子体氧化氮化物MOS结构的特性 (61)
- 十、 与注入顺序有关的再分布效应 (67)
- 十一、 堆垛层错对MOS存储器刷新时间的有害影响 (71)
- 十二、 集成电路中铝与N-型多晶硅界面处多晶硅溶解作用与接触
电阻的减小 (78)
- 十三、 硼在多晶硅中的横向扩散及其对制作亚微米MOS晶体管的
影响 (84)
- 十四、 MOS LSI钝化的活性等离子体淀积氮化硅薄膜 (94)
- 十五、 冷却效果高、装配简单的大规模集成电路管壳—四列直插
式封装 (108)

半导体工艺技术的回顾与展望

王 儒 全

今天,电子技术对空间技术、军事技术、国民经济各部门(从自动化生产到超级市
级管理,从机算计辅助设计飞机、轮船等大型设备到人体疾病的诊断,……)、人们的
社会生活和家庭生活的巨大影响都是众所周知的(诸如“消费电子学”和“家庭电子化”的
出现)。“电子革命”正是这种深刻影响的体现。在人类社会发展的历史上,蒸汽机的发
明、电力的发明和原子能的利用所导致的现代工业革命,都曾大大地提高和丰富了人
类的物质文化生活,其影响和作用是不可估量的。但电子革命与上述所谓的“动力革命”
或“能源革命”相比,是更要深刻更要伟大得多,可以说有着“质”的区别。为此,我们不
妨可以说“电子革命”不仅是一次“动力革命”,而且是人类文明社会的一次“智能革命”。
因为道理很简单。电子技术的广泛应用,提高了生产的自动化程度,提高了工效,可
以选择最佳方案和最佳工艺路线,这当然就大大节约了动力(也即能源)的消耗;与此
同时,作为电子技术一大领域的电子计算机的广泛应用,解决了人类过去不可能凭“人
的智慧和精力”所能解决的许多重大的课题和工程,例如将人从极其复杂的计算中解
脱出来,以及由计算机去完成许多由人去完成的工作,例如“智能终端”和机器人的出
现就是一些简单的事例。

电子革命的到来主要应当归功于半导体器件的发展。真空管由于体积大、功耗大、
寿命短、不可能集成,是不可能促使电子革命的到来。半导体器件体积小、功耗小、
寿命长而且可以按照线路要求进行集成化,以至半导体器件不仅从单个元件中超脱了
出来,而且可达到子系统甚至系统的作用(即功能块的作用)。

半导体器件从1948年晶体管的发明以来的短短三十年时间里,能从晶体管时代飞
跃过集成电路时代、大规模集成电路时代而今正进入超大规模集成电路时代,给人类
社会和自然界以莫大的震动和冲击,不用说过去就是在近代科学技术史上也是罕见的。

当今半导体器件“威震四方”的声誉又要归功于半导体工艺技术的飞速进步甚至一
些革命性的变化。

当初,人们主要通过拉晶法和合金法来制造晶体管,而由于合金法(现在也广泛用
于单个低频功率器件的制造)的优越性,拉晶法迅及淘汰。而为追求高频器件,1954~
55年出现的扩散技术(沿用至今)使半导体器件的性能和生产方式都进入到一个崭新的
阶段。理论上预示的硅较之于锗的诸优点,促使硅单晶制备(自然还包括其多晶的制
备)技术的迅速改进和提高,使得锗和锗器件很快就让位于硅和硅器件了。而以硅的热
氧化为基础的平面技术的出现再加上外延生长晶体技术的发明,就使硅晶体管在频率、
功率、饱和压降性能、表面噪声和稳定性与可靠性诸方面大大超过了锗器件。与平面

技术相比,那些为提高锗高频器件性能的让工程技术人员绞尽脑汁的技术(诸如合金扩散法、电化学腐蚀法、喷射化学腐蚀法等等)都相形见绌。而平面技术的出现才使晶体管诞生后人们就预示着的集成电路得以真正的实现。

平面技术包括硅的高温热氧化、由古老的印刷照相术发展而成的光刻技术、已有一百年历史的真空镀膜技术的新应用(即蒸发技术)、以及外延技术和关于二氧化硅的杂质掩蔽能力的研究成功等多项性技术。元件之间电学性质绝缘或隔离的介质隔离和p-n结隔离技术的发明,可以说是集成电路得以实现的助产婆。把平面技术视为半导体技术的一次革命,想必是没有异疑的。

平面技术不仅促进了双极型集成电路的出现和发展,而且也是1962年MOS场效应晶体管和MOS场效应集成电路诞生的必要条件和充要条件。MOS场效应晶体管的原理远在二十年代中期就发现了,就预示着有一种新的固体放大器会出现。但由于科学技术还没有发展到它所应当达到的水平,所以“那种发明”便不可能发生。MOS集成电路一出现不预示着高密度的大规模集成电路将要自然地到来。

SiO_2 性质的不稳定性的研究和 SiO_2 -Si界面性质的研究又导致 Si_3N_4 和 Al_2O_3 薄膜制备技术的出现,这又导致不挥发半导体存储器(MNOS MAOS)的诞生。而为追求MOS集成电路性能的改进所出现的等平面硅栅自对准一整套工艺显示了硅栅技术和多晶硅生长技术及其应用的巨大生命力,不仅使MOS大规模集成电路大发展,而且导致可电编程紫外光改写以及电编程电改写MOS只读存储器(EPROM、EAROM、EEPROM等新器件)的出现。等平面硅栅工艺的出现又导致等离子体干法腐蚀技术的发明和发展。 SiO_2 -Si界面性质的研究还导致了CCD技术的出现和发展,而今CCD领域内又出现了许多新的技术(反应在许多新的结构上)。

为了提高MOS器件的性能,MOS器件从P-沟转向N-沟,N-沟又发展到H-MOS,近年又出现了短沟道(< 2微米以下)MOS技术,导致超大规模集成电路技术和超精细(线条)加工(刻蚀)技术的发展。

双极型集成电路从DTL方式发展到TTL发展到STTL,ECL等技术,而为提高集成度, I^2L 技术也就问世了。多层布线、隔离方法(如集电极隔离、对通隔离等)也都出现了新的技术。

双极型在制作全互补低功耗高功能对称集成电路方面遇到极大的障碍(现今还未突破),而63年在MOS电路方面就出现了CMOS工艺,而后为改进CMOS功能,提高集成度,CMOS/SOS工艺又研究成功,76-77年RCA公司又研究成功环形栅(或封闭栅—所谓 C^2L 互补MOS工艺)。

肖特基势垒二极管应用到砷化镓上使得砷化镓器件得以实现其集成化,砷化镓集成电路技术出现预示着新一代更高速度的集成电路器件诞生,目前已实现其中规模集成水平,正在走向大规模集成。

D-MOS、V-MOS等新结构MOS器件也各自采用一些很好的很巧妙的新工艺新技

术。

以上主要是循着锗、硅、砷化镓为材料的这些最重要的半导体器件的发展而出现的新技术。

从为高质量半导体器件,大规模集成电路以及增加产量,提高成品率提供高质量大直径单晶来看,以硅为例,直径已从六十年代的25毫米直径发展到今天125毫米直径的生产水平,以及达200毫米左右的实验水平;从过去只注意位错这一类缺陷到今天注意各类微缺陷,以及晶片氧化扩散后产生的二次缺陷的消除等等技术;除沿用的直拉单晶法外,还发展了区熔法生长单晶。掺杂方法从一般杂质的混合熔融方法发展到中子嬗变掺杂。从有缺陷的单晶生长到完美单晶工艺(单晶生长与氧化扩散完美晶片工艺在内)从单晶质量检测参数及检测技术方面看,其方法和技术也发展很快。除注重断面,纵向方向的均匀性外,也注意微区均匀性以及单晶中的夹杂物,从注意金属杂质和氢的影响到考虑氧、碳、氮等杂质的影响。过去分析金属的一些方法也移植到分析半导体单晶材料上,而一些新的分析技术、分析手段、诸如X—线射貌相术、扫描电镜、透射电子显微镜、超声波显微镜,红外显微镜等都用于单晶质量的检测和分析。寿命测试也已从电注入发展到光注入到激光注入等方法进行测试。缺陷的腐蚀技术也越来越完美。由于直径单晶的切、磨、抛要求与小直径大有区别,因而在技术上也有新的要求,特别是减小和防止弯曲或扭曲方面要认真考虑。

从晶片加工成管芯方面来看,以硅集成电路为例,从硅片的清洗方法、氧化、扩散直到封装方法等各步工艺,近二十年的变化和发展是十分惊人的和卓有成效的。

清洗方法从过去只用硫酸,有机溶剂类处理到用1,2号或硫酸加过氧化氢处理,从去离子水的一般性冲洗到超声波的使用到高压去离子水冲洗到使用擦片机清洗,从湿化学清洗到等离子体干法清洗,这些对器件功能水平,成品率和可靠性的提高都带来了极大的好处。

氧化方法从水蒸汽、湿氧、干氧氧化变化到通氯化氢(或氯气)氧化、高压氧化、低温氧化、加电场氧化、多孔氧化、氢与氧合成水氧化、以及各种 SiO_2 淀积方法来制备 SiO_2 绝缘介质。

扩散方法从采用粉末(磷硅玻璃、硼硅玻璃类)的箱法到液态源扩散,以及采用掺杂氧化物的固—固扩散,抽真空的闭管扩散(特别是高浓度的砷扩散采用此法)、片状源(硼、磷)扩散,双源扩散(不仅用两种相同类型的或不同类型的杂质而且包括一种掺杂类型杂质和一种中性杂质如磷同锗往硅中扩散)、气体源(如磷、硼的烷化物)扩散、乳胶源扩散以及离子注入的广泛应用。

光刻技术不仅在提高(线条)分辨率,缩小线条宽度方面发展或改进了不少技术,而且对准设备(光刻机)从接触式发展到非触式和投影式(经过十多年的改进才获成功),从人工对准到全自动(激光)对准,从只能对准操作到自动送片自动显影等联机操作。从使用光刻版多次曝光到抛弃版子在硅片上直接曝光和多次套准曝光。从使用紫外线

曝光到使用电子束曝光,软X射线曝光,远紫外线曝光。从光刻后的药品蚀刻(湿法和等离子体法)到离子蚀刻(或叫离子磨铣)。

蒸发电极从花篮加热蒸发源、电阻丝(钨丝)加热蒸发源到电子束蒸发、激光蒸发。从采用单一金属作互连线到使用两种甚至三种金属(如Al-Si、Al-Cu、Al-Mg到Al-Si-Cu)作互连线、从用低熔点的铝、金到难熔的钼、钨,如提高可靠性还有使用铼的。对于功率晶体管,还采用多层金属(如Pt-Ti-Pt-Au系统、Ni-Cr-Al系统、Mo-Al系统)。

管芯分割(划片)有金刚刀、激光两种技术。芯片与底座粘附方法有用低熔点玻璃、银浆、有机硅树脂粘合剂、烧合金片或热超声合金片焊接等技术。引线键合有铝丝热压、铝丝超声、金丝热压、金丝球焊、以及梁式引线倒扣焊等技术。封装方法有金属壳、塑料扁平、陶瓷扁平、陶瓷双列直插式、塑料双列直插式、以及多列直插式(多层金属化陶瓷)等技术。从使用单个管壳进行生产到使用带状式管壳进行生产。

为了保证在核辐射环境下半导体器件的正常使用,还研究出和发展了许多半导体器件抗辐照的技术,如对于双极型器件来讲,从减薄基区到用 Al_2O_3 钝化,对于MOS电路,拟用CMOS器件特别是SOS/CMOS器件为最好,同时用 Al_2O_3 进行表面钝化。

为配合半导体器件的发展和半导体工艺技术的发展,许多半导体工业中使用的辅助材料的生产技术也获得了飞速发展。除 H_2 、 O_2 、 N_2 、Ar等气体提高纯度外、 SiH_4 、 HN_3 、 PH_3 、 B_2H_6 、 BCl_3 、 AsF_5 等气体也研制出和不断提高其质量。各类有机和无机化学试剂也为适应半导体器件生产要求而从分析纯发展到优级纯、电子纯、直到目前的MOS纯。去离子水的生产方法和质量也都达到了空前高的水平。石英材料、氟和氯乙稀塑料、各种封装填料(硅酯等有机涂料)、外壳塑料封装材料(如硅酮之类),……其质量不断提高,品种不断增加。此外还有各类光刻版及其中的各类成份材料的生产和高质量要求。可以说由于半导体工业是一门超纯超净超精密的工业,因此使许多材料都达到了空前的超纯度水平,以生产硅单晶的多晶纯度而论,已达11~12个“9”的程度。许多药品杂质含量都达到PPb级水平(亿分之一到十亿分之一)。空气净化也因半导体工业的发展的要求而达到令人赞叹的地步。精密的光刻设备,制版设备相比过去的许多精密机械来讲,其精密度以微米或亚微米计。

为提高后步封装工艺的成品率、特别是提高器件的寿命的可靠性,发展了 SiO_2 、PSG(磷硅玻璃)、 Si_3N_4 、 Al_2O_3 、含氧多晶硅以及含氧氮化硅等表面钝化方法。为研究半导体的可靠性(包括检漏),不仅研究出和发展了许多的分析、诊断、解剖技术,而且导致可靠性理论(包括可靠性数学)的迅速发展。

在超大规模集成电路到来的时代,随着精细加工技术的发展必将带来半导体器件制造技术(包括设备)的又一场深刻变革。与此同时,其他单个器件(包括微波、功率器件)的工艺也会大加提高大加改进。而且可以相信,大规模电路和超大规模电路工艺同其他器件制造工艺乃至其他科学技术领域的工艺还会相互渗透。随着一些新原理器件

(如磁性半导体器件、约瑟夫逊器件等),新结构器件,利用新材料制成新的器件的出现,半导体工艺技术还会出现更繁花似锦的景象。总之,在近代科学技术史上,还没有任何科学领域里的技术的发明创造以及促进该科学技术在短时期内如此快的成长和成熟能与半导体工艺技术相比。

氧化物隔离技术的若干方面

P. C. Parckh

摘要: 对 $\langle 100 \rangle$ 晶向晶片的氧化物隔离区附近的缺陷产生和染色剖面的情况进行了研究。研究采用的变量是表面的二氧化硅和氮化硅的厚度以及隔离氧化温度。可观察到在隔离区附近的外延掺杂剂扩散的增强或延缓是分别与 $\langle 111 \rangle$ 面缺陷的有无相对应的。

在高速高密度电路的制造中,氧化物隔离技术的效果是很明显的。在早期,这种隔离形式应用于双极型存储器上的《1》,而现在正应用到所有类型的集成电路中去。随着对这门技术兴趣的增加,所发表的有关这方面的资料也越来越多《1—8》。例如Cosand和Srussin《4》最近的工作表明,如果工艺条件不是处在最佳状态的话,缺陷可在氧化物隔离区附近产生。Sakai和Bassous《2》《3》等人做了减少出现“鸟嘴”现象的尝试工作,此种现象在氧化物隔离中是不希望出现的。Chang和Chang《6》通过器件参数为手段已经给出了氧化物隔离结构的特性。

氧化物隔离结构可能遇到的三个基本问题是:(1)在氧化物隔离结构附近或周围的水平面处可使得金属化层在台阶处出现复盖不良。(2)被氧化物隔离区分开的二个区域之间存在过量的漏电和低击穿。(3)位于氧化物隔离区附近的器件漏电。Sakoi《2》和Bassous《3》等人讨论了氧化物隔开口周围的不平整情况。在本工作中对氧化物隔离技术的这方面问题就不作进一步的讨论。

Cosand和Prussiu《4》的工作已表明了缺陷的产生与工艺条件有关。他们的工作使用的工艺条件范围是十分狭窄的,本工作的目的是研究隔离区附近缺陷的产生过程和染色剖面。从下列这些数据可以获得最佳的工艺条件,使隔离区和有源区的漏电减小。工艺条件的范围包括:隔离氧化温度的变化范围从 950°C 到 1150°C ,氮化硅厚度从500埃变到2000埃,在氮化硅下面热生长的二氧化硅厚度从0到2000埃。

上述调查研究使用的手段是:(1)用磨角与染色技术观察隔离区周界的染色剖面,(2)晶片按 $\langle 100 \rangle$ 晶向并沿 $\langle 110 \rangle$ 方向解理。解理部分用Sirtl腐蚀液腐蚀由沿 $\langle 111 \rangle$ 面的位错所形成的腐蚀坑,并用扫描电子显微镜观察。

实 验

原始材料是 $\langle 100 \rangle$ 晶向的P型材料,其电阻率为 $8.0\text{—}13.0$ 欧姆·厘米。硅片经清

洗以后被分裂为两个半片,这样可以淀积电阻率为0.35欧姆·厘米,厚度分别为2.0和3.0微米的外延层。在这道工序前,部分片子已经进行过隐埋层淀积和扩散处理。然而,有和没有隐埋层的片子所获得的最后结果没有什么区别。外延淀积后,将片子进行清洗,接着放在950℃的条件下热氧化,二氧化硅厚度变化范围从0—2000埃,然后片子在800℃下进行氮化硅淀积处理,氮化硅厚度范围从500—2500埃。为了达到掩蔽目的,在450℃下将所有片子淀积上一层1000埃厚的二氧化硅层。这层氧化层被刻蚀成一定图案作为掩蔽,从而可腐蚀得到一个二氧化硅—氮化硅—二氧化硅的多层结构。最后如图1所示,使用氢氧化钾和异丙醇混合液对窗口内暴露的硅腐蚀进2.25微米深。图中示出了外延层厚度分别为2微米和3微米的两个器件的横截面图。隔离区的氧化层是在1150℃,1050℃和950℃几种温度下制备的。在隔离区中(也称为隔离槽)氧化物的最佳厚度在所有情况下都是2.2微米。

紧接着隔离槽氧化之后,片子经过磨角和染色以观察隔离槽附近的n型外延层的染色剖面。磨角操作是用Philetec机完成的,用这种方法可便于对大面积片子进行观察,接下来将片子沿<110>方向解理,解理区用Sirtl液腐蚀,而后用扫描电子显微镜分析,以显示出由于氧化工艺而在隔离槽附近所引进的缺陷。

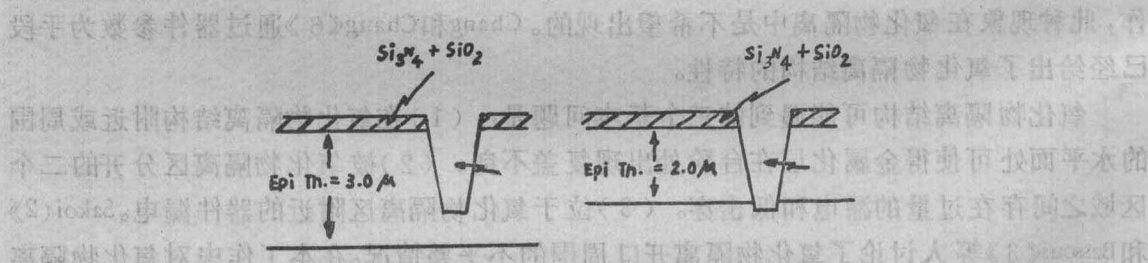


图1 对硅进行隔离槽腐蚀后硅横截面。 a(左面), 外延层厚度>槽的深度。 b(右面), 外延层厚度<槽的深度

结果

表1 归纳了实验中所观察到的隔离槽附近不同类型的染色剖面 and 产生的缺陷情况。作为例子,图2和图3分别示出了上述两种情况。在前一种情况下,(染色剖面)黑暗区代表P型衬底,光亮区代表磷掺杂外延区。这里可清晰地看见表面和磨角区域之间的边界。不同的氧化温度下所对应的染色剖面情况如下:

1. 在1150℃和1050℃的氧化温度下,由于外延层中的杂质磷扩散进入衬底,使得槽以外的外延层厚度增厚,在950℃下氧化,则外延厚度无明显增加。

2. 对应于槽以外的外延层增厚的目的,槽下面的外延层中的杂质在所有温度下将出现增强扩散。因而,本文中所提到的“增强”一词是参照隔离槽以外的外延层厚度

而言的。图 3 是用扫描电子显微镜看到的隔离槽区的横截面。如上所述，片子是沿 $\langle 110 \rangle$ 方向解理并用 Sirtl 液腐蚀。腐蚀坑和它们的位置表明缺陷是在 $\langle 111 \rangle$ 面上形成的。因而下文中将提到的槽区附近所产生缺陷这一意思是专指沿 $\langle 110 \rangle$ 方向解理并用 Sirtl 液腐蚀的样片而言。接着，用扫描电子显微镜分析腐蚀区的横截面和在于发现 $\langle 111 \rangle$ 面上存在的任何缺陷。

在 1150°C 温度下的隔离槽氧化—获得的结果列于表 1：

外延层厚度 = 3.0 微米的情况如图 1 a 所示，在隔离槽氧化前，外延层与衬底区的界面在槽的底端下面。槽氧化以后，槽区以外外延层厚度的增加大约是 1.5 微米。图 2 所示是氮化硅厚度为 2500 埃，氧化物厚度为 0—2000 埃时典型的槽附近的染色剖面。这里可明显地观察到槽区下 n 型外延杂质扩散系数的增强。此外，图 3 表明了槽区附近看到的缺陷，图 4 表明了第二批样品的斜面和染色剖面，其氮化硅和二氧化硅的厚度分别是 500 埃和 0—2000 埃。可以看到，在槽下 n 型外延杂质扩散系数与槽外区域相比有一个迟缓。图 5 表示这些样品在槽附近没有缺陷产生。

表 1 染色剖面的种类

分批数	外延厚度 (微米)	槽区氧化温度 ($^\circ\text{C}$)	电介质厚度		染色剖面	缺陷产生
			二氧化硅(埃)	氮化硅(埃)		
1	3.0	1150	0—2000	2500	图 2	有
2	3.0	1150	0—2000	500	图 4	无
3	2.0	1150	2000	2500	图 6	有
4	2.0	1150	0—2000	500	图 6*	无
5	2.0	1150	0	2500	图 6*	有
6	3.0	950	0—2000	500—2500	图 7	有
7	2.0	950	0	500—2500	图 8	有
8	2.0	950	2000	2500	图 9	有
9	2.0	950	2000	500	图 10	有

外延层厚度 = 2.0 微米的情况：在图 1 b 中表明，槽氧化前，槽的深度稍大于外延区厚度，但在槽氧化以后，槽区以外的外延层厚度就大于槽的深度。图 6 表明了第三批片子的类似情况，其氮化硅和二氧化硅的厚度分别为 2500 埃和 2000 埃。应注意，这里两个 n 型区之间的隔离是由槽底与衬底之间连续的 p 型区所保持的。在槽氧化的过程一开始，硼从衬底进入氧化物。在氧化过程的持续过程中，氧化物可以充当硼源，并使槽底和衬底之间保持一个连续的 p 型区。注意，观察到在槽四周的 n 型杂质的扩散系数在增强。图 3 表明了伴随产生的缺陷。图 6 中所示的是在第四批样品中所观察到的染

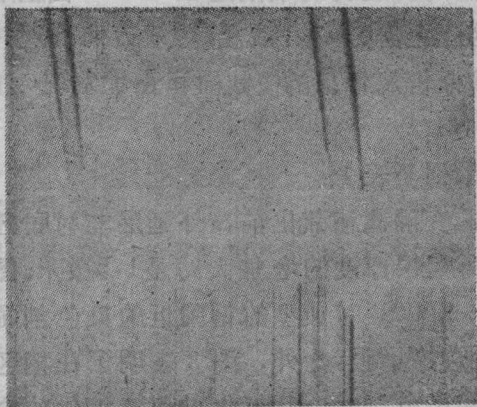


图2 第一批片子的斜面和染色剖面，二氧化硅厚度=0—2000埃，氮化硅厚度=2500埃。氧化温度=1150℃，放大162倍



图3 用扫描电子显微镜观察第一批样品沿 $\langle 110 \rangle$ 方向解理的横截面和用Sirtl液腐蚀后在 $\langle 111 \rangle$ 面可看到缺陷。放大700倍

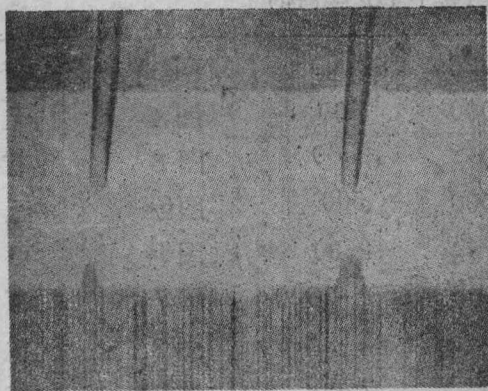


图4 第二批片子的斜面和染色剖面，二氧化硅厚度=0—2000埃，氮化硅厚度=500埃。氧化温度=1150℃。放大162倍



图5 用扫描电子显微镜观察第二批样品沿 $\langle 110 \rangle$ 方向解理的横截面和用Sirtl液腐蚀后在 $\langle 111 \rangle$ 面看到的缺陷。放大900倍

色剖面，其氮化硅厚度减薄到500埃，二氧化硅厚度允许范围0—2000埃。但是，在槽周围没有出现n型杂质的增强扩散。而且，在槽区附近也没有观察到缺陷，第五批片子的氮化硅厚2500埃，在氮化硅下面没有二氧化硅，其染色剖面与图6所示的相类似。但隔离槽周围增强扩散要小些。另外，所观察到的缺陷与图3中所示的相似。虽然缺陷的密度比图中表示的要低。

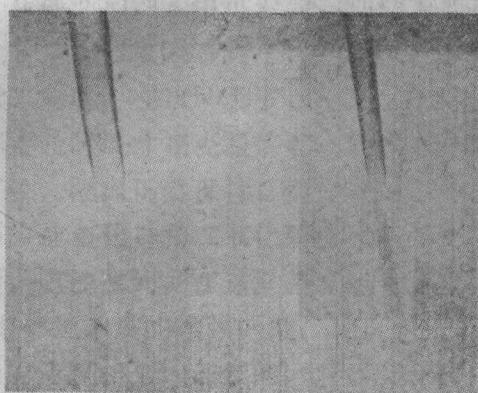


图6 第三批片子的斜面和染色剖面，二氧化硅厚度=0—2000埃，氮化硅厚度=2500埃，氧化温度=1150℃。放大162倍

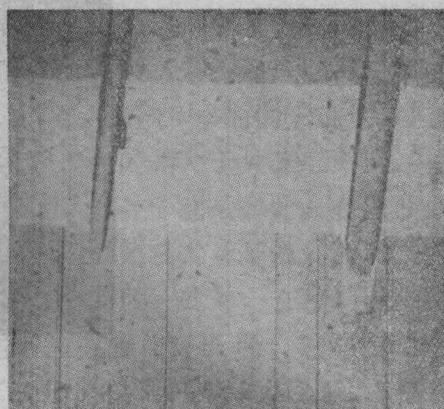


图7 第六批片子的斜面和染色剖面，二氧化硅厚度=0—2000埃，氮化硅厚度=500—2500埃，氧化温度=950℃。放大162倍

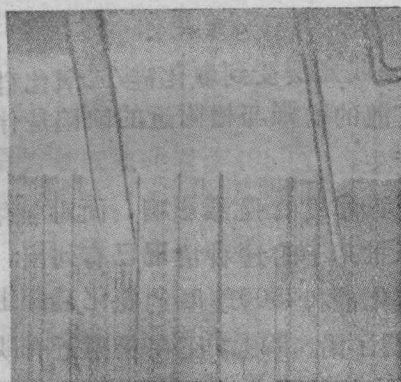


图8 第七批片子的斜面和染色剖面，二氧化硅厚度=0埃，氮化硅厚度=500—2500埃，氧化温度=950℃。放大162倍

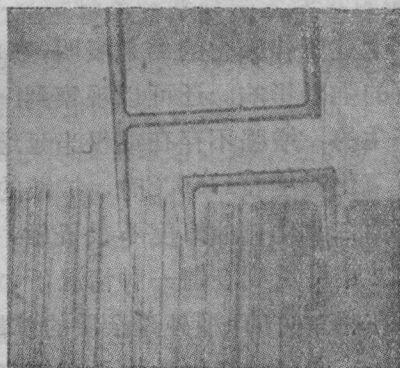


图9 第八批片子的斜面和染色剖面，二氧化硅厚度=2000埃，氮化硅厚度=2500埃，氧化温度=950℃。放大162倍

在950℃温度下的槽氧化情况一所获得的结果列去表1中。

外延层厚度=3.0微米的情况—这里在槽氧化后，槽区以外的外延层厚度和氧化前保持相同。在图7中可看到厚度从0—2000埃的二氧化硅与厚度从500—2500埃的氮化硅的任意组合情况下的染色剖面。在这种情况下，槽区附近的缺陷总是伴随存在的。

外延层厚度=2.0微米的情况—图8到图10中给出了样品的染色剖面。这些样品的二氧化硅和氮化硅厚度已列在表1中。可以看到，随着二氧化硅和氮化硅厚度的增加，有可能使得两个n型外延岛之间失去隔离作用。在所有情况下都可看到在槽区附近存在缺陷。



图10 第九批片子的斜面和染色剖面，二氧化硅厚度=2000埃，氮化硅厚度=500埃，氧化温度=950℃。放大162倍

讨 论

上述工作获得的结果表明，在槽区下外延杂质的增强或延缓受到氮化硅/二氧化硅厚度的强烈影响。还可以观察到：在大多数情况下，扩散的增强与槽附近的缺陷是伴随产生的。增强不存在或仅当延缓存在时，没有缺陷产生。

氧化温度在1150℃时，扩散的增强或延缓受到氮化硅厚度的强烈影响，而对氮化硅下面二氧化硅的厚度不很灵敏。在表1中第一和第二批片子的这种情况已有列出。在图2中可看到在前一种情况下，不论多少厚度的二氧化硅和2500埃厚的氮化硅相组合，在槽下方的n型外延杂质的扩散是增强的。图3表明了沿 $\langle 111 \rangle$ 面在槽附近有缺陷产生，缺陷的产生是由于在槽氧化过程中经受过多应力的结果。这种应力是因为厚的氮化硅薄膜阻止了槽周围二氧化硅体积膨胀的结果。可看到在槽下面的增强扩散是由于缺陷产生所形成的空位比平均浓度更大的结果。

在图4中可看到在1150℃氧化温度下第二批片子在槽下面n型外延杂质扩散的延缓。必须澄清的是这里延缓一词的含义是指在槽氧化时，槽区以外的n型外延杂质的扩散比槽以下的杂质往衬底推进得更远。图5显示的样片表明，经过延缓过程在槽附近就不会出现缺陷。这可以这样解释，即因为所观察到的氮化硅薄膜的厚度仅500埃。

因而，在槽的氧化过程中，槽的周围产生应力的倾向将是很显著地减到最小。然而，槽下面n型杂质扩散的延缓不能归应于缺陷的不存在。作者所能作的唯一的解释是由于槽氧过程中，在槽中由于氧化物的生长而使硅—二氧化硅界面的空位减少。因而空位将从诸如外延—衬底界面这样一些周围区域向硅—二氧化硅界面扩散，这导致了在槽下面的外延杂质扩散的延缓现象。

从图 2 和图 4 中可看到, 在两个外延区之间, 不论在槽的那侧, 其隔离是不完全的。最基本的原因有两个, 首先, 在氧化前槽的深度相对于 3.0 微米的外延层厚度来说太浅。其次, 在 1150°C 下, 外延区扩散进入衬底十分显著。图 1 b 举的例子说明, 可通过垂直几何尺寸来克服前者的缺点。这里在氧化前, 槽的深度稍大于外延层厚度。槽氧化后, 隔离仍然保持。例如表 1 中列出的第 3, 4, 5 批片子就是如此。在图 6 中表明的是氮化硅和二氧化硅的厚度分别为 2500 埃和 2000 埃的第三批片子的斜面和染色剖面, 应注意到, 在这里槽底和 p 型衬底之间获得了连续 p 型区。此外, 在槽周围观察到 n 型外延杂质的增强扩散, 槽区附近的缺陷往往与增强扩散伴随出现, 这与图 3 中所示的情况相似。连续的 p 型区可以解释为是由于二氧化硅和硼的亲合力所至。在槽氧化的开始阶段, 有相当数量的硼进入槽氧化物, 而该氧化物在接下去的扩散中能充当硼源。因此, 在槽底和衬底之间保持了一个连续的 p 型区。

图 6 中显示的第四批片子的染色剖面, 其氮化硅厚度是 500 埃, 二氧化硅厚度范围从 0—2000 埃, 它不包括在槽周围不出现增强扩散的例外情况。另外, 在槽区附近没有缺陷产生。该结果与第二批相似, 并符合预料情况。

第五批片子的氮化硅厚度为 2500 埃, 下面没有二氧化硅层。在槽周围的增强扩散比图 6 中显示的要小。这和预期的结果相符, 因为氮化硅直接和硅接触减小了在槽周围因二氧化硅而产生的体积膨胀。这样就减少了缺陷的形成。

从上面的情况来看, 扩散增强和缺陷产生受氮化硅厚度的显著影响。在本工作中采用的最低氧化温度 (950°C) 下对所有的氮化硅/二氧化硅厚度的组合, 均观察到扩散增强。此外, 在可能情况下可观察到缺陷。Cosand 和 Prussin 观察到由于氧化温度降低导致二氧化硅粘滞性增强, 结果产生大的应力。他们采用了 900°C 和 1020°C 的工作条件进行槽氧化。在 1020°C 条件下没有看到缺陷存在, 但在 900°C 则可观察到缺陷。

在 950°C 时, 第六到第九批片子进行槽氧化的结果在表 1 中列出。从这些片子的磨角和染色剖面看, 在槽氧化后, 槽区的外延层厚度没有增加。图 7 中表明了第六批片子的磨角和染色剖面, 其氮化硅和二氧化硅厚度是任意的。在这里看到, 槽区下 n 型杂质的扩散增强十分显著。在氧化前, 外延层厚度比槽的深度大而氧化后则槽的深度比外延层厚度大。因为低温下氧化, 后者不会增加。除此以外, 隔离的丧失也是槽下面 n 型杂质扩散增强的结果。对第七, 八, 九批片子, 外延层厚度是 2 微米时, 在两个 n 型区之间保持隔离的可能性就大得多。因为这些例子下, 在槽氧化以前, 槽底顶端是在外延衬底的界面以下的。第七, 八, 九批片子氧化后的磨角和染色剖面分别示于图 8, 9, 10。从这里可看到, 对氮化硅和二氧化硅厚度分别是 2500 埃和 2000 埃的第八批片子来讲, 有可能失去隔离作用。在图 10 中看到, 对使用同样的氧化层厚度而只用 500 埃厚的氮化硅时, 尽管在槽区周围可观察到扩散增强, 但仍保持了隔离。第七批片子没有二氧化硅, 氮化硅厚度 500—2500 埃。图 8 中表明了其 n 型外延杂质扩散的增强是极小的。另外, 在槽附近可看到某些空缺陷。虽然缺陷密度比第八批和第九批片子

看到的要明显低。这些结果同采用1150℃氧化温度的第五批片子相似。必须强调，这里氮化硅直接和硅接触对可产生的扩散增强并不小于有二氧化硅时的增强。因而，第一批片子对氮化硅下面的氧化物厚度从0—2000埃时，没有观察到什么差别。

文献《7》已详细讨论了在硅上直接生长氮化硅的不利因素。因此，在器件制造中，衬底和氮化硅之间需要一层薄薄的二氧化硅。

结 论

通过现在的研究，建议在氧化物障离中可采用以下的最佳工艺：

1. 为了减少槽区附近的缺陷，采用的氮化硅和二氧化硅层厚度要薄。
2. 增加槽氧化温度，可把缺陷的产生程度减到最小。然而，使用高的温度的不利之处在于隐埋层会向外扩散进入外延区。使用较慢的扩散杂质能部分补偿这一点。例如，用砷代替锑作为隐埋的掺杂剂。另外，在不用隐埋层的地方可推荐砷代替磷作为外延杂质。使用砷将缩小槽氧化后总的外延厚度的增加。

注意：参考文献8篇(略)。

译自《Journal of the Electrochemical Society》Vol. 125, No.

10, PP. 7 1703, oct 1978

王立伟译 高明辉校

窄沟道场效应晶体管的阈值电压

KARL E. KROELL 和 GERHARD K. ACKERMANN

摘要: 本文介绍了有关金属—氧化物—硅场效应晶体管(MOS—FET)的一种新效应。金属—氧化物—硅场效应晶体管呈现出其阈值电压随沟道宽度与栅耗尽区宽度之比的减小而增大的特性。用几何结构的边界效应解释了这种窄沟道效应。随着沟道宽度的减小,由场氧化层下耗尽区到栅氧化层下耗尽区的过渡变得可与栅宽度相比拟。在推导阈值电压方程时,这种变化已不能忽略。

提供了用以解释减小沟道宽度对阈值电压乃至其他电参数影响的理论模型,这个理论模型与本文给出的实验结果十分一致。

一、引言

近年来,为了实现更高的集成度和降低成本,集成电路中的场效应器件已变得越来越小。但是,用这种方法使得器件尺寸进一步变小是有限度的。一旦MOS场效应晶体管的沟道长度小到与源、漏耗尽区同一数量级大小时就会达到这种极限。阈值电压随沟道长度减小而变小这一已观察到的现象,在参考文献《1—3, 6, 7》中作了讨论。本文涉及的另一类据作者所知的小尺寸效应,在参考文献中尚未提及*。正如下文中所表明的那样,不仅是够短的沟道长度会可能发生阈值电压变化,而且窄的沟道宽度也可能发生阈值电压变化。与短沟道器件阈值电压减小形成对照,窄沟道器件阈值电压则是增加的。在下文中,“窄沟道器件”一语用于其沟道宽度和栅耗尽区深度为同一数量级的场效应晶体管。这与场效应晶体管的沟道长度和源漏耗尽区为相同数量级时的“短沟道器件”的说法相类似。

二、小尺寸栅的场效应晶体管

下面以n沟道场效应晶体管为例,粗略地说明和解释短沟道效应与窄沟道效应。这种解释与说明对p沟道场效应晶体管同样适用。

图1表示了一个大尺寸器件(1a)、一个短沟道器件(1b)以及一个窄沟道器件(1c)。

*这种效应于1973年4月在慕尼黑举行的ESSDERC会议上由作者之一K. Kroell作了说明。