

EDA 工 | 程 | 技 | 术 | 丛 | 书 |

Xilinx大学计划推荐用书



国内首本系统论述Xilinx新一代集成设计环境Vivado和Vivado HLS设计流程与设计方法的中文著作

Xilinx公司Vivado设计套件高级市场营销总监Ramine Roane作序



THE DEFINITIVE GUIDE OF XILINX FPGA DEVELOPMENT  
BASED ON VIVADO INTEGRATED DEVELOPMENT ENVIRONMENT

# Xilinx FPGA设计权威指南

## Vivado集成设计环境

何宾 编著  
He Bin



清华大学出版社

EDA 工 | 程 | 技 | 术 | 丛 | 书 |



THE DEFINITIVE GUIDE OF XILINX FPGA DEVELOPMENT  
BASED ON VIVADO INTEGRATED DEVELOPMENT ENVIRONMENT

# Xilinx FPGA设计权威指南

## Vivado集成设计环境

何宾 编著  
He Bin

清华大学出版社

## 内 容 简 介

本书全面系统地介绍了 Xilinx 新一代集成开发环境 Vivado 的设计方法、设计流程和具体实现。全书共分 8 章,内容包括: Vivado 设计导论、Vivado 工程模式和非工程模式设计流程、Vivado 调试流程、基于 IP 的嵌入式系统设计流程、Vivado HLS 设计流程、System Generator 设计流程、Vivado 部分可重配置设计流程和 Vivado 高级设计技术。本书参考了 Xilinx 公司提供的 Vivado 最新设计资料,理论与应用并重,将 Xilinx 公司最新的设计方法贯穿在具体的设计实现中。

本书可作为使用 Xilinx Vivado 集成开发环境进行 FPGA 设计的工程技术人员的参考用书,也可作为电子信息类专业高年级本科生和研究生的教学用书,同时也可作为 Xilinx 公司的培训教材。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有·侵权必究。侵权举报电话: 010-62782989 13701121933

### 图书在版编目(CIP)数据

Xilinx FPGA 设计权威指南: Vivado 集成设计环境/何宾编著. --北京: 清华大学出版社, 2014  
EDA 工程技术丛书  
ISBN 978-7-302-36688-1

I. ①X… II. ①何… III. ①可编程逻辑器件—系统设计—指南 IV. ①TP332.1-62

中国版本图书馆 CIP 数据核字(2014)第 117171 号

责任编辑: 盛东亮

封面设计: 李召霞

责任校对: 焦丽丽

责任印制: 沈 露

出版发行: 清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址: 北京清华大学学研大厦 A 座 邮 编: 100084

社 总 机: 010-62770175 邮 购: 010-62786544

投稿与读者服务: 010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质 量 反 馈: 010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 装 者: 北京密云胶印厂

经 销: 全国新华书店

开 本: 185mm×260mm 印 张: 23.25 字 数: 536 千字

版 次: 2014 年 7 月第 1 版 印 次: 2014 年 7 月第 1 次印刷

印 数: 1~3000

定 价: 69.00 元

---

产品编号: 056522-01

## 序言

在今天日益复杂的电子系统中,高级算法正在拉伸密度、性能和功耗的边界。在逻辑、时钟和 IP 中持续扩展的复杂度,伴随着微缩处理节点 (shrinking process nodes) 上进行互连成为关键的瓶颈,这些因素成为设计团队在所分配的有限的预算范围内实现其最终目标的挑战。为了解决互连的瓶颈和加速生产力,Xilinx 正在发布领先一代的硅片结构,以及拥有尖端分析布线器的行业首个 ASIC 增强型 Vivado 设计套件。

然而,即使拥有了最好的硅片和工具,设计团队也必须采用融合工业中最佳设计实践的规范化的设计方法。因此,为了更进一步增强 Vivado 设计套件,并使其能够加速和可预测设计周期,Xilinx 还推出了可编程业界内首个丰富的设计方法——UltraFast 设计方法。该方法由来自工业界专家精选的最佳实践所组成,而且该方法和一套综合的方法指南、第三方工具、IP 核和自学培训视频一起,部署在 Vivado 设计套件内建的一个自动化设计组合之中。

UltraFast 设计方法已经获得广泛的证明,可以将设计周期由数月减少到几周。了解更多 Xilinx UltraFast 设计信息,请访问 [www.xilinx.com/ultrafast](http://www.xilinx.com/ultrafast)。

衷心祝贺何宾教授出版行业首本 Vivado 中文图书,并为其在 Vivado 设计套件及 UltraFast 设计方法在中国工程界的推广和应用所做出的努力表示衷心的感谢,也期待着 Vivado 能够为中国工程界的设计创新带来强大的动力!

Ramine Roane

Xilinx 公司 Vivado 设计套件高级市场营销总监

2014 年 4 月

全球知名的可编程逻辑器件生产厂商——美国 Xilinx 公司——于 2012 年发布了新一代的 Vivado 集成开发环境,使得新一代 FPGA 的设计环境和设计方法发生了重要变化。在 2014 年初,Xilinx 新一代 UltraScale 结构的 FPGA 也进入量产阶段。这些都标志着在高性能数据处理方面,FPGA 将发挥越来越重要的作用。同时,我们也很高兴看到 2014 年 Xilinx 公司迎来自己 30 岁的生日。在未来若干年内,Xilinx 将为全球信息技术的不断发展做出自己的贡献。

Xilinx 新一代集成开发环境 Vivado 突出基于知识产权(Intellectual Property,IP)核的设计方法,更加体现系统级设计的思想,进一步增强了设计者对 FPGA 底层布局和布线的干预能力。并且,允许设计者通过选择不同的设计策略,对不同的实现方法进行探索,从中找到最佳的实现解决方案。这些新的设计思想和设计方法,大大地降低了设计成本,同时也提高了 FPGA 的设计效率。

本书首次系统地以 Xilinx 公司新一代集成开发环境 Vivado 为平台,从逻辑设计、嵌入式系统设计和信号处理等几个方面,充分展现 Vivado 集成开发环境的特点和性能。全书共分为 8 章,内容包括: Vivado 设计导论、Vivado 工程模式和非工程模式设计流程、Vivado 调试流程、基于 IP 的嵌入式系统设计流程、Vivado HLS 设计流程、System Generator 设计流程、Vivado 部分可重配置设计流程、Vivado 高级设计技术。每章内容要点如下:

(1) 第 1 章主要介绍了 Vivado 系统级设计流程、Vivado 功能和特性、Vivado 使用模式和最新的 UltraScale 结构。

(2) 第 2 章主要介绍了工程模式设计流程和非工程模式设计流程。

(3) 第 3 章主要介绍了设计调试原理和方法、创建新的 FIFO 调试工程、添加 FIFO IP 到设计中、添加顶层设计文件、FIFO 例化、添加约束文件、网表插入调试探测流程方法及实现、使用添加 HDL 属性调试探测流程、使用 HDL 例化调试核调试探测流程。

(4) 第 4 章主要介绍了简单硬件系统设计、在 PL 内添加外设、创建和添加定制 IP、编写软件程序、软件控制定时器和调试、使用硬件分析仪调试。

(5) 第 5 章主要介绍了高级综合工具概述、高级综合工具调度和绑定、Vivado HLS 工具的优势、C 代码的关键属性、时钟测量术语说明、HLS 关键优化策略、基于 HLS 的数字系统实现。

(6) 第 6 章主要介绍了使用 System Generator 实现 FPGA 信号处理的方法、FPGA 模型设计模块、System Generator 运行环境的配置、信号模型的构建和实现、编译 MATLAB 到 FPGA、FIR 滤波器的设计与实现。

(7) 第 7 章主要介绍了可重配置导论和可重配置的实现。

(8) 第 8 章主要介绍了 Vivado 支持的属性、增量编译、修改布线和逻辑、布局约束、查看和分析时序报告,以及时序约束。

参加本书编写工作的人员还有李宝隆和张艳辉。李宝隆负责第3章和第6章设计实例的验证,张艳辉负责第7章设计实例的验证。全书由何宾统稿和定稿。

本书的编写得到 Xilinx 公司大中华区大学计划经理谢凯年博士和 Xilinx 公司亚太区市场传播经理张俊伟女士的大力支持和帮助,以及美国 Digilent 公司的大力支持和帮助,他们为本书的编写提供了设计资料和硬件设计平台。此外,Mathworks 公司中国教育业务发展总监陈炜博士为该书的编写捐赠了正版的 MATLAB R2013a 软件,在此也向 Mathworks 公司表示感谢。正是由于他们的无私帮助和鼎力支持,才能使作者顺利完成本书的编写工作。同时,也要感谢清华大学出版社的编辑和相关工作人员,他们的辛勤工作保证了本书的高质量出版。

由于 FPGA 技术发展迅速,作者水平有限,书中难免会有疏漏之处,欢迎读者批评指正。

作 者

2014 年 5 月于北京

<b>第 1 章</b>	<b>Vivado 设计导论</b> .....	<b>1</b>
1.1	Vivado 系统级设计流程 .....	1
1.2	Vivado 功能和特性 .....	3
1.3	Vivado 使用模式 .....	4
1.3.1	Vivado 工程模式和非工程模式不同点比较 .....	5
1.3.2	工程模式和非工程模式命令的不同 .....	5
1.4	最新的 UltraScale 结构 .....	7
1.4.1	可配置逻辑块 .....	7
1.4.2	时钟资源和时钟管理单元 .....	9
1.4.3	块存储器资源 .....	13
1.4.4	专用的 DSP 模块 .....	15
1.4.5	输入/输出块 .....	16
1.4.6	高速串行收发器 .....	17
1.4.7	PCI-E 模块 .....	18
1.4.8	Interlaken 集成块 .....	18
1.4.9	Ethernet 模块 .....	19
1.4.10	系统监控器模块 .....	19
1.4.11	配置模块 .....	19
1.4.12	互连资源 .....	20
<b>第 2 章</b>	<b>Vivado 工程模式和非工程模式设计流程</b> .....	<b>21</b>
2.1	工程模式设计流程 .....	21
2.1.1	启动 Vivado 集成开发环境 .....	21
2.1.2	建立新的设计工程 .....	22
2.1.3	Vivado 设计主界面及功能 .....	26
2.1.4	创建并添加一个新的设计文件 .....	30
2.1.5	RTL 描述和分析 .....	34
2.1.6	设计综合和分析 .....	36
2.1.7	设计行为级仿真 .....	41
2.1.8	添加约束条件 .....	45
2.1.9	XDC 约束语法规则 .....	49
2.1.10	设计实现和分析 .....	50
2.1.11	设计时序仿真 .....	55
2.1.12	生成编程文件 .....	56

# 目录

2.1.13	下载比特流文件到 FPGA	57
2.2	非工程模式设计流程	61
2.2.1	修改路径	61
2.2.2	设置输出路径	62
2.2.3	设置设计源文件和约束	62
2.2.4	运行综合	63
2.2.5	运行布局	63
2.2.6	运行布线	64
2.2.7	生成比特流文件	64
<b>第 3 章</b>	<b>Vivado 调试流程</b>	<b>65</b>
3.1	设计调试原理和方法	65
3.2	创建新的 FIFO 调试工程	66
3.3	添加 FIFO IP 到设计中	67
3.4	添加顶层设计文件	70
3.5	例化 FIFO	71
3.6	添加约束文件	75
3.7	网表插入调试探测流程方法及实现	77
3.7.1	网表插入调试探测流程的方法	77
3.7.2	网表插入调试探测流程的实现	79
3.8	使用添加 HDL 属性调试探测流程	83
3.9	使用 HDL 例化调试核调试探测流程	84
<b>第 4 章</b>	<b>基于 IP 的嵌入式系统设计流程</b>	<b>89</b>
4.1	简单硬件系统设计	89
4.1.1	创建新的工程	90
4.1.2	使用 IP 集成器创建处理器系统	91
4.1.3	生成顶层 HDL 和导出设计到 SDK	96
4.1.4	创建存储器测试程序	98
4.1.5	验证设计	100
4.2	在 PL 内添加外设	102
4.2.1	打开工程	102
4.2.2	添加两个 GPIO 实例	102
4.2.3	连接外部 GPIO 外设	108
4.2.4	生成比特流和导出到 SDK	112



	4.2.5 生成测试程序 .....	112
	4.2.6 验证设计 .....	116
4.3	创建和添加定制 IP .....	116
	4.3.1 使用外设模板创建定制 IP .....	116
	4.3.2 使用 IP 封装器封装外设 .....	122
	4.3.3 修改工程设置 .....	124
	4.3.4 添加定制 IP 到设计 .....	125
	4.3.5 添加约束 XDC .....	128
	4.3.6 添加 BRAM .....	129
4.4	编写软件程序 .....	130
	4.4.1 打开工程 .....	130
	4.4.2 创建应用工程 .....	132
	4.4.3 为 LED_IP 分配驱动 .....	136
	4.4.4 分析汇编目标文件 .....	138
	4.4.5 验证设计 .....	138
4.5	软件控制定时器和调试 .....	140
	4.5.1 打开工程 .....	140
	4.5.2 创建 SDK 软件工程 .....	140
	4.5.3 在硬件上验证操作 .....	143
	4.5.4 启动调试器 .....	144
4.6	使用硬件分析仪调试 .....	146
	4.6.1 ILA 核原理 .....	147
	4.6.2 VIO 核原理 .....	150
	4.6.3 打开工程 .....	151
	4.6.4 添加定制 IP .....	152
	4.6.5 添加 ILA 和 VIO 核 .....	152
	4.6.6 标记和分配调试网络 .....	154
	4.6.7 生成比特流文件 .....	156
	4.6.8 生成测试程序 .....	156
	4.6.9 测试和调试 .....	157
<b>第 5 章</b>	<b>Vivado HLS 设计流程 .....</b>	<b>163</b>
5.1	高级综合工具概述 .....	163
	5.1.1 高级综合工具的功能和特点 .....	163
	5.1.2 不同的命令对 HLS 综合结果的影响 .....	164

# 目录

5.1.3	从 C 模型中提取硬件结构 .....	166
5.2	高级综合工具调度和绑定 .....	168
5.2.1	高级综合工具调度 .....	168
5.2.2	高级综合工具绑定 .....	168
5.3	Vivado HLS 工具的优势 .....	169
5.4	C 代码的关键属性 .....	170
5.4.1	函数 .....	171
5.4.2	类型 .....	171
5.4.3	循环 .....	178
5.4.4	数组 .....	179
5.4.5	端口 .....	180
5.4.6	操作符 .....	181
5.5	时钟测量术语说明 .....	182
5.6	HLS 关键优化策略 .....	183
5.6.1	延迟和吞吐量 .....	183
5.6.2	循环的处理 .....	190
5.6.3	数组的处理 .....	193
5.6.4	函数内联 .....	198
5.6.5	命令和编译指示 .....	200
5.7	基于 HLS 的数字系统实现 .....	202
5.7.1	基于 HLS 实现组合逻辑 .....	202
5.7.2	基于 HLS 实现时序逻辑 .....	217
5.7.3	基于 HLS 实现矩阵相乘 .....	223
<b>第 6 章</b>	<b>System Generator 设计流程 .....</b>	<b>242</b>
6.1	FPGA 信号处理方法 .....	242
6.2	FPGA 模型设计模块 .....	244
6.2.1	Xilinx Blockset .....	244
6.2.2	Xilinx Reference Blockset .....	244
6.3	System Generator 运行环境的配置 .....	245
6.4	信号模型的构建和实现 .....	245
6.4.1	信号模型的构建 .....	245
6.4.2	模型参数的设置 .....	249
6.4.3	信号处理模型的仿真 .....	252
6.4.4	生成模型子系统 .....	253

	6.4.5 模型 HDL 代码的生成 .....	254
	6.4.6 打开生成设计文件并仿真 .....	255
	6.4.7 协同仿真的配置及实现 .....	256
	6.4.8 生成 IP 核 .....	259
<b>6.5</b>	<b>编译 MATLAB 到 FPGA .....</b>	<b>260</b>
	6.5.1 模型的设计原理 .....	260
	6.5.2 系统模型的建立 .....	262
	6.5.3 系统模型的仿真 .....	264
<b>6.6</b>	<b>FIR 滤波器的设计与实现 .....</b>	<b>265</b>
	6.6.1 FIR 滤波器设计原理 .....	265
	6.6.2 生成 FIR 滤波器系数 .....	266
	6.6.3 建模 FIR 滤波器模型 .....	267
	6.6.4 仿真 FIR 滤波器模型 .....	270
	6.6.5 修改 FIR 滤波器模型 .....	272
	6.6.6 仿真修改后 FIR 滤波器模型 .....	273
<b>第 7 章</b>	<b>Vivado 部分可重配置设计流程 .....</b>	<b>274</b>
<b>7.1</b>	<b>可重配置导论 .....</b>	<b>274</b>
	7.1.1 可重配置的概念 .....	274
	7.1.2 可重配置的应用 .....	275
	7.1.3 可重配置的特点 .....	278
	7.1.4 可重配置术语解释 .....	280
	7.1.5 可重配置的要求 .....	281
	7.1.6 可重配置的标准 .....	281
	7.1.7 可重配置的流程 .....	283
<b>7.2</b>	<b>可重配置的实现 .....</b>	<b>283</b>
	7.2.1 查看脚本 .....	283
	7.2.2 综合设计 .....	284
	7.2.3 实现第一个配置 .....	285
	7.2.4 实现第二个配置 .....	290
	7.2.5 验证配置 .....	291
	7.2.6 生成比特流 .....	292
	7.2.7 部分重配置 FPGA .....	293

# 目录

第 8 章	Vivado 高级设计技术	295
8.1	Vivado 支持的属性	295
8.1.1	ASYNC_REG	295
8.1.2	BLACK_BOX	295
8.1.3	BUFFER_TYPE	296
8.1.4	DONT_TOUCH	296
8.1.5	FSM_ENCODING	297
8.1.6	FSM_SAFE_STATE	298
8.1.7	FULL_CASE(Verilog Only)	298
8.1.8	GATED_CLOCK	298
8.1.9	IOB	299
8.1.10	KEEP	299
8.1.11	KEEP_HIERARCHY	300
8.1.12	MAX_FANOUT	300
8.1.13	PARALLEL_CASE(Verilog Only)	301
8.1.14	RAM_STYLE	301
8.1.15	ROM_STYLE	301
8.1.16	SHREG_EXTRACT	301
8.1.17	SRL_STYLE	302
8.1.18	TRANSLATE_OFF/TRANSLATE_ON	302
8.1.19	USE_DSP48	302
8.1.20	在 XDC 文件中使用属性	303
8.2	增量编译	303
8.2.1	增量编译流程	303
8.2.2	运行增量布局和布线	304
8.2.3	使用增量编译	305
8.2.4	增量编译高级分析	307
8.3	修改布线和逻辑	308
8.3.1	修改布线	308
8.3.2	修改逻辑	314
8.4	布局约束	316
8.5	查看和分析时序报告	317
8.5.1	时序检查基础	317
8.5.2	生成时序报告	323
8.5.3	分析时序报告	327

8.6 时序约束 .....	331
8.6.1 时钟定义 .....	331
8.6.2 时钟组 .....	336
8.6.3 I/O 延迟约束 .....	339
8.6.4 时序例外 .....	341
8.6.5 时序约束实现 .....	353
附录 XDC 中有效的命令 .....	<b>355</b>

自从 Xilinx 公司推出 ISE 集成开发环境以来的 16 年间, Xilinx 可编程逻辑器件应用工程师都是在这个熟悉的集成开发环境下完成设计的。Xilinx 公司于 2012 年发布了新一代的 Vivado 设计套件, 设计环境和设计方法发生了重要的变化。

本章对 Vivado 系统级设计流程、Vivado 功能和特性、Vivado 使用模式以及最新的 UltraScale 结构进行了概述, 以帮助读者从整体上正确把握 Vivado 的设计理念和设计方法, 从而在 Vivado 集成开发环境下进行高效率的设计。

## 1.1 Vivado 系统级设计流程

图 1.1 给出了 Vivado 系统级设计流程。除了传统上寄存器传输级(Register Transfer Level, RTL)到比特流的 FPGA 设计流程外, Vivado 设计套件新提供了系统级的设计集成流程, 该系统级设计的中心思想是基于知识产权(Intellectual Property, IP)核的设计。

从图 1.1 中可以看出:

(1) Vivado 设计套件提供了一个环境, 该环境用于配置、实现、验证和集成 IP。

(2) 通过 Vivado 提供的 IP 目录, 就可以快速地对 Xilinx IP、第三方 IP 和用户 IP 进行例化和配置。IP 的范围包括: 逻辑、嵌入式处理器、数字信号处理(Digital Signal Processing, DSP)模块或者基于 C 的 DSP 算法设计。一方面, 将用户 IP 进行封装, 并且使封装的 IP 符合 IP-XACT 协议。这样, 就可以在 Vivado IP 目录中使用它; 另一方面, Xilinx IP 利用 AXI4 互连标准, 从而实现更快速的系统级集成。在设计中, 设计者可以通过 RTL 或者网表格式使用这些已经存在的 IP。

(3) 可以在设计流程的任意一个阶段, 对设计进行分析和验证。

(4) 对设计进行分析, 包括: 逻辑仿真、I/O 和时钟规划、功耗分析、时序分析、设计规则检查(Design Rule Check, DRC)、设计逻辑的可视化、实现结果的分析 and 修改以及编程和调试。

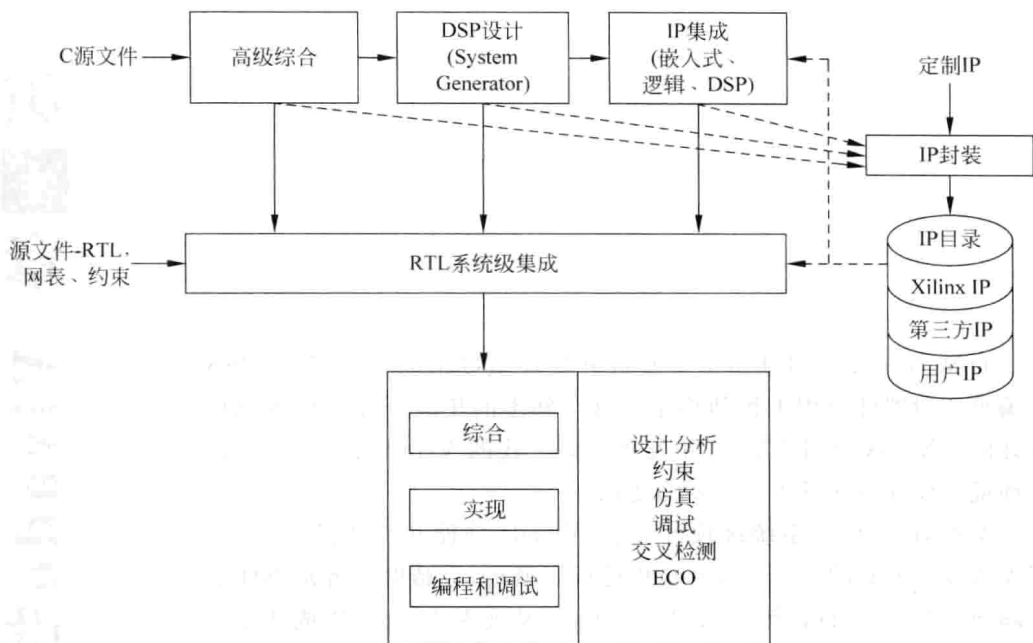


图 1.1 Vivado 系统级设计流程

(5) 通过 AMBA AXI4 互连协议, Vivado IP 集成器环境使得设计者能够将不同的 IP 组合在一起。设计者可以使用块图风格的接口交互式地配置和连接 IP, 并且可以像原理图那样, 通过绘制 DRC 助手很容易将整个接口连接在一起。然后, 对这些 IP 块设计进行封装, 将其当作单个的设计源。通过在一个设计工程或者在多个工程之间进行共享, 来使用设计块。

(6) Vivado IP 集成器环境是主要的接口, 通过使用 Zynq 器件或者 Microblaze 处理器, 创建嵌入式处理器设计。Vivado 设计套件也集成了传统的 XPS, 用于创建、配置和管理 MicroBlaze 微处理器软核。在 Vivado IDE 环境中, 集成和管理这些核。如果设计者选择编辑 XPS 的源设计, 将自动启动 XPS 工具。设计者也可以将 XPS 作为一个单独的工具运行, 然后将最终的输出文件作为 Vivado IDE 环境下的源文件。在 Vivado IDE 环境中, XPS 不能用于 Zynq 器件, 而是使用新的 IP 集成器环境。

(7) 对于数字信号处理方面的应用, Vivado 提供了两种设计方法:

① 使用 Xilinx System Generator 建模数字信号处理: Vivado 设计套件集成了 Xilinx System Generator 工具, 用于实现 DSP 的功能。当设计者编辑一个 DSP 源设计时, 自动启动 System Generator。设计者可以将 System Generator 作为一个独立运行的工具, 并且将其最终的输出文件作为 Vivado IDE 的源文件。

② 使用高级综合工具 (High-Level Synthesis, HLS) 建模数字信号处理: Vivado 设计套件集成了 Vivado HLS, 它提供了基于 C 语言的 DSP 功能, 来自 Vivado HLS 的 RTL 输出, 作为 Vivado IDE 的 RTL 源文件。在 Vivado IP 封装器中, 将 RTL 的输出封装成符合 IP-XACT 标准的 IP。这样, 在 Vivado IP 目录中就变成了可用的 IP。设计者

也可以在 System Generator 逻辑中使用 Vivado HLS 逻辑模块。

(8) Vivado 设计套件中包含 Vivado 综合、Vivado 实现、Vivado 时序分析、Vivado 功耗分析和比特流生成。通过下面的一种方式：

- ① Vivado IDE；
- ② 批处理 Tcl 脚本；
- ③ Vivado 设计套件的 Tcl Shell；
- ④ Vivado IDE Tcl 控制台下，输入 Tcl 命令。

设计者就可以运行整个的设计流程。

(9) 设计者可以创建多个运行，通过使用不同的综合选项、实现选项、时序约束、物理约束和设计配置来进行尝试。这样，可以帮助设计者改善设计结果，提高设计效率。

(10) Vivado 集成开发环境提供了 I/O 引脚规划环境，用于将 I/O 端口分配到指定的封装引脚上，或者分配到内部晶圆的焊盘上。通过使用 Vivado 引脚规划器内的视图和表格，设计者可以分析器件和设计相关的 I/O 数据。

Vivado IDE 提供了高级的布局规划能力，用于帮助改善实现的结果。设计者可以将一个指定的逻辑，强迫放到芯片内的某个特定区域。即：为了后面的运行，通过交互的方式，锁定到指定的位置或者布线。

(11) Vivado IDE 使设计者可以在对设计处理的每个阶段，对设计进行分析、验证和修改。通过对处理过程中所生成的中间结果进行分析，设计者可以提高设计的性能。在将设计转换成 RTL 后、综合后和实现后，就可以运行分析工具。

(12) Vivado 集成了 Vivado 仿真器，使得设计者可以在设计的每个阶段，运行行为级和结构级的逻辑仿真。仿真器支持 Verilog 和 VHDL 混合模式仿真，并且以波形的形式显示结果。此外，设计者也可以使用第三方的仿真器。

(13) 在 Vivado IDE 内，在对设计处理的每一个阶段，设计者都可以对结果进行交互分析。一些设计和分析特性包括：时序分析、功耗估计和分析、器件利用率统计、DRC、I/O 规划、布局规划和交互布局，以及布线分析。

(14) 当执行实现过程后，对器件进行编程。然后，在 Vivado 环境中对设计进行分析。在 RTL 内或者在综合之后，很容易地识别调试信号。在 RTL 或者综合网表中，插入和配置调试核。Vivado 逻辑分析仪也可以进行硬件验证。通过将接口设计成与 Vivado 仿真器一致，就可以使两者共享波形视图。

## 1.2 Vivado 功能和特性

Vivado Design Suite 提供全新构建的 SoC 增强型、以 IP 和系统为中心的下一代开发环境，以解决系统级集成和实现的生产力瓶颈。

与 Xilinx 前一代的设计平台 ISE 相比，Vivado 在各方面的性能都有了明显的提升。表 1.1 给出了 Vivado 在性能方面的提升。

注：随着 Vivado 环境的不断优化，其性能还会提高。



表 1.1 Vivado Design Suite 加速设计生产力

加速实现	加速集成和验证
(1) 实现速度提升 4 倍； (2) 器件利用率提升了 20%； (3) 最多 3 个速度级性能优势； (4) 功耗降低 35%； (5) 增量编译速度提高一倍	(1) IP 集成速度提高 4 倍； (2) RTL 仿真速度提高 3 倍； (3) C/C++/SystemC 至 RTL 的转换速度提高 4 倍

注：随着软件不断更新，性能还会不断改善。

Vivado 集成设计环境支持下面业界已经建立的设计标准：

- (1) Tcl；
- (2) AXI4, IP-XACT；
- (3) Synopsys 设计约束(Synopsys Design Constraints, SDC)；
- (4) Verilog, VHDL, SystemVerilog；
- (5) SystemC, C, C++。

通过这些支持，使得：

(1) 电子设计自动化(Electronic Design Automation, EDA)生态系统更好地支持 Vivado 设计套件。此外，Vivado 设计套件中集成了很多新的第三方工具。

(2) 本质上，Vivado 设计套件是基于 Tcl 的脚本。因此支持 Synopsys 设计约束(SDC)和 Xilinx 设计约束(Xilinx Design Constraints, XDC)格式。

(3) 除了提供传统上对 Verilog、VHDL 和 SystemVerilog 综合的支持，Vivado 高级综合 HLS 也可以使用 C、C++ 或者 SystemC 语言定义逻辑。

(4) 使用标准的 IP 互连协议，例如 AXI4 和 IP-XACT。这样，使得更快和更容易地实现系统级设计集成。

### 1.3 Vivado 使用模式

Vivado 设计套件允许设计者根据自己的习惯，使用不同的方法运行工具。设计者可以使用基于工程的方法自动管理设计过程和设计数据，也就是所说的工程模式(Project Mode)。当在工程模式下时，在磁盘上创建一个目录结构，用于管理设计源文件，运行结果和跟踪工程状态。通过一个运行结构，来管理自动地综合和实现过程，以及跟踪运行状态。可以通过单击鼠标，在 Vivado 集成环境内运行完整的设计流程。

另一种方法是，设计者可以选择基于 Tcl 脚本的编译风格方式。通过这种方式，设计者自己可以管理源文件和设计流程。这种方式也称为非工程模式(Non-Project Mode)。当在非工程模式下时，通过源文件当前所在的位置来访问源文件，以及通过存储器中的流程来编译设计。

- ① 通过使用 Tcl 命令，可以单独运行设计中的每一步；
- ② 使用 Tcl 命令，可以设置设计参数和实现选项；
- ③ 使用 Tcl 命令，设计者可以在设计处理的每个阶段，保存设计检查点和创建报告；