



国际电气工程先进技术译丛

 Springer

超大规模集成电路物理设计： 从图分割到时序收敛

**VLSI Physical Design:
From Graph Partitioning to Timing Closure**

(美国) Andrew B. Kahng
(德国) Jens Lienig 著
(乌克兰) Igor L. Markov
(中国) 胡 谨
于永斌 张徐亮 徐 宁 等译

 机械工业出版社
CHINA MACHINE PRESS



国际电气工程先进技术译丛

超大规模集成电路 物理设计：从图分割 到时序收敛

(美国) Andrew B. Kahng

(德国) Jens Lienig

(乌克兰) Igor L. Markov 著

(中国) 胡 谨

于永斌 张徐亮 徐 宁 等译



机械工业出版社

本书囊括了超大规模集成电路 (VLSI) 物理设计的各个方面, 从基本概念开始, 到网表划分、芯片规划和布局布线, 最后是时序收敛, 讨论了布局、布线和网表重组中的时序分析和相关最优化。

本书在当今的纳米时代重新审视了芯片设计实现的基本算法体系, 向读者展示了物理设计的基本算法及其在工程实例中的应用。其主要特点如下:

1) 系统地介绍和评价了电路设计生成芯片几何版图所用到的技术及其算法;

2) 强调 VLSI 的数字电路设计与算法, 例如现场可编程门阵列 (FPGA) 的系统划分、专用集成电路 (ASIC) 的时钟网综合等;

3) 结合基础、时代挑战和最新成果, 促使读者掌握 VLSI 布局布线和性能驱动软件工具。

本书是电子设计自动化领域中为数不多的精品, 适合集成电路设计、自动化、计算机专业的高年级本科生、研究生和工程界的相关人士阅读。

Translation from English language edition:

VLSI Physical Design: From Graph Partitioning to Timing Closure

by Andrew B. Kahng, Jens Lienig, Igor L. Markov and Jin Hu

Copyright © 2011, Springer Netherlands

Springer Netherlands is a part of Springer Science + Business Media.

All Rights Reserved.

本书中文简体字版由 Springer 授权机械工业出版社出版, 未经出版者书面许可, 不得以任何方式复制或发行本书的任何部分。版权所有, 翻印必究。

北京市版权局著作权合同登记图字: 01-2012-4649 号。

图书在版编目 (CIP) 数据

超大规模集成电路物理设计: 从图分割到时序收敛/(美) 安德鲁 (Andrew, B. K.) 等著; 于永斌等译. —北京: 机械工业出版社, 2014. 5
(国际电气工程先进技术译丛)

书名原文: VLSI Physical Design: From Graph Partitioning to Timing Closure
ISBN 978-7-111-46297-2

I. ①超… II. ①安…②于… III. ①超大规模集成电路—电路设计
IV. ①TN470. 2

中国版本图书馆 CIP 数据核字 (2014) 第 061581 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 刘星宁 责任编辑: 刘星宁

版式设计: 霍永明 责任校对: 张晓蓉

封面设计: 马精明 责任印制: 李洋

三河市国英印务有限公司印刷

2014 年 6 月第 1 版第 1 次印刷

169mm × 239mm · 17. 75 印张 · 341 千字

0001—3000 册

标准书号: ISBN 978-7-111-46297-2

定价: 78. 00 元



凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

社服务中心: (010) 88361066 教材网: <http://www.cmpedu.com>

销售一部: (010) 68326294 机工官网: <http://www.cmpbook.com>

销售二部: (010) 88379649 机工官博: <http://weibo.com/cmp1952>

读者购书热线: (010) 88379203 封面无防伪标均为盗版

译 者 序

随着超大规模集成电路（VLSI）制造工艺及其技术的发展，晶体管栅极厚度和沟道长度尺寸持续减小，半导体芯片切换和存储操作的电压和功率减小，同时工作速度提高。现如今，集成工艺进入纳米时代，晶体管栅极厚度和沟道长度达到分子和原子量级，未来 20 年物理尺寸有望突破 10nm 大关，达到 5~7nm；这给芯片设计带来新的挑战，布线中的互连缺陷、布局的合法性与时序收敛性问题等，容易导致制造缺陷。一方面，通过新材料的引入与工艺技术的革新来改善器件的性能和功耗，例如，晶体管栅极的 HiK-金属材料、沟道的 III/V 族锗材料、多栅场效应晶体管（MugFET 或 FinFET）等。另一方面，采用芯片系统级架构与软件设计，例如，SRAM 存储结构、多核 CPU、3D 结构、芯片功耗软件管理、集中通信与云计算，以及适于未来市场应用且具有最新进展的便携性和移动性低功耗技术等。VLSI 向着“低功耗、高性能和多功能”方向发展，满足这种市场需求的新摩尔定律驱使利益协同，在系统级上均衡功能、功耗与性能。

在这样的技术条件和工业背景下，作者重新审视了现代芯片设计的基本算法体系，包括网表和系统划分、芯片规划、布局和布线、时序收敛等内容，描述了现代芯片实现流程的各个阶段。本书注重基础，全面覆盖物理设计各个步骤里的基本算法，且兼顾芯片设计中的特定情况，提供了大量的工业界实用的最新布局、特殊类型布线和性能驱动设计。每一章都提供了充足的背景材料来引出实际问题，详细地阐述了颇具价值的理论基础与算法实现，在每章后面精心设计习题并提供完整的答案，尝试应用这些算法去解决一些意义深刻的小问题。本书着重于当前设计问题中的多目标问题本质，以可制造性设计（Design For Manufacturability, DFM）来选择、理解物理设计中的规则算法，期望推动芯片设计工具的持续发展。

本书由于永斌、张徐亮、徐宁等翻译，其中于永斌负责第 1、5、6 章，张徐亮负责第 7、8 章和附录及整个校稿，徐宁负责第 2~4 章。同时，远在日本、加拿大工作的杨波博士、熊剑工程师，以及博士生金菊、硕士生李勇拓和刑青博士都参与了讨论与部分翻译工作。最后感谢密西根大学（University of Michigan in Ann Arbor）Pinaki Mazumder 教授的指导！

由于译者水平有限，书中难免出现错误和不当之处，敬请指正。

原 书 序

在电子设计自动化领域，集成电路物理设计一直是一个最有趣且充满挑战的研究方向。当将越来越多的器件集成到硅片上时，对于算法的要求也越来越高。现在，一个只有 45nm 工艺的芯片，可以集成 2×10^9 个晶体管。随着未来数代工艺的发展，芯片集成度将持续增加，要求更多晶体管在芯片上能自动地布局和互连。与此同时，芯片上器件的互连线导致越来越多的延迟。这深刻影响着物理设计流程的整合方式。在 20 世纪 90 年代，只要器件在芯片上布局合理，设计就能达到相应的时序目标。今天，只有布线最后完成时，才知道时序约束是否满足。

早在 10 年或者 15 年前，人们认为物理设计中的大多数问题已经解决。但是，随着芯片上晶体管数量的不停增长，物理、时序以及逻辑域之间的耦合也越来越高，这需要重新审视芯片实现的基本算法体系。这恰恰是本书阐述的内容。本书覆盖了物理设计各个步骤里的基本算法，同时展示了这些算法在设计问题实例中的应用。例如，针对特定的设计情况，第 7 章提供了大量的特殊类型布线信息。

虽然其他同类书籍对物理设计核心算法和数学基础做了深入阐述，但是本书更进了一步。作者非常清楚，单一目标的孤立算法时代已经结束了。通过本书，我们着重于当前设计问题中的多目标问题本质，并将所有的物理设计流程汇总在第 8 章。一个完整的流程图，从设计划分和布图规划到电气规则检查，描述了现代芯片实现流程的各个阶段。每个阶段都在整个流程的上下文中阐述，详细参照了前面章节的内容。

本书适合学生和专业人士阅读。本书一开始从基础内容谈起，提供了充足的背景材料，使读者很快就接触到实际问题。每一章都提供了充足的介绍和颇具价值的内容深度。在当今时代，一个领域的专家必须理解他们的算法在余下设计流程中的作用和影响，这个尤为重要。一个布线领域的专家通过阅读规划和布局章节内容，会获益匪浅。一个可制造性设计 (Design For Manufacturability, DFM) 方面的专家，旨在更好地理解布线算法，以及这些算法如何被满足可制造性设计需求选择的影响，会在总体布线和详细布线章节中收获很大。

对于每章后面的习题，本书提供详细、完整的答案。这些习题让读者真正

理解基本的物理设计算法，并应用这些算法去解决一些意义深刻的小问题。

本书有助于电子设计自动化（EDA）和设计界。本书可以当做下一代专业人士的基础课本和参考书，势必推动芯片设计工具的持续发展。

Leon Stok 博士

电子设计自动化副总裁

国际商用机器（IBM）公司 系统与技术组

纽约州 Hopewell Junction

前 言

集成电路的超大规模集成电路 (VLSI) 物理设计在 20 世纪 80 年代和 90 年代间经历了爆炸性的发展。研究者提出的很多基本技术已经用在商业工具中, 但只是发表在简短的会议论文集里, 面向该领域的专家。到了 21 世纪, 学术界和工业界的研究者们将注意力集中到了基础算法的发展比较中, 将其延伸到了大规模的最优化问题, 即汇集单点最优化为多目标设计流。本书用一根主线囊括了物理设计的各个方面, 第 1 章从基本概念开始, 然后逐步地延伸到高深的概念, 比如物理综合。读者寻求额外的详细资料时, 可以查找在每章讨论的大量文献, 包括专业的论文著作和最近的会议刊物。

第 2 章是网表划分。首先讨论了典型的问题构想, 然后是平衡图和超图划分的经典算法。最后一节是一个重要的应用, 即在多个现场可编程门阵列 (FPGA) 里进行系统划分, 运用在高速仿真功能验证的背景下。

第 3 章是芯片规划, 包括布图规划、电源-地线规划和输入/输出的分配。本章涉及的主题和技术很广, 从图论方面的块压缩、模拟退火优化到具有封装意识的输入/输出规划。

第 4 章是 VLSI 布局, 涵盖了一些实际问题的陈述。布局分为全局 (或称总体) 布局与详细布局, 并首先介绍传统上用于全局布局的几个算法框架。详细布局的算法则单独在一节里讲述。在布局方面, 回顾了当今最好的方法, 并对那些想实现大规模布局软件工具的读者给出了建议。

第 5 章和第 6 章讨论了总体布线和详细布线, 这在相关研究文献上受到了极大关注, 因为布线影响可制造性与芯片产量优化。这两章的主题涵盖用图模型表示的版图及其在这些模型中的单网和多网布线。首先讨论了最新的总体布线器, 接着在详细设计中进行优化, 进一步解决特殊类型的制造缺陷。

第 7 章是特殊布线, 即几类不适合第 5 章和第 6 章介绍的总体-详细布线范例。其中包括通常应用在印制电路板 (PCB) 的非曼哈顿区域布线、每个同步数字电路需要的时钟树布线。不仅仅在算法方面, 还探讨了工艺可变性对时钟树布线的影响, 以及降低这种影响的手段。

第 8 章关注时序收敛, 其视角独特。它完全覆盖了布局、布线和网表重组中的时序分析和相关最优化。8.6 节汇集前几章所涉及的所有技术, 成为一个扩展的设计流程, 即用一张流程图来详细阐述, 并通过几张图和大量参考文献来逐步讨论。

本书没有将物理设计之前的内容或者电子设计自动化 (EDA) 其他领域列出。向读者介绍了 EDA 产业和基本的 EDA 概念, 涉及重要的图概念和算法分析, 并仔细地定义了术语, 用伪代码表示出了基本算法。书中有很多插图, 每章最后也有一系列练习题, 这些习题的答案都在附录中。与其他物理设计的书不一样, 我们尽力避免不切实际和不必要的复杂算法。在许多示例里, 我们对几种主流算法技术进行了比较, 并根据出版物向读者展示其他的实验结果。

书中一些章节内容参照了在 2006 年由 Springer 出版社出版的《Layoutsynthese elektronischer Schaltangen-Grandlegende Algorithmenfür die Entwurfsautomatisierung》(电子版图综合电路——设计自动化的基本算法) 一书。

感谢我们的同事和学生对本书的早期版本进行了校对, 并提出了一些改进意见, 他们是 (按英文字母顺序排列): Matthew Guthaus、Kwangok Jeong、Johann Knechtel、Andreas Krinke、Nancy MacDonald、Jarrod Roy、Yen-Kuan Wu 和 Hailong Yao。

第 8 章中总体布局和时钟布线图是由 Myung-Chul Kim 和 Dong-Jin Lee 提供的。附录 B 中的单元库是由 PMC Sierra 公司的 Bob Bullock、Dan Clein 和 Bill Lye 提供的; 附录 B 中的版图和原理图是由 Matthias Thiele 生成。本书的出版得到了美国国家自然科学基金会 (NSF) 杰出青年教授奖 (CAREER award 0448189)、德州仪器和 SUN 公司的部分支持。

希望读者会从本书的阅读中找到兴趣, 为您的专业提升提供帮助。

Andrew、Jens、Igor 和 Jin

目 录

译者序

原书序

前言

第 1 章 绪论	1
1.1 电子设计自动化 (EDA)	1
1.2 VLSI 设计流程	4
1.3 VLSI 设计模式	8
1.4 版图层和设计规则	13
1.5 物理设计优化	15
1.6 算法和复杂性	16
1.7 图论术语	19
1.8 EDA 常用术语	22
第 1 章参考文献	25
第 2 章 网表和系统划分	26
2.1 介绍	26
2.2 术语	27
2.3 优化目标	28
2.4 划分算法	28
2.4.1 Kernighan-Lin (KL) 算法	29
2.4.2 扩展的 KL 算法	33
2.4.3 Fiduccia-Mattheyses (FM) 算法	33
2.5 多级划分框架	41
2.5.1 结群	42
2.5.2 多级划分	42
2.6 基于多 FPGA 的系统划分	43
第 2 章练习	45
第 2 章参考文献	47

第3章 芯片规划	48
3.1 布图规划介绍	49
3.2 布图规划的优化目标	50
3.3 术语	51
3.4 布图的表示	54
3.4.1 从布图到一个约束图对	54
3.4.2 从布图到一个序列对	55
3.4.3 从序列对到一个布图	56
3.5 布图规划算法	60
3.5.1 布图尺寸变化	60
3.5.2 群生长	65
3.5.3 模拟退火	70
3.5.4 集成布图规划算法	73
3.6 引脚分配	74
3.7 电源和地线布线	78
3.7.1 电源和地线网分布设计	78
3.7.2 平面布线	79
3.7.3 网格布线	80
第3章练习	82
第3章参考文献	83
第4章 全局和详细布局	85
4.1 介绍	85
4.2 优化目标	86
4.3 全局布局	93
4.3.1 最小割布局	93
4.3.2 解析布局	99
4.3.3 模拟退火	107
4.3.4 现代布局算法	110
4.4 合法化和详细布局	112
第4章练习	114
第4章参考文献	115

第 5 章 总体布线	118
5.1 介绍	118
5.2 术语和定义	120
5.3 优化目标	122
5.4 布线区域的表示	125
5.5 总体布线流程	126
5.6 单网布线	127
5.6.1 直线布线	127
5.6.2 连通图中的总体布线	132
5.6.3 用 Dijkstra 算法找最短路径	136
5.6.4 用 A* 搜索算法找最短路径	141
5.7 全网表布线	142
5.7.1 整数线性规划布线	142
5.7.2 拆线重布 (RRR)	146
5.8 现代总体布线	148
5.8.1 模式布线	149
5.8.2 协商拥塞布线	149
第 5 章练习	151
第 5 章参考文献	152
第 6 章 详细布线	154
6.1 术语	154
6.2 水平和垂直约束图	157
6.2.1 水平约束图	157
6.2.2 垂直约束图	158
6.3 通道布线算法	160
6.3.1 左边算法	160
6.3.2 狗腿算法	162
6.4 开关盒布线	164
6.4.1 术语	165
6.4.2 开关盒布线算法	165
6.5 单元上布线算法	167
6.5.1 单元上布线方法	168
6.5.2 单元上布线算法	169

6.6 详细布线的现代挑战	169
第6章练习	171
第6章参考文献	173
第7章 特殊布线	174
7.1 区域布线简介	174
7.2 区域布线中的线网顺序	176
7.3 非曼哈顿布线	178
7.3.1 八向斯坦纳树	178
7.3.2 八向迷宫搜索	180
7.4 时钟网络的基本概念	181
7.4.1 术语	181
7.4.2 时钟树布线问题的提出	184
7.5 现代时钟树综合	186
7.5.1 构建全局零偏移时钟树	186
7.5.2 含扰动时钟树缓冲插入	195
第7章练习	196
第7章参考文献	199
第8章 时序收敛	201
8.1 介绍	201
8.2 时序分析和性能约束	203
8.2.1 静态时序分析	204
8.2.2 使用零松弛法进行延迟预算	209
8.3 时序驱动布局	213
8.3.1 基于线网的技术	214
8.3.2 在线性规划的布局中使用 STA	217
8.4 时序驱动布线	218
8.4.1 有界半径有界代价算法	219
8.4.2 Prim-Dijkstra 算法的折中	220
8.4.3 源-汇延迟的最小化	221
8.5 物理综合	223
8.5.1 改变门大小	223
8.5.2 缓冲插入	224
8.5.3 网表重构	225

XII 超大规模集成电路物理设计：从图分割到时序收敛

8.6 性能驱动设计流程	228
8.7 结论	236
第8章练习	238
第8章参考文献	240
附录	243
附录 A 章节习题的答案	243
第2章：网表和系统划分	243
第3章：芯片规划	245
第4章：全局和详细布局	248
第5章：总体布线	250
第6章：详细布线	254
第7章：特殊布线	258
第8章：时序收敛	266
附录 B CMOS 单元版图举例	269

第 1 章 绪 论

集成电路的设计与优化是生产新的半导体芯片必不可少的环节。现代芯片设计变得非常复杂，大部分都是通过专业软件来完成，而这类软件根据半导体工艺的发展和设计复杂性的提高会不停地更新。这类软件的用户需要深入理解算法的具体实现。另一方面，软件开发者必须具有很强的计算机科学背景，包括对不同算法是怎样运转、怎样交互以及它们的性能瓶颈是什么等有敏锐的理解。

本书介绍和评价了物理设计中从一个抽象的电路设计生成一个几何的芯片版图所用到的算法。本书不仅详细描述了各项相关技术，还给出了各物理设计阶段所用必要的基础算法。

1) 在物理设计开始阶段，功能设计的划分（第 2 章）和芯片规划（第 3 章）。

2) 电路元件的几何布局（第 4 章）和布线（第 5 章和第 6 章）。

3) 同步电路的特殊布线和时钟树综合（第 7 章）。

4) 满足特定的技术和性能需求，例如，时序收敛，使最后制造的版图满足系统目标（第 8 章）。

其他的设计步骤，例如电路设计、逻辑综合、晶体管级版图和验证，就不具体讨论了，但可在参考文献 [1.1] 中找到这些内容。

本书强调超大规模集成电路（VLSI）的数字电路设计；数字电路的自动化水平显著高于模拟电路。特别地，重点是数字集成电路中的算法，例如，现场可编程门阵列（FPGA）的系统划分，或者专用集成电路（ASIC）的时钟网综合。类似的设计技术可以应用到其他的实现场景，例如多芯片模块（MCM）和印制电路板（PCB）。

随后的章节将广泛讨论学生和设计人员都感兴趣的话题：

1) 怎样从一个网表中生成功能正确的版图？

2) VLSI 物理设计软件怎么工作？

3) 怎么开发或者改进 VLSI 物理设计软件？

关于本书的更多信息可参考 <http://vlsicad.eecs.umich.edu/KLMH/>。

1.1 电子设计自动化（EDA）

EDA 工业开发软件来支撑工程师创造新的集成电路设计。因为现在设计的

复杂性高，所以 EDA 几乎涉及集成电路设计流程的各个方面，从高级系统设计到制造。EDA 将设计者的需求分为电子系统层次结构中的多个级别，包括集成电路、多芯片模块和印制电路板（PCB）。

半导体工艺的发展主要是基于摩尔定律（见图 1.1），它推动集成电路①集成上亿个晶体管、②装配多个芯片和数以千计的引脚来进行封装、③并安装到高密度互连（HDI）的具有几十个接线层的电路板。这个设计过程非常复杂且极度依赖自动化工具。也就是说，计算机软件大多用在自动设计阶段，诸如逻辑设计、仿真模拟、物理设计和验证。

EDA 最早出现在 20 世纪 60 年代，以简单程序的形式在一电路板上自动布局较少数量的模块。几年后，集成电路的出现，需要软件来减少门级电路的总数量。如今的软件工具必须额外考虑电效应，例如相邻连线之间的信号时延和电容耦合。在现代的 VLSI 设计流程中，基本上所有环节都采用软件来实现自动优化。

在 20 世纪 70 年代，半导体公司开发了自用的 EDA 软件，用专门方案解决公司专有设计模式。在 80~90 年代，独立软件供应商创建了能更广泛使用的新工具。这兴起了一个独立的 EDA 工业，这项工业每年提供了将近 500 亿美元的财政收入，并雇佣了大概 2 万多人。许多 EDA 公司的总部设立在加利福尼亚州的圣克拉拉市，这个地区习惯称为硅谷。

现有的几个重要年度会议可以说明 EDA 工业和学术方面的发展。其中最引人关注的会议是设计自动化会议（DAC），它保持了每年一次学术座谈会和工业贸易展览。计算机辅助设计国际会议（ICCAD）着重于学术研究，其论文涉及专门的算法开发。PCB 开发者参加 9 月的西方 PCB 设计会议。在国外，欧洲和亚洲分别举办欧洲设计、自动化和测试会议（DATE）以及亚洲、南太平洋设计自动化会议（ASP-DAC）。全球范围的工程学会——美国电气与电子工程师学会（IEEE）出版了 IEEE 集成电路与系统的计算机辅助技术（TCAD）月刊，而美国计算机学会（ACM）出版了 ACM 电子系统设计自动化汇刊（TODAES）。

1. EDA 的影响

根据摩尔定律（见图 1.1），一个芯片上集成的晶体管数量是以指数速度增长。历史上，这对应每块芯片上的晶体管数量每年

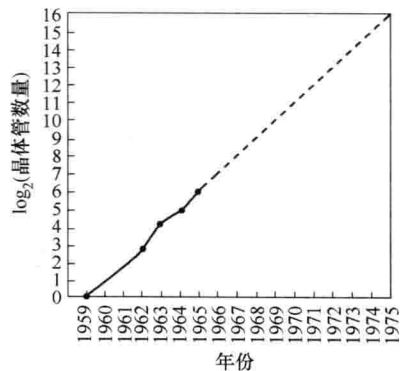


图 1.1 摩尔定律和戈登摩尔文章^[1,10]上所预测的晶体管数量增长的原始图。在 1965 年，戈登摩尔认为集成电路上的晶体管数量每年会翻一番。10 年后，他修正了他的观点，断言每 18 个月，晶体管数量会翻一番。从那以后，这个规则成为著名的摩尔定律

58% 的复合增长。

然而，由著名半导体公司生产的芯片设计出现了不同的趋势。由晶体管数量来衡量的年度生产力，对于设计者而言，设计队伍（固定规模）每年只有约 21% 的复合增长率，这导致了设计生产力缺口^[1.5]。晶体管数量高度依赖特定情景——模拟与数字或存储与逻辑——20 世纪 90 年代中期的半导体制造技术联盟的统计数据，基本反映了标准晶体管的设计生产力。

图 1.2 来自国际半导体技术蓝图（ITRS）^[1.5]，表明了成本可行的集成电路产品需要在 EDA 技术上进行创新。如果半导体设计团队掌握了高效的设计技术，对于一个典型的便携式片上系统，例如手机的基带处理器，可以将其硬件设计成本保持在 1.57 千万美元（2009 年估计）。考虑相关的软件设计成本，芯片设计项目总花费是 4.53 千万美元。如果没有 1993~2007 年之间的设计技术创新及其促使设计生产率的提高，一个芯片的设计成本会是 18 亿美元，完全超过 10 亿美元。

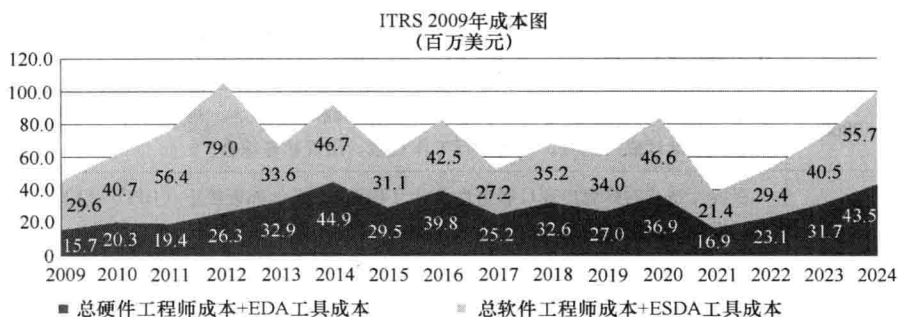


图 1.2 最新版本的半导体技术蓝图项目：总硬件工程师成本 + EDA 工具成本（深灰色）和总软件工程师成本 + 电子系统设计自动化（ESDA）工具成本（浅灰色）。这显示了 EDA 技术在整个集成电路设计生产力及其集成电路设计成本上的影响^[1.5]

2. EDA 的历史

当集成电路原理图输入工具开发出来后，第一款 EDA 设计工具，即可在一个电路板上优化器件物理位置的布局软件，在 20 世纪 60 年代后期诞生了。从那以后的较短时间内，辅助电路版图和可视化的程序出现了。在 70 年代，第一个解决物理设计过程的集成电路计算机辅助设计（CAD）系统诞生了。在那个时代，大多数 CAD 工具是公司专有——诸如 IBM 和 AT&T 贝尔实验室这些主流公司依靠自己设计的仅限内部使用的软件工具。然而，在 80 年代初期，独立的软件开发者开始编写工具，能为多个半导体生产公司服务。在 90 年代，EDA 的市场飞速发展，许多设计团队采用商业工具，不再开发自己的内部软件。现在，最大的 EDA 软件设计公司，按照字母表的顺序，分别是 Cadence Design Systems、Mentor Graphics 和 Synopsys。

EDA 工具总是面向整个设计过程的自动化，并将设计步骤链接成一个完整的设计流。不过，这样整合存在一些问题，因为一些设计步骤需要额外的自由度，而且可扩展性要求独立处理一些设计步骤。另一方面，晶体管和连接线尺寸的持续减少，模糊了独立的连续设计步骤的边界和抽象，及其需要在设计周期的早期进行精确计算的物理效应，例如信号时延和耦合电容。因此，设计过程从不可再分的步骤序列（独立的）趋向于更深层次的整合。表 1.1 总结了电路和物理设计关键发展的时间表。

表 1.1 EDA 发展中关于电路和物理设计的时间表

时间周期/年	电路和物理设计过程的发展
1950 ~ 1965	只有手工设计
1965 ~ 1975	首次开发出 PCB 的版图编辑器，例如布局和布线工具
1975 ~ 1985	更先进的集成电路和 PCB 工具，带有更复杂的算法
1985 ~ 1990	第一个性能驱动工具和版图的并行最优化算法，更好地理解基础理论（图论、解决方案的复杂性等）
1990 ~ 2000	第一个单元上布线，第一个 3D 和多层的布局和布线技术。电路综合自动化和面向可布线的设计成为主流。出现并行工作负载。出现物理综合
2000 至今	在设计制造的界面出现可制造性设计（DFM）、光学邻近校正（OPC）以及其他技术。模块可重用性的提高，包括 IP 模块

1.2 VLSI 设计流程

设计 VLSI 的过程非常复杂，可以分成不同的步骤（见图 1.3）。前面步骤高端，后面的设计步骤在抽象概念上低端。在过程的最后，在制造之前，工具和算法运行在每个电路元件的几何形状和电气性能的详细信息上。

图 1.3 所示的 VLSI 设计流程步骤将会在下面详细讨论。关于物理设计算法的更多信息，见参考文献 [1.1]。参考文献 [1.6]、[1.9]、[1.11] 和 [1.12] 提及的图书涵盖了本书未提及的其他专题。

1. 系统规范

芯片设计师、电路设计者、产品营销者、运营经理以及版图和库设计者共同定义系统的总体目标和高级需求。这些目标和需求包括功能、性能、物理尺寸和生产技术。

2. 架构设计

一个基本的架构必须满足系统规范。举例说明：

1) 模拟和混合信号模块的集成；