

# UHD | 数字电路 设计实用教程

周润景 托亚 雷雪梅 王亮 编著



北京航空航天大学出版社  
BEIHANG UNIVERSITY PRESS

# VHDL 数字电路设计实用教程

周润景 托亚 雷雪梅 王亮 编著

北京航空航天大学出版社

## 内 容 简 介

本书介绍使用 Quartus II 9.0 开发 FPGA/CPLD 数字系统的开发流程及设计方法,通过实例讲解 VHDL 语法、数字电路的原理图编辑、文本编辑和混合编辑的方法,并对大型数字系统设计实例进行解析。本书还介绍了宏功能模块及 IP 核的使用方法、DSP Builder 与 Quartus II 结合的使用方法。本书的讲解深入浅出,实例丰富,图文并茂,系统实用。

本书可作为从事数字系统设计的科研人员的参考书,也可作为高等学校电子类专业的 EDA 实用教材。

### 图书在版编目(CIP)数据

VHDL 数字电路设计实用教程 / 周润景等编著. —北

京:北京航空航天大学出版社,2014.6

ISBN 978-7-5124-1443-3

I. ①V… II. ①周… III. ①VHDL 语言—程序设计—  
教材②数字电路—电路设计—教材 IV. ①TP301.2  
②TN79

中国版本图书馆 CIP 数据核字(2014)第 102228 号

版权所有,侵权必究。

### VHDL 数字电路设计实用教程

周润景 托亚 雷雪梅 王亮 编著

责任编辑 陈 旭

\*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(邮编 100191) <http://www.buaapress.com.cn>

发行部电话:(010)82317024 传真:(010)82328026

读者信箱:emsbook@gmail.com 邮购电话:(010)82316524

涿州市新华印刷有限公司印装 各地书店经销

\*

开本:710×1 000 1/16 印张:26.25 字数:559 千字

2014 年 6 月第 1 版 2014 年 6 月第 1 次印刷 印数:3 000 册

ISBN 978-7-5124-1443-3 定价:54.00 元

若本书有倒页、脱页、缺页等印装质量问题,请与本社发行部联系调换。联系电话:(010)82317024

# 前 言

---

随着电子技术、计算机应用技术和 EDA 技术的不断发展,利用 FPGA/CPLD 进行数字系统的开发已广泛应用于通信、航天、医疗电子、工业控制等领域。与传统电路设计方法相比,FPGA/CPLD 具有功能强大、开发过程投资小、周期短、便于修改及开发工具智能化等特点。近年来,FPGA/CPLD 市场发展迅速,并且随着电子工艺不断改进,低成本高性能的 FPGA/CPLD 器件推陈出新,从而使得 FPGA/CPLD 成为当今硬件设计的首选方式之一。熟练掌握 FPGA/CPLD 设计技术已经是电子设计工程师的基本要求。

VHDL 语言作为国际标准的硬件描述语言,已经成为工程技术人员和高校学生的必备技能。本书例子中的文本编辑均采用 VHDL 语言编写,并且书中实例均通过了仿真和硬件测试。

本书以实例为主,介绍利用 Altera 公司的 Quartus II 9.0 为设计平台的 FPGA/CPLD 数字系统设计方法。书中的例子包含简单的数字逻辑电路实例、数字系统设计实例及复杂数字系统设计实例,深入浅出地介绍了采用 Quartus II 进行数字系统开发的设计流程、设计思想和设计技巧。

本书共分为 12 章,第 1 章介绍利用 Quartus II 进行 FPGA/CPLD 设计的开发流程,包括设计输入、约束输入、综合、布局布线、仿真、编程和配置等;第 2 章介绍 Quartus II 的使用方法,包括原理图编辑、文本编辑和混合编辑的设计方法;第 3 章介绍 VHDL 硬件描述语言;第 4~第 7 章介绍简单的数字电路实例,包括门电路、组合逻辑电路、触发器、时序逻辑电路以及存储器的设计方法;第 8 章介绍课程设计中涉及的数字系统设计实例,使读者熟练掌握 Quartus II 的使用方法和 VHDL 语言;第 9 章介绍宏功能模块及 IP 核的使用方法和简单的应用实例;第 10 章介绍 DSP Builder 与 Quartus II 的结合使用方法及简单的应用实例,包括伪随机序列发生器、DDS、ASK 调制器等;第 11 章和第 12 章介绍两个大型数字系统的设计实例,使读者更深入地掌握数字系统的设计方法。

本书由周润景、托亚、雷雪梅、王亮编著。其中,雷雪梅编写了第 1 章,朱莉编写了第 12 章,托亚编写了第 3 章,全书由周润景统稿。张丽娜、张红敏、张丽敏、宋志清、陈雪梅、刘怡芳、陈艳梅、贾雯、姜攀、张龙龙等同学参与了本书的编写,在此表示感谢。

## 前 言

本书的例子经过北京百科融创公司开发的 RC - EDA/SOPC - IV 实验箱的验证,对该公司的支持表示感谢。

由于编者水平有限,书中难免有错误和不足之处,敬请读者批评指正!

有兴趣的读者可以发送邮件到 [Auzhourj@163.com](mailto:Auzhourj@163.com),与作者进一步交流;也可以发送邮件到 [xdhydc5@sina.com](mailto:xdhydc5@sina.com),与本书策划编辑交流。

编 者

2014 年 4 月

# 目 录

---

<b>第 1 章 Quartus II 开发流程</b> .....	1
1.1 知识目标 .....	1
1.2 能力目标 .....	1
1.3 章节任务 .....	1
1.4 Quartus II 软件综述 .....	1
1.5 设计输入 .....	8
1.6 约束输入 .....	9
1.6.1 使用分配编辑器(Assignments Editor) .....	10
1.6.2 使用引脚规划器(Pin Planner) .....	13
1.6.3 使用 Settings 对话框 .....	13
1.7 综 合 .....	16
1.7.1 使用 Quartus II 软件集成综合 .....	17
1.7.2 控制综合 .....	17
1.7.3 第三方综合工具 .....	21
1.8 布局布线 .....	21
1.8.1 设置布局布线参数 .....	22
1.8.2 反向标注分配 .....	25
1.9 仿 真 .....	26
1.9.1 指定仿真器设置 .....	27
1.9.2 建立矢量源文件 .....	28
1.9.3 第三方仿真工具 .....	31
1.10 编程与配置 .....	32
1.10.1 建立编程文件 .....	32
1.10.2 器件编程和配置 .....	35
<b>第 2 章 Quartus II 的使用</b> .....	38
2.1 知识目标 .....	38
2.2 能力目标 .....	38

## 目 录

2.3	章节任务	38
2.4	原理图和图表模块编辑	38
2.4.1	内附逻辑函数	39
2.4.2	编辑规则	40
2.4.3	原理图和图表模块编辑工具	42
2.4.4	原理图编辑流程	43
2.5	文本编辑	59
2.6	混合编辑(自底向上)	66
2.7	混合编辑(自顶向下)	70
<b>第3章</b>	<b>VHDL 硬件描述语言</b>	<b>75</b>
3.1	知识目标	75
3.2	能力目标	75
3.3	章节任务	75
3.4	VHDL 语言简介	75
3.5	VHDL 语言设计实体的基本结构	77
3.6	VHDL 语言要素	82
3.6.1	VHDL 数据对象	82
3.6.2	VHDL 数据类型	86
3.6.3	IEEE 预定义标准逻辑位与矢量及用户自定义数据类型	88
3.6.4	VHDL 操作符	91
3.6.5	VHDL 的程序包	94
3.7	VHDL 顺序语句	95
3.7.1	赋值语句	96
3.7.2	IF 语句	97
3.7.3	Case 语句	99
3.7.4	LOOP 语句	100
3.7.5	NEXT 语句	103
3.7.6	EXIT 语句	103
3.7.7	WAIT 语句	104
3.7.8	NULL 语句	104
3.7.9	RETURN 语句	105
3.8	VHDL 并行语句	105
3.8.1	进程(PROCESS)语句	106
3.8.2	并行信号赋值语句	107
3.8.3	方块(Block)语句	109

3.8.4	元件例化语句 .....	110
3.8.5	生成(GENERATE)语句 .....	115
3.9	VHDL 子程序 .....	116
3.9.1	过程的定义和调用 .....	116
3.9.2	函数的定义和调用 .....	118
3.10	VHDL 的描述风格 .....	120
3.10.1	VHDL 行为描述方式 .....	120
3.10.2	数据流描述方式 .....	122
3.10.3	结构级描述方式 .....	123
<b>第 4 章</b>	<b>门电路设计范例</b> .....	<b>128</b>
4.1	知识目标 .....	128
4.2	能力目标 .....	128
4.3	本章任务 .....	128
4.4	与非门电路 .....	128
4.5	或非门电路 .....	131
4.6	异或门电路 .....	133
4.7	三态门电路 .....	135
4.8	单向总线缓冲器 .....	137
4.9	双向总线缓冲器 .....	138
<b>第 5 章</b>	<b>组合逻辑电路设计范例</b> .....	<b>140</b>
5.1	学习目标 .....	140
5.2	能力目标 .....	140
5.3	本章任务 .....	140
5.4	编码器 .....	141
5.4.1	8 线-3 线编码器 .....	141
5.4.2	8 线-3 线优先编码器 .....	143
5.5	译码器 .....	146
5.5.1	3 线-8 线译码器 .....	147
5.5.2	BCD-7 段显示译码器 .....	148
5.6	数据选择器 .....	151
5.6.1	4 选 1 数据选择器 .....	151
5.6.2	8 选 1 数据选择器 .....	152
5.7	数据分配器 .....	153
5.8	数值比较器 .....	154



## 目 录

5.9 加法器 .....	156
5.9.1 半加器 .....	156
5.9.2 全加器 .....	158
5.9.3 4 位全加器 .....	159
5.10 减法器 .....	160
5.10.1 半减器 .....	160
5.10.2 全减器 .....	161
5.10.3 4 位全减器 .....	162
<b>第 6 章 寄存器、存储器、锁存器和触发器的 VHDL 描述 .....</b>	<b>165</b>
6.1 知识目标 .....	165
6.2 能力目标 .....	165
6.3 本章任务 .....	165
6.4 寄存器 .....	166
6.4.1 寄存器的引入方法 .....	166
6.4.2 常规寄存器的引入 .....	166
6.5 移位寄存器 .....	169
6.5.1 双向移位寄存器 .....	169
6.5.2 串入/串出移位寄存器 .....	171
6.5.3 串入/并出移位寄存器 .....	173
6.5.4 并入/串出移位寄存器 .....	174
6.6 只读存储器(ROM) .....	175
6.7 随机存储器(RAM) .....	177
6.8 堆 栈 .....	178
6.9 FIFO .....	181
6.10 锁存器 .....	183
6.11 RS 触发器 .....	185
6.12 JK 触发器 .....	186
6.13 D 触发器 .....	188
6.14 T 触发器 .....	189
<b>第 7 章 计数器、信号发生器和分频器的 VHDL 描述 .....</b>	<b>191</b>
7.1 知识目标 .....	191
7.2 能力目标 .....	191
7.3 章节任务 .....	191
7.4 计数器 .....	192

7.4.1	计数器的分类 .....	192
7.4.2	计数器设计时的注意事项 .....	192
7.4.3	基本计数器的设计 .....	193
7.5	可变模计数器 .....	201
7.5.1	无置数端的可变模计数器 .....	202
7.5.2	有置数端的可变模计数器 .....	203
7.6	顺序脉冲发生器的设计 .....	204
7.7	序列信号发生器 .....	205
7.8	分频器的设计 .....	206
7.8.1	偶数分频器 .....	206
7.8.2	奇数分频器 .....	210
7.8.3	半整数分频器 .....	216
<b>第 8 章</b>	<b>数字系统设计范例</b> .....	<b>218</b>
8.1	知识目标 .....	218
8.2	能力目标 .....	218
8.3	章节要求 .....	218
8.4	数字系统的基本结构 .....	218
8.5	数字系统的设计方法 .....	219
8.6	数字系统设计的一般过程 .....	221
8.7	数字系统的设计准则 .....	222
8.8	数字系统设计范例 .....	224
8.8.1	跑马灯设计 .....	224
8.8.2	8 位数码扫描显示电路设计 .....	227
8.8.3	4×4 键盘扫描电路设计 .....	229
8.8.4	数字频率计 .....	232
8.8.5	乒乓球游戏机 .....	236
8.8.6	交通控制器 .....	242
8.8.7	数字钟 .....	249
8.8.8	自动售货机 .....	256
8.8.9	出租车计费器 .....	263
8.8.10	电梯控制器 .....	270
<b>第 9 章</b>	<b>可参数化宏模块及 IP 核的使用</b> .....	<b>279</b>
9.1	知识目标 .....	279
9.2	能力目标 .....	279

9.3 章节任务 .....	279
9.4 ROM、RAM、FIFO 的使用 .....	279
9.4.1 ROM 的使用 .....	279
9.4.2 RAM 的过程使用 .....	286
9.4.3 FIFO 的使用 .....	288
9.5 乘法器、锁相环的使用 .....	290
9.5.1 乘法器的使用 .....	290
9.5.2 锁相环的使用 .....	293
9.6 正弦波信号发生器 .....	295
9.7 NCO IP 核的使用 .....	296
<b>第 10 章 DSP Builder 设计范例 .....</b>	<b>300</b>
10.1 知识目标 .....	300
10.2 能力目标 .....	300
10.3 章节任务 .....	300
10.4 DSP Builder 简介及使用方法 .....	300
10.5 伪随机序列发生器 .....	304
10.6 DDS .....	311
10.7 ASK 及 FSK 调制器 .....	317
10.7.1 ASK(Amplitude Shift Keying)调制器 .....	317
10.7.2 FSK(Frequency Shift Keying)调制器 .....	321
<b>第 11 章 基于 FPGA 的射频热疗系统的设计 .....</b>	<b>325</b>
11.1 知识目标 .....	325
11.2 能力目标 .....	325
11.3 章节任务 .....	325
11.4 肿瘤热疗的生物学与物理学技术概论 .....	325
11.5 温度场特性的仿真 .....	329
11.6 射频热疗系统设计 .....	329
11.7 系统硬件电路设计 .....	330
11.7.1 硬件整体结构 .....	330
11.7.2 高精度数字温度传感器 DS18B20 .....	331
11.7.3 ACEX 1K 系列的 FPGA 器件的特点 .....	336
11.7.4 ACEX 1K 器件的配置电路设计 .....	338
11.7.5 电源电路 .....	339
11.7.6 驱动电路设计 .....	340

11.8 软件实现	343
11.8.1 系统软件设计电路图	345
11.8.2 温度测量模块	345
11.8.3 指定温度设置模块	348
11.8.4 控制算法的选择及设计	351
11.8.5 信号调制	363
11.8.6 温度显示模块	364
11.8.7 分频模块	368
11.9 温度场测量与控制的实验	370
11.9.1 实验材料及方法	370
11.9.2 实验结果	371
11.9.3 实验结果分析	374
11.10 结 论	374
<b>第 12 章 基于 FPGA 的直流电动机伺服系统的设计</b>	<b>375</b>
12.1 知识目标	375
12.2 能力目标	375
12.3 章节任务	375
12.4 电机控制发展情况	375
12.5 系统控制原理	376
12.6 算法设计	378
12.7 系统硬件设计原理	380
12.8 系统软件设计原理	388
12.9 系统调试及结果分析	399
12.10 结 论	405
<b>参考文献</b>	<b>406</b>

# 第 1 章

## Quartus II 开发流程

### 1.1 知识目标

① 掌握利用 Quartus II 软件进行 FPGA/CPLD 设计的开发流程。

② 按照一般可编程逻辑器件的设计步骤,掌握设计输入、约束输入、综合、布局布线、仿真、编程和配置。

### 1.2 能力目标

利用 FPGA(Field Programmable Gate Array)或 CPLD(Complex Programmable Logic Device)的设计软件可以将设计好的程序“烧写”在 FPGA 器件中,如同自行设计集成电路一样,可节省电路开发的费用与时间。通过本章的学习,使读者可以了解 Quartus II 软件的使用方法。

### 1.3 章节任务

掌握 Altera Quartus II 开发流程。

1) 初级要求

了解 Quartus II 软件的特点及支持的器件,掌握 Quartus II 软件的集成工具以及用户界面。

2) 中级要求

掌握设计输入、约束输入、综合、布局布线、仿真、编程和配置。

3) 高级要求

熟练掌握掌握 Quartus II 软件的开发流程。

### 1.4 Quartus II 软件综述

Quartus II 是 Altera 公司在 21 世纪初推出的 FPGA/CPLD 开发环境,MAX+Plus II 的更新换代产品,功能强大,界面友好,使用便捷。Quartus II 软件集成了

Altera 的 FPGA/CPLD 开发流程中涉及的所有工具和第三方软件接口。通过使用此开发工具,设计者可以创建、组织和管理自己的设计。Quartus II 软件的开发流程如图 1-1 所示。

### 1. Quartus II 软件的特点及支持的器件

Quartus II 具有以下特点:

- 支持多时钟定时分析、LogicLock 基于块的设计、SOPC(可编程片上系统)、内嵌 SignalTap II 逻辑分析器和功率估计器等高级工具。
- 易于引脚分配和时序约束。
- 强大的 HDL 综合能力。
- 包含有 Maxplus II 的 GUI,且容易使 Maxplus II 的工程平稳过渡到 Quartus II 开发环境。
- 对于 Fmax 的设计具有很好的效果。
- 支持的器件种类众多。
- 支持 Windows、Solaris、HP-UX 和 Linux 等多种操作系统。
- 提供第三方工具如综合、仿真等的链接。

Quartus II 软件支持的器件包括 Stratix 系列、Stratix II 系列、Stratix III 系列、Cyclone 系列、Cyclone II 系列、Cyclone III 系列、HardCopy II 系列、APEX II 系列、FLEX10k 系列、FLEX6000 系列、MAX II 系列、MAX3000A 系列、MAX7000 系列和 MAX9000 系列等。

### 2. Quartus II 软件的集成工具及其功能简介

Quartus II 软件允许用户在设计流程的每个阶段使用 Quartus II 软件图形用户界面、EDA 工具界面或命令行方式,如图 1-2 所示。

#### (1) 设计输入

设计输入即使用 Quartus II 软件的模块输入方式、文本输入方式、Core 输入方式和 EDA 设计输入工具等表达用户的电路构思,同时使用分配编辑器(Assignment Editor)设定初始约束条件。

#### (2) 综合

综合是将 HDL 语言、原理图等设计输入翻译成由与门、或门、非门、RAM 和触发器等基本逻辑单元组成的逻辑链接(网络表),并根据目标与要求(约束条件)优化所生成的逻辑链接,输出 edf 或 vqm 等标准格式的网络表文件,供布局布线器实现。除了用 Quartus II 软件的“Analysis & Synthesis”命令进行综合外,也可以使用第三方综合工具生成与 Quartus II 软件配合使用的 edf 网络表文件或 vqm 文件。

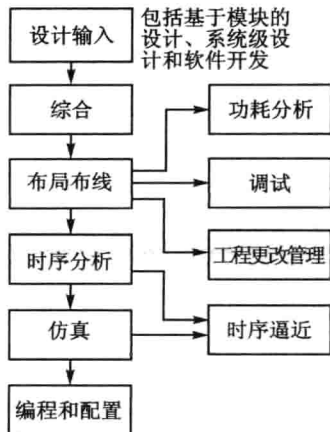


图 1-1 Quartus II 软件的开发流程

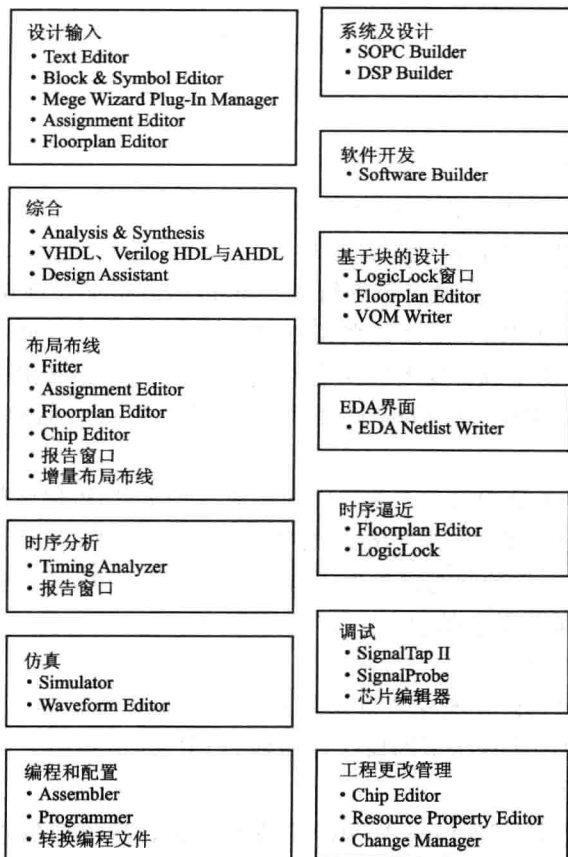


图 1-2 Quartus II 软件图形用户界面的功能

### (3) 布局布线

布局布线输入文件是综合后的网络表文件,Quartus II 软件中布局布线包含分析布局布线结果、优化布局布线、增量布局布线和通过反向标注分配等。

### (4) 时序分析

允许用户分析设计中所有逻辑的时序性能,并协助引导布局布线以满足设计中的时序分析要求。默认情况下,时序分析作为全编译的一部分自动运行,它观察和报告时序信息,如建立时间、保持时间、时钟至输出延时、最大时钟频率以及设计的其他时序特性,可以使用时序分析生成的信息分析、调试和验证设计的时序性能。

### (5) 仿真

仿真分为功能仿真和时序仿真。功能仿真用来验证电路功能是否符合设计要求;时序仿真包含了延时信息,能较好地反映芯片的工作情况。可以使用 Quartus II 集成的仿真工具进行仿真,也可以使用第三方工具对设计进行仿真,如 ModelSim 仿真工具。

### (6) 编程和配置

在全编译成功后,对 Altera 器件进行编程和配置,包括 Assemble(生成编程文件)、Programmer(建立包含设计所用器件名称和选项的链式文件)和转换编程文件等。

### (7) 系统级设计

系统级设计包括 SOPC Builder 和 DSP Builder。Quartus II 与 SOPC Builder 一起为建立 SOPC 设计提供标准化的图形环境,其中 SOPC 由 CPU、存储器接口、标准外围设备和用户自定义的外围设备等组成。SOPC Builder 允许用户选择和自定义系统模块的各个组件和接口,它将这些组件组合起来,生成对这些组件进行实例化的单个系统模块,并自动生成必要的总线逻辑。DSP Builder 是帮助用户在易于算法应用的开发环境中建立 DSP 设计的硬件表示,缩短了 DSP 设计周期。

### (8) 软件开发

Software Builder 是 Quartus II 软件的集成编程工具,可以将软件源文件转换为用户配置 Excalibur 器件的闪存格式编程文件或无源格式编程文件。Software Builder 在创建编程文件的同时自动生成仿真器初始化文件,仿真器初始化文件指定了存储单元的每个地址的初始值。

### (9) 基于块的设计

LogicLock 模块化设计流程支持对复杂设计的某个模块独立地进行设计、实现与优化,并将该模块的实现结果约束在规划好的 FPGA 区域内。

### (10) EDA 界面

EDA 界面中的 EDA Netlist Writer 生成时序仿真所需要的包含延迟信息的文件,如 .vo\_、.sdo 文件等。

### (11) 时序逼近

时序逼近即通过控制综合和设计的布局布线来达到时序目标。使用时序逼近流程可以对复杂的设计进行更快地时序逼近,减少优化迭代次数并自动平衡多个设计约束。

### (12) 调试

SignalTap II 逻辑分析器和 SignalProbe 功能可以分析内部器件节点和 I/O 引脚,同时在系统内以系统速度运行。SignalTap II 逻辑分析器可以捕获和显示 FPGA 内部的实时信号行为。SignalProbe 可以在不影响设计现有布局布线的情况下将内部电路中特定的信号迅速布线到输出引脚,从而无须对整个设计另做一次全编译。

### (13) 工程更改管理

工程更改管理即在全编译后对设计做的少量修改或调整。这种修改是直接在设计数据库上进行的,而不是修改源代码或配置文件,这样就无须重新运行全编译而快速地实施这些更改。



除了上述集成工具外,Quartus II 软件还提供第三方工具的链接。第三方工具包括综合工具和仿真工具,其中综合工具有 Synplify、SynplifyPro 和 LeonardoSpectrum;仿真工具有 ModelSim 和 Aldec HDL 等,它们都是业内公认的专业综合和仿真工具,以其功能强大、界面友好、易学易用而得到广泛使用。

### 3. Quartus II 软件的用户界面

Quartus II 软件的默认启动界面如图 1-3 所示,由标题栏、菜单栏、工具栏、资源管理窗口、编译状态显示窗口、信息显示窗口和工程工作区等组成。



图 1-3 Quartus II 软件的默认启动界面

#### (1) 标题栏

标题栏显示当前工程的路径和程序的名称。

#### (2) 菜单栏

菜单栏主要由文件(File)、编辑(Edit)、视图(View)、工程(Project)、资源分配(Assignments)、操作(Processing)、工具(Tools)、窗口(Window)和帮助(Help)下拉菜单组成。

其中工程(Project)、资源分配(Assignments)、操作(Processing)和工具(Tools)菜单集中了 Quartus II 软件核心的操作命令,下面分别介绍。

① Project 菜单主要是对工程的一些操作,包括以下几个命令。

- Add Current File to Project: 添加当前文件到本工程。
- Add/Remove Files in Project: 添加或移除文件。