

Xilinx FPGA 应用进阶

——通用IP核详解和设计开发

◎ 黄万伟 董永吉 伊 鹏 李玉峰 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY <http://www.phei.com.cn>

Xilinx FPGA 应用进阶——通用 IP 核详解和设计开发

黄万伟 董永吉 伊鹏 李玉峰 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书系统全面讲解了通信类基础 IP 核的应用方法,具体包括 DCM、PLL、MMCM、Block RAM、ISERDES、OSERDES、TEMAC 和 MIG 等 IP 核;阐述了 Xilinx FPGA 的时钟资源和 DCM、PLL 及 MMCM 时钟管理器的特性和使用方法;详细介绍了基于 Block RAM 资源生成 ROM、RAM、FIFO 和 CAM 核的使用过程,尤其是对 CAM 核做了重点介绍和示例;针对 TEMAC 核阐述了背景知识、内部结构、接口时序和配置参数,并给出了 TEMAC 核的生成实例;介绍了 LVDS 技术规范、源同步实现方案和去偏移技术,重点讲解了 Xilinx FPGA 中 IODELAYE1、ISERDES1 和 OSERDES 核的使用方法;详细阐述了 Xilinx FPGA DDR3 控制器 IP 核的结构组成、模块划分、接口信号和物理约束等,并对 Xilinx DDR3 控制器仿真进行了细致说明。

本书取材新颖、内容丰富、实验详细、实用性强,囊括了 Xilinx FPGA 在通信领域使用的基础 IP 核,既适合 Xilinx FPGA/CPLD 设计入门的学生和电子设计爱好者阅读,也面向 NetFPGA 板卡的开发人员,同时适合具有一定工作经验的硬件设计工程师和 IC 设计工程师阅读。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

Xilinx FPGA 应用进阶:通用 IP 核详解和板卡开发/黄万伟*编著. —北京:电子工业出版社,2014.8
ISBN 978-7-121-23835-2



I. ①X… II. ①黄… III. ①可编程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2014)第 159651 号

策划编辑:曲 昕

责任编辑:谭丽莎

印 刷:北京京科印刷有限公司

装 订:三河市鹏成印业有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:17.75 字数:442 千字

版 次:2014 年 8 月第 1 版

印 次:2014 年 8 月第 1 次印刷

定 价:49.80 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

序

可编程器件具有体系结构灵活、逻辑单元丰富、集成度高的优点，在数字通信、多媒体处理、汽车和消费电子、宇航和国防工业等诸多领域得到了广泛应用。由于通信协议标准处在不断演进和修改过程中，采用 FPGA 的可编程技术已成为网络通信系统设计创新的首选。IP 核是已验证正确的成熟设计，在 FPGA 设计中应用 IP 核，可以减少设计风险，加快开发过程。

本书作者结合多年教学及工程经验，深入浅出地讲解了 Xilinx FPGA 通用 IP 核在计算机网络和通信中的应用，通过背景知识、功能简介、应用说明和实验案例等内容，帮助读者由浅入深地掌握通用 IP 核的使用方法。

本书具有以下三个特色：首先，能够密切追踪信息领域的发展趋势，把握信息技术发展的脉搏，帮助读者深入理解信息技术的发展和工程实践需求；其次，从初学者的角度，全面细致地介绍了 Xilinx IP 核的基础及背景知识，条理清晰、思路明确，为初学者指明了学习的方向；最后，从工程实践的角度，细致地讲解了 Xilinx IP 核的使用方法，配合详细的工程案例，融入作者长期积累的研发经验，具有较强的可读性和可实践性。综上所述，本书是一个桥梁，它帮助读者衔接了 Xilinx IP 核的基本理论与工程实践，内容丰富，可读性强。

结合未来网络（Future Networks）技术研究方向，为满足未来不断发展的网络体系演进和通信协议变化，可编程技术将发挥越来越重要的作用，FPGA 器件兼有灵活可编程性和并行高效性，对未来网络体系架构的理论研究成果和设想都可以在 FPGA 平台上进行验证，因此本书内容对网络技术方向的研究和实验不无裨益。

在此，我衷心希望这本书的出版可以拓展读者视野，为广大读者提供切实有效的帮助。

国家“973”计划项目首席科学家

兰巨龙 教授

2014 年 5 月

前 言

随着信息产业和微电子技术的发展,可编程逻辑设计技术已经成为信息产业最热门的技术之一,FPGA 芯片在逻辑密度、性能和功能上有了极大的提高,可快速构建各种电子系统,帮助设计者在较短时间内向市场上推出创新产品。由于 FPGA 的可编程特性和灵活性,可以满足电子产品功能设计演进变化的需求,因而 FPGA 越来越受到电子工程师的青睐,应用范围遍及航空航天、数据通信、广播电视、网络安全、工业控制、汽车电子、医疗电子、消费类电子市场、测量测试等众多热门领域。

美国的 Xilinx 公司是全球领先的可编程逻辑器件及完整解决方案的供应商,提供了类型多样、功能强大的 FPGA 器件,软件设计工具和丰富的 IP 核。Xilinx 公司提供的 IP 核是经过严格测试和优化过的电路功能模块,功能经过验证,时序性能稳定,一般采用参数可配置的结构,方便用户根据实际需要来调用 IP 核进行开发。随着 FPGA 资源规模和应用复杂度的增加,采用调用 IP 硬核的方式替代自主设计复杂功能代码,能够大幅度减轻设计人员的工作量,缩短设计时间,提高设计可靠性,减小设计风险。因此,使用 IP 核完成设计逐渐成为 FPGA 设计的发展趋势。

Xilinx FPGA 为用户提供了大量成熟的、高效的 IP 核,应用领域涵养了通信和网络、汽车工业、基本单元,数字信号处理、数学函数、记忆和存储单元、标准总线接口等,从简单的基本设计模块到复杂的处理器一应俱全。由于现有的 IP 核支持种类和功能越来越复杂,使得 IP 核在 FPGA 开发中所占的比例越来越重,且使用设计难度越来越大。设计者在初次使用相应的 IP 核时,若缺乏一定的背景知识和适当的应用指导,在设计过程中将遇到较多难点。不同于一般的逻辑功能代码开发,IP 核的内部功能和外部接口相对固定,若能有针对性地对 IP 核的结构、功能和接口使用进行系统介绍,可以帮助设计者在开发应用过程中少走弯路,快速掌握 IP 核的使用方法。

本书是系统全面讲解 Xilinx FPGA 内部 IP 核的工具用书,深入阐述了 Xilinx FPGA 内部的 IP 核的特性和应用,主要 IP 核包括 DCM、PLL、MMCM、Block RAM、ISERDES、OSERDES、MIG、TMAC 等,已囊括了 Xilinx FPGA 在通信领域使用的基础 IP 核。笔者将通信基础 IP 核的开发应用经验整理成书,希望对后续使用 IP 核的开发者优先有所裨益,帮助开发者快速熟悉 IP 核的基本功能,进而可以掌握 IP 核的开发应用技巧,使 IP 核的相关设计快速融入开发者的系统设计中,缩短读者应用 IP 核的开发时间。

每届的大学生信息安全竞赛都有很多学生选用 NetFPGA 板进行应用开发,加上可编程网络研究方向的兴起,越来越多的老师和学生 NetFPGA 板卡进行新型网络架构的研究,在 NetFPGA 板卡上实现路由器、防火墙及最新的 OPENFLOW 等功能。本书涉及 Xilinx FPGA 的基本结构和使用方法,结合 NetFPGA 板卡应用场景,深入讲解各种 IP 核的特性和使用方法,尤其是通信领域常用的 DCM、PLL、TEMAC 和 CAM 等 IP 核,可帮助读者深入了解相应 IP 核的应用机理,增强读者的 Xilinx FPGA 开发能力,加快

NetFPGA 板卡的学习和应用开发。

考虑到 Virtex-6 系列作为 Xilinx 目前较新的应用器件,同时支持的 IP 核的各类繁多,为使本书内容具有更广的应用范围,书中选取 Virtex-6 系列的 IP 核进行示例。在各个章节首先对 IP 核的内部功能模块进行介绍,帮助初次使用者从宏观上初步了解该 IP 核的特性;在此基础上对 IP 核的接口信号和时序进行详细说明,使读者快速熟悉该 IP 核的相应接口时序;通过对 IP 核的配置属性进行详细介绍,有利于设计者根据不同的设计需求选择不同的配置参数。

本书的主要内容包括:第 1 章主要使读者对可编程器件有基本了解,叙述了可编程器件的基本特点、应用领域和发展趋势,介绍了 Xilinx FPGA 的最新设计方法和在通信领域的应用优势;第 2 章主要介绍 Xilinx FPGA 的时钟资源分类和应用方法,分别介绍 DCM、PLL 和 MMCM 这三种时钟管理器的特性和使用方法;第 3 章主要围绕 Block RAM 核的使用方法,分别介绍 ROM、RAM、FIFO 和 CAM 的生成使用过程,重点对 CAM 的相关背景知识、接口特性和使用方法做了详细讲解;第 4 章主要介绍 TEMAC 核的背景知识和使用方法,重点阐述了 TEMAC 核的内部结构、接口时序和配置参数;第 5 章主要介绍 LVDS 技术规范和基于 Xilinx FPGA 的源同步实现方案,叙述了源同步传输的基本概念和去偏移技术,重点讲解了 Xilinx FPGA 实现源同步接口方案的 IODELAYE1、ISERDES1 和 OSERDES 核;第 6 章主要阐述了 Xilinx DDR3 存储器接口解决方案,详述说明了 DDR3 控制器 IP 核的结构组成、模块划分、接口信号和物理约束,最后给出了 Xilinx DDR3 控制器 IP 核的住址实验。

黄万伟、董永吉负责全书的统筹规划。第 1 章由黄万伟、陶勇和李玉峰完成;第 2 章由冶晓隆、黄万伟和李玉峰完成;第 3 章由黄万伟、钱坤和伊鹏完成;第 4 章由黄万伟、姜宏和伊鹏完成;第 5 章由黄万伟、田乐和姜宏完成;第 6 章由董永吉、钱坤和田乐完成。曹建业完成了本书的实验仿真部分,陶勇绘制了本书中的大量插图,姜宏、陈博和杨文慧参与了本书的文字校订工作。在本书编写过程中,杜飞、谭立波、袁征、张霞、田志给予了大力支持,并提出了宝贵意见。特别感谢科通数字技术公司西安办事处的杨智勇工程师和上海皮赛电子有限公司朱哲勇先生在本书编写过程中给予的大力技术支持。感谢国家“973”项目“可重构信息通信基础网络的理论和体系结构”课题的 NetFPGA 实验仿真小组张传浩博士、胡宇翔博士和张震博士提供的技术支持。

本书既适合 Xilinx FPGA/CPLD 设计入门的学生和电子设计爱好者,也适合具有一定工作经验的硬件设计工程师、IC 设计工程师和应用 NetFPGA 板卡的开发人员。

由于 Xilinx FPGA 的 IP 核功能丰富,本书所涉内容可能存在遗漏,加上编定时间有限,书中难免存在不妥之处,敬请广大读者指正。

编著者

2014 年 5 月

目 录

第 1 章 Xilinx FPGA 发展和应用	1
1.1 可编程器件现状和发展简介	1
1.1.1 可编程器件的特点与应用	1
1.1.2 可编程器件厂家介绍	2
1.1.3 可编程器件发展趋势	4
1.2 Xilinx FPGA 简介	4
1.2.1 Xilinx FPGA 产品介绍	4
1.2.2 Xilinx Virtex-6 系列 FPGA	6
1.3 基于 IP Core 的 FPGA 设计	7
1.3.1 IP Core 分类	8
1.3.2 AXI 总线协议在 Xilinx IP 核中的应用	9
1.3.3 基于 IP Core 的 FPGA 设计流程	12
1.4 FPGA 在通信领域的应用优势	15
1.4.1 FPGA 在通信领域的技术优势	15
1.4.2 Xilinx FPGA 的 IP 核群	15
1.5 NetFPGA 板卡的应用基础	16
1.5.1 NetFPGA-1G 板卡介绍	16
1.5.2 NetFPGA-10G 板卡介绍	17
1.5.3 大学生信息安全竞赛与 NetFPGA	18
1.6 本章小结	18
第 2 章 Xilinx FPGA 时钟资源详述	19
2.1 Xilinx FPGA 时钟资源	19
2.1.1 Xilinx FPGA 时钟资源分类	19
2.1.2 Xilinx FPGA 时钟管理器说明	20
2.2 Xilinx FPGA 时钟详述	21
2.2.1 时钟相关的基本概念	21
2.2.2 全局时钟资源介绍	23
2.2.3 区域时钟	32
2.3 Virtex-5 DCM 介绍与使用说明	38
2.3.1 DCM 功能和结构	39
2.3.2 DCM 生成演示过程	46
2.3.3 DCM IP 核时序仿真	52
2.4 Virtex-5 PLL 介绍与使用说明	53
2.4.1 PLL 内部结构和功能说明	53

2.4.2	PLL 生成演示过程	58
2.4.3	PLL IP 核时序仿真	63
2.5	Virtex-6 MMCM 介绍与使用说明	64
2.5.1	MMCM 功能和结构简介	65
2.5.2	MMCM 生成演示过程	73
2.5.3	MMCM IP 核时序仿真	79
2.6	本章小结	79
第 3 章	Block RAM 核的功能简介和应用说明	80
3.1	Xilinx FPGA 器件内部存储资源介绍	80
3.1.1	基于 Block RAM 的 IP 核简介	80
3.1.2	Block RAM 与 DRAM 的区别	84
3.2	Virtex-6 Block RAM 内部结构详细说明	84
3.2.1	Block RAM 接口介绍	84
3.2.2	Block RAM 写属性介绍	87
3.3	ROM 核生成实例详解	88
3.3.1	ROM 核生成演示	88
3.3.2	coe 文件解释说明	93
3.3.3	ROM 接口信号时序图	95
3.4	RAM IP 核生成实例详解	96
3.4.1	RAM IP 核生成演示	96
3.4.2	RAM 接口信号时序图	101
3.5	FIFO IP 核生成实例详解	101
3.5.1	FIFO IP 核生成演示	101
3.5.2	FIFO 接口信号时序图	107
3.5.3	FIFO 生成命名规范	108
3.6	CAM IP 核生成实例详解	109
3.6.1	TCAM 器件的相关知识	109
3.6.2	CAM IP 核简介	111
3.6.3	CAM IP 接口信号说明	113
3.6.4	CAM IP 核工作模式	116
3.6.5	CAM IP 核生成演示	121
3.6.6	CAM IP 接口信号时序图	125
3.7	本章小结	126
第 4 章	TEMAC 核的功能和应用介绍	127
4.1	以太网技术介绍	127
4.1.1	以太网的发展演进	127
4.1.2	以太网协议规范介绍	129
4.2	Xilinx 千兆以太网解决方案	131
4.2.1	千兆以太网 IP 核简介	132

4.2.2	TEMAC 核的典型应用	132
4.2.3	TEMAC 核开发优势	133
4.3	TEMAC 核结构介绍	133
4.3.1	TEMAC 整体结构	134
4.3.2	嵌入式以太网 MAC 功能简介	135
4.4	用户接口信号详述	137
4.4.1	用户发送接口功能和信号介绍	138
4.4.2	用户接收接口功能和信号介绍	140
4.5	AXI4-Lite 接口信号	145
4.5.1	AXI4-Lite 接口信号说明	145
4.5.2	基于 AXI4-Lite 接口的读过程	145
4.5.3	基于 AXI4-Lite 接口的写过程	147
4.5.4	MAC 地址/帧内容过滤	148
4.5.5	基于 AXI4-Lite 接口的相关配置和管理	150
4.6	MDIO 配置接口	150
4.6.1	MDIO 接口简介	150
4.6.2	MDIO 接口信号定义	151
4.6.3	TEMAC 核中的 MDIO 控制	152
4.7	物理接口说明	153
4.7.1	MII 接口分析	154
4.7.2	GMII/RGMII 接口分析	154
4.7.3	SGMII/1000 Base-X 接口分析	155
4.8	TEMAC 核的生成和仿真实验	156
4.8.1	TEMAC 核的生成	156
4.8.2	建立 TEMAC 核仿真工程	164
4.8.3	TEMAC 仿真实验说明	166
4.9	本章小结	170
第 5 章	LVDS 技术规范及其应用	171
5.1	LVDS 接口标准和规范	171
5.1.1	LVDS 技术规范简介	171
5.1.2	LVDS 典型电路简介	172
5.2	LVDS 源同步传输方案	174
5.2.1	源同步接口介绍	174
5.2.2	源同步偏斜分析	175
5.2.3	去偏斜解决方案	175
5.3	OIF-SPI4-02.10 接口标准	177
5.3.1	SPI-4.2 接口简介	177
5.3.2	SPI-4.2 接口信号和功能描述	178
5.4	IODELAYE1 IP 核说明	183
5.4.1	IODELAYE1 概述	183

5.4.2	IODELAYE1 接口信号和参数	184
5.4.3	IODELAYE1 延迟控制时序	187
5.4.4	IDELAYCTRL 的介绍	188
5.5	ISERDESE1 IP 核说明	189
5.5.1	ISERDESE1 接口和功能概述	189
5.5.2	ISERDESE1 的接口信号和属性	190
5.5.3	BITSLLP 子模块说明	194
5.6	OSERDES IP 核说明	196
5.6.1	OSERDES 结构概述	196
5.6.2	OSERDES 接口信号和属性	197
5.6.3	OSERDES 接口信号时序	200
5.7	动态相位调整解决方案	202
5.7.1	DPA 实现方案概述	202
5.7.2	DPA 实现简介	203
5.8	本章小结	206
第 6 章	Xilinx DDR3 存储器接口解决方案	207
6.1	DDR3 SDRAM 存储器概述	207
6.1.1	DDR3 SDRAM 相关名词解释	208
6.1.2	DDR3 SDRAM 存储器操作流程	213
6.1.3	DDR3 SDRAM 引脚介绍	214
6.2	DDR3 控制器 IP 核主要模块描述	215
6.2.1	用户接口模块	217
6.2.2	存储器控制模块	221
6.2.3	PHY 模块	223
6.3	DDR3 IP 核接口操作	230
6.3.1	用户接口操作	231
6.3.2	读延迟	236
6.4	DDR3 控制器 IP 核的例化	236
6.4.1	选择 MIG 工具	236
6.4.2	DDR3 控制器的生成	241
6.4.3	DDR3 控制器 IP 核生成文件说明	253
6.4.4	UCF 文件校验及规则	254
6.5	DDR3 控制器 IP 核的约束	259
6.5.1	时序约束	259
6.5.2	I/O 引脚约束	260
6.6	DDR3 控制器 IP 核的仿真模型	261
6.6.1	流量生成器	262
6.6.2	存储器初始化和流量测试	267
6.6.3	仿真调试	268
6.7	本章小结	274

第 1 章 Xilinx FPGA 发展和应用

可编程器件具有体系结构和逻辑单元灵活、集成度高等优点，正日益成为实现低成本创新的手段，在数字通信、多媒体处理、汽车和消费电子、宇航和国防工业等诸多领域得到广泛应用。具体内容如下：1.1 节首先介绍可编程器件的特点和应用领域，其次对全球现有的可编程器件厂家及其产品型号逐一进行介绍，并总结概括了可编程器件的发展趋势；1.2 节简要说明了 Xilinx FPGA 的各型号产品，重点介绍了 Virtex-6 新型 FPGA 的特点；1.3 节介绍了基于 IP 核的 FPGA 设计方法，概括了 IP 核的功能定义和分类，针对 IP 核最新的 AXI4 接口进行了说明，引出基于 IP 核的 FPGA 设计流程；1.4 节列举了 Xilinx FPGA 在通信领域的应用优势；1.5 节介绍了基于 Xilinx FPGA 的 NETFPGA 板卡应用开发，本书后续章节介绍的 IP 核都可加快 NETFPGA 板卡应用。

1.1 可编程器件现状和发展简介

1.1.1 可编程器件的特点与应用

可编程逻辑器件（Programmable Logic Device, PLD）起源于 20 世纪 70 年代，是在半导体存储器基础上发展起来的一种大规模集成电路，允许用户通过编程方式实现所需的逻辑功能。由于 PLD 器件集成度高，设计方法先进，现场编程灵活，可支持各种数字电路的灵活设计和修改，所以在通信、信号处理、网络、工业控制、仪器仪表和军事航空航天等领域得到了广泛应用。PLD 的设计特点与 ASIC 不同，ASIC 具有很强的专用性，是为特定用户定制的专用芯片，存在非通用的后端设计费、制掩模费和测试费等问题，前期成本较高；PLD 具有通用性和灵活性，编程可反复擦写，在修改和升级 PLD 时，不需要额外改变 PCB，只是在计算机上修改和更新程序，缩短了系统设计的周期，提高了电路实现的灵活性并降低了成本，因而 PLD 的可编程特点在大规模工业设计和生产上具有 ASIC 所不具备的优势。

PLD 的灵活性是无法取代的，正成为实现低成本创新的手段，工程师们可以利用可编程器件开发具有的低风险和上市时间快的优势，开发以前只有 ASIC 芯片才可实现的多种应用，利用可编程优势帮助系统设计人员适应日新月异的市场需求变化、功能变化与成本压缩带来的压力。利用 PLD 开发产品，可根据市场的变化进行修改或变更，以满足市场千变万化的需求，大大降低产品投资的风险，节省 ASIC 芯片在前期研发和测试验证中所需进行的大量投入。

PLD 主要分为复杂可编程逻辑器件（Complex Programmable Logic Device, CPLD）和现场可编程门阵列（Field Programmable Gate Array, FPGA），CPLD 内部采用固定长度的金属线进行各逻辑块的互连，避免了分段式互连结构引起的时序不完全预测的缺点。CPLD 内部连接单元少，连续式布线结构决定了其时序延迟均匀和可预测，因此设计的逻辑电路具有时间可预测性；FPGA 的分段式布线结构决定了其延迟的不可预测性，但

FPGA 具有更多连接单元, 因此可以进行灵活的复杂逻辑设计。CPLD 和 FPGA 不同的内部结构, 使得 CPLD 更适合完成各种算法和组合逻辑, FPGA 更适合于触发器丰富的结构, 方便实现时序逻辑功能。

CPLD 主要基于 E²PROM 或 Flash 存储器编程, 编程次数多达 1 万次, 器件断电后编程信息不会丢失; FPGA 基本是基于 SRAM 编程技术的, 编程信息在器件断电时丢失, FPGA 断电后如果要再次启动硬件程序, 需从外部 Flash 存储器中重新将编程数据导入 FPGA 内部的 SRAM 中。CPLD 的逻辑门密度通常只有几千到几万个逻辑单元, 而 FPGA 通常为几万到几百万, 因此 FPGA 的集成度比 CPLD 高, 具有更复杂的布线结构和逻辑实现。CPLD 具有使用方便灵活、时序可预测等优点, 但由于 CPLD 密度的限制, 所以复杂的电子系统设计通常采用 FPGA。

随着半导体工艺的不断发展, PLD 性能的高速发展及设计人员自身能力的提高, PLD 芯片制造成本已越来越低, PLD 与 ASIC 单价的差距不断变小, 再加上 PLD 具有设计周期短、设计和使用灵活的特点, 使得 PLD 在电子产品的应用领域不断扩大, 产品竞争力日益加强。随着半导体制造工艺的不断提高, 集成在 PLD 器件内的 IP 核更加丰富, FPGA 在电子产品应用中的份额日益增加。由于消费类电子产品使用群体的逐渐分化, 电子产品厂家希望与竞争对手产生更大的区别, 采用 PLD 设计可以适应不断变化的标准和多样化的客户需求, 所以越来越多的行业已采用可编程逻辑器件来代替 ASIC。

1.1.2 可编程器件厂家介绍

随着可编程逻辑器件应用的日益广泛, 许多 IC 制造厂家涉足 PLD/FPGA 领域。目前生产可编程器件的公司有十几家, 最大的两家为 Xilinx 和 Altera 公司, 两者占据市场份额的 70% 左右, 其余比较有竞争力的公司包括 Lattice、Actel、Atmel 和 QuickLogic 等。

Xilinx 公司成立于 1984 年, 是全球领先的可编程逻辑完整解决方案的供应商, 该公司首创了 FPGA 这一创新性的可编程技术。目前, Xilinx 公司的 FPGA 占全世界 FPGA 产品份额的一半。Xilinx 公司推出的主流 PLD 产品有 XC9500 Flash 和 CoolRunner-II 两大类。主流的 FPGA 产品包括 Spartan 系列和 Virtex 系列。Spartan 系列目前主流的芯片包括 Spartan-2、Spartan-2E、Spartan-3、Spartan-3A、Spartan-3E 和 Spartan-6 等类型; Virtex 系列主要包括 Virtex-II, Virtex-II pro, Virtex-4, Virtex-5, Virtex-6 和 Virtex-7 等类型。

Altera 公司成立于 1983 年, 从事专业设计、生产、销售高性能、高密度可编程逻辑器件及相应开发工具, 主流 CPLD 产品是 MAX 系列, 具体有 MAX、MAX II、MAX[®]V 三个型号, 其优势在于成本低廉、功耗低、性价比高。在 FPGA 方面, 按成本和性能可分为 Cyclone, Arria, Stratix 三个系列。Cyclone 具有低成本和低功耗的特点, 能够满足一般逻辑设计要求, 已推出 Cyclone、Cyclone II、Cyclone III、Cyclone IV、Cyclone[®]V 五代产品; Stratix 是高带宽、高密度、高性能 FPGA, 性能可满足各类高端应用, 有包括 Stratix、Stratix II、Stratix III、Stratix IV、Stratix[®]V、Stratix 10 在内的六代产品; Arria 介于高低端之间, 是均衡成本、功耗的中端 FPGA, 已推出包括 Arria GX、Arria II、Arria V、Arria 10 在内的四代产品。

Lattice 公司成立于 1983 年, 是 ISP 技术的发明者, 先后收购了 Vantis 和 Lucent 公

公司的 FPGA 部门，目前是全球第三大可编程逻辑器件供应商。Lattice 公司在中小规模可编程器件上比较有特色，种类齐全且性能较好。Lattice 公司推出的主流 CPLD 有 MachXO 和 ispMACH4000 两个系列，MachXO 是利用 FPGA 技术和结构设计的新一代 PLD，上电时配置文件快速从 Flash 存储器传送到配置 SRAM 中，类似于传统 PLD 一样上电即工作；ispMACH4000 是目前主流的 CPLD 产品，有 V、B、C、Z、ZE 五代产品，其中 ispMACH4000ZE 具有超低功耗，适合大批量便携式应用。主流 FPGA 产品有 LatticeXP，LatticeECP，LatticeSC，MachXO2，iCE40 等系列。

Actel 公司成立于 1985 年，是反熔丝（一次性烧写）PLD 器件的领导者。Actel 产品基于 Flash 结构，掉电数据不会丢失，因此无须配置额外的芯片，是真正的单芯片解决方案；Actel FPGA 内部具有二重保密功能，并可承受高能粒子的冲击，具有固件免疫能力，上述特点使得 Actel FPGA 在军事、汽车和航空领域应用中占据霸主地位。Actel 公司的 Flash FPGA 细分为 ProASIC3、IGLOO、Fusion 三个系列，ProASIC3 是 Actel 公司推出的第一款 Flash FPGA，包括 ProASIC3/E、ProASIC3 nano 和 ProASIC3L；IGLOO 由 ProASIC3 发展而来，具有业界最低功耗，包括 IGLOO、IGLOO nano、IGLOO PLUS；Fusion 是由 ProASIC3 发展而来的业内第一款混合信号 FPGA，将可配置模拟部件、Flash 内存构件、时钟管理电路和高性能可编程逻辑集成在单芯片中。

Atmel 公司成立于 1984 年，其推出的中小规模 PLD 器件性能较好，部分产品与 Altera 和 Xilinx 型号兼容，主要应用于消费、工业、安全、通信、计算和汽车市场。Atmel 公司的 CPLD 主要包括 ATF15xx、ATF750C、ATF2500C 三个系列；FPGA 主要有 AT40K、AT40KAL、AT6000 三个系列，主要用于作为协处理器，提升基于处理器的系统性能，同时降低功耗、元件数量和成本。

QuickLogic 公司成立于 1988 年，公司原名为 Peer Research Inc，主要从事客户定制化标准产品（Customer Specific Standard Products, CSSP），从客户应用出发，生产很多灵活的产品。目前该公司的主要业务从 FPGA 转向以 CSSP 为主的综合性业务上来。QuickLogic 公司已推出的 FPGA 有 pASIC1、2&3 系列、PolarPro 系列和 Eclipse II 系列。

如表 1-1 所示为各个可编程器件厂商目录及其产品说明列表。

表 1-1 FPGA 厂商的基本参数对比

厂商名称	成立时间	总部地点	产品型号	产品型号分类说明
Xilinx	1984 年	圣何塞	Spartan、Virtex	Spartan 侧重低成本应用，Virtex 满足高性能应用
Altera	1983 年	硅谷	Cyclone、Arria、Stratix	Cyclone 侧重低成本应用，Stratix 满足高性能应用，Arria 用于中端产品
Lattice	1983 年	希尔斯伯勒	LatticeXP、LatticeECP、 LatticeSC、MachXO2、iCE40 等	LatticeXP 侧重低成本应用，LatticeECP 和 LatticeSC 满足高性能应用 MachXO2 和 iCE40 应用广泛
Actel	1985 年	纽约	ProASIC3、IGLOO、Fusion	基于 Flash 结构，侧重应用于汽车、军事、航空领域
Atmel	1984 年	圣何塞	AT40K、AT40KAL、AT6000	侧重于低端产品
QuickLogic	1988 年	森尼韦尔	pASIC、PolarPro、Eclipse II	在 CSSP 领域领先

1.1.3 可编程器件发展趋势

可编程器件出现之后,经过 40 多年的迅速发展,现在已经在各个领域内得到广泛应用。20 世纪 70 年代早期,可编程器件包括可编程只读存储器 (PROM)、可擦除可编程只读存储器 (EPROM) 和电可擦除可编程只读存储器 (EEPROM) 三种类型,早期器件的反应速度太慢,器件功耗大,且 ROM 存储空间利用率低。由于早期可编程器件内部结构简单且固定,所以只能实现较为简单的数字逻辑功能。

随着半导体工艺的发展,20 世纪 70 年代末推出的可编程器件内部结构日趋复杂,由若干“与”门与“或”门阵列构成大量组合逻辑,该阶段产品主要有可编程逻辑阵列 (PLA)、可编程阵列逻辑 (PAL) 和通用阵列逻辑 (GAL) 三种。PLA 由一个“与”平面和一个“或”平面构成,两者之间的连接关系是可编程的;PAL 由一个可编程的“与”平面和一个固定结构的“或”平面构成,或门的输出可以通过触发器有选择地被置为寄存状态;GAL 采用了 EEPROM 工艺,实现了电可擦除、电可编程,输出结构是可编程的逻辑宏单元,该结构设计使得应用具有很强的灵活性。该时期的可编程器件可以实现速度较快的逻辑功能,但逻辑阵列规模较小(只有数百个逻辑门),使得可编程器件只能实现规模较小的电路。

直到 20 世纪 80 年代中期,出现了以 CPLD 和 FPGA 为代表的可编程器件,它们都具有体系结构和逻辑单元灵活,集成度高及适用范围广的特点,与 ASIC 相比,又具有设计开发周期短,设计制造成本低,开发工具先进,标准产品无须测试,质量稳定,以及可实时检验等优点,因此现在广泛应用于产品原型设计和生产中。

进入 20 世纪 90 年代后,CPLD/FPGA 这两种结构都得到了飞速发展,特别是 FPGA 的集成度大大超过 CPLD,可编程逻辑门数已达上千万门以上,同时在 FPGA 内部嵌入许多种复杂的功能模块,包括 DCM(数字时钟管理器)、PLL(锁相环)、DSP 核、CPU 核和 PCIE 核等。随着 IP 核的种类越来越丰富,基于 IP 核的系统设计越来越受到重视,功能相对固定的模块可复用或多次调用,使得在可编程开发过程中尽可能避免重复劳动,大大减轻了工程师的设计负担,为客户节省了大量时间和费用。

可编程器件的应用领域已经从原来的通信领域扩展到消费电子、汽车电子、工业控制和测试测量等应用领域。应用领域的变化反映了可编程器件的演进趋势:(1) 可编程器件供应商不断提高芯片的生产工艺,提高可编程芯片的性能,降低产品的成本;(2) 越来越多的通用 IP 核或专用 IP 核被引入可编程芯片中,以满足客户产品快速上市的要求;(3) 可编程器件厂商致力于低功耗设计,相对于 ASIC 芯片在功耗方面更具优势,满足业界越来越苛刻的低功耗需求。

1.2 Xilinx FPGA 简介

1.2.1 Xilinx FPGA 产品介绍

Xilinx 公司是全球可编程器件厂商领导者,占有全球可编程器件市场超过一半的份额。Xilinx 公司的产品包括硅片、软件、IP 核、开发板和入门套件等,应用领域包括航天/国防、汽车、消费类、工业和有线/无线通信等。Xilinx 公司的主流 FPGA 产品分为两

类,一类是 Spartan 系列,侧重低成本应用,具有中等容量的可编程逻辑单元,性能可以满足一般逻辑要求,主要包括 Spartan-3 和 Spartan-6 两大系列,Spartan-3 系列采用 90nm 工艺,最多可达 10 万个逻辑单元,最低价格仅为几美元;Spartan-6 系列采用低功耗、45nm 工艺和 9 层金属布线双层氧化工艺生产,多达 15 万个逻辑单元,集成了 PCI Express[®]模块、高级存储器支持、250MHz DSP slice,以及 3.2Gbps 低功耗收发器。另一类是 Virtex 系列 FPGA,侧重于高性能应用,逻辑单元容量大,面向各类无线基础设施、有线网络、广播设备、航天航空和国防等方面需求的高端应用。下面主要对 Virtex 系列的各个型号的发展历程及特点进行简要介绍。

Virtex 系列最早的产品是 Virtex 和 Virtex-E,之后在 2001 年推出了 Virtex-II 系列产品。Virtex-II 系列产品采用当时先进的 0.15 μ m/0.12 μ m CMOS 8 层金属混合工艺设计,内核电压为 1.5V,内部时钟频率可达到 420MHz。2002 年采用成熟的 Virtex-II 架构,推出了 Virtex-II pro 系列高端 FPGA 产品,无缝嵌入了 PowerPC405 和 RocketIOTM MGT 收发器,内嵌 32 位 RISC 硬核和 3.125Gbps 高速串行接口。

Virtex-4 系列产品于 2004 年推出,采用 90nm 铜工艺技术,该系列将高级硅片组合模块(Advanced Silicon Modular Block, ASMBL)架构与种类繁多的灵活功能相结合,大大提高了可编程逻辑设计能力。该系列 FPGA 由 LX、FX 和 SX 三个平台系列组成。LX 系列面向逻辑密集设计的高性能逻辑应用;SX 系列内嵌数量众多的 DSP 硬核,面向高性能数字逻辑信号处理(DSP)应用;FX 系列内嵌 POWER PC 硬核和 MGT 高速通道硬核,面向高速串行连接和高性能嵌入式平台应用。

Virtex-5 系列产品于 2007 年推出,该系列以当时最先进的 65nm 铜工艺技术为基础,采用第二代 ASMBL 列式架构,包含五种不同的器件型号——LX、LXT、SXT、TXT 和 FXT,每种平台都包含不同的功能配比,能够满足诸多高级逻辑设计的需求。LX 面向高性能通用逻辑应用和高级串行连接功能的高性能逻辑应用;SXT 面向具有高级串行连接功能的高性能信号处理应用;TXT 面向具有双密度高级串行连接功能的高性能系统应用;FXT 面向具有高级串行连接功能的高级嵌入式系统应用。LXT、SXT、TXT、FXT 包含用于 PCI Express 设计的集成接口模块和 10/100/1000Mbps 以太网媒体访问控制模块;LXT 和 SXT 包含 RocketIO GTP 收发器,传输速度可达 3.75Gbps;TXT 和 FXT 包含 GTX 收发器,传输速度可达 6.5Gbps;FXT 包含嵌入式 IBM PowerPC 440 RISC CPU。

Virtex-6 系列产品于 2009 年推出,该系列采用领先的 40nm 铜工艺技术,采用第三代 ASMBL 柱式架构,包括了 LXT、SXT、HXT 等多个系列。LXT 面向具有高级串行连接功能的高性能逻辑应用;SXT 面向具有高级串行连接功能的最强信号处理功能应用;HXT 主要面向具有串行连接功能的最高带宽应用。其中 SXT 和 HXT 具有用于 PCI Express 设计的集成接口模块、10/100/1000Mbps 以太网媒体访问控制模块和 GTX 收发器(传输速率在 480Mbps~6.6Gbps 之间),HXT 具有 GTH 高性能收发器,串行传输速率在 9.95~11.18Gbps 之间。

Virtex-7 系列产品于 2011 年推出,采用了业界领先的 28nm HPL(High-Performance, Low-Power)处理技术,与前代产品相比功耗降低 50%;采用同步串行接口技术,可容纳多达 200 万个逻辑单元;具有最高速率达 28.05Gbps 的 GTZ 收发器。Virtex-7 系列由 T、XT、HT 器件组成,T 器件具有最高的容量和性能,主要应用于 ASIC 原型设计、仿真和置换;XT 器件面向高处理带宽需求应用,具有大量的 DSP 单元和 Block RAM 缓存

资源，主要应用于高性能的收发器、DSP 和 Block RAM 需求；HT 器件主要针对超高宽带应用，具有多达 16 个 28Gbps 的串行收发器，能够实现前所未有的高传输带宽。

Xilinx 的 7 系列还有 Kintex-7 和 Artix-7 系列，Kintex-7 系列主要面向高信号处理能力和低功耗类型应用，在价格、性能和功耗方面实现了最佳平衡，能够满足广泛的应用需求。Kintex-7 系列与前代产品相比，性价比提升一倍，功耗降低 50%。Artix-7 系列主要面向成本敏感型应用，采用低成本和最小尺寸封装，具有业界最低成本和功耗优势，适用于大批量、低成本应用。

1.2.2 Xilinx Virtex-6 系列 FPGA

Virtex-6 FPGA 采用尖端的 40nm 铜工艺技术，结合第三代 ASMBLTTM（高级硅片组合模块）柱式架构，包括了多个不同的子系列，每个子系列都包含不同的特性组合，可满足多种高级逻辑设计需求。Virtex-6 FPGA 为满足高性能逻辑设计人员、高性能 DSP 设计人员和高性能嵌入式系统设计人员的需求而提供了最佳解决方案，单芯片集成了逻辑、DSP、连接和软微处理器等功能。

Virtex-6 FPGA 把先进的硬件芯片技术、创新的电路设计技术和架构增强技术三者融合在一起，与前一代 Virtex 器件相比，功耗大大降低，性能更高并且成本更低。Virtex-6 FPGA 的特性总结如下。

◆ 3 个子系列

- Virtex-6 LXT FPGA：具有高级串行连接功能的高性能逻辑。
- Virtex-6 SXT FPGA：具有高级串行连接功能的数字信号处理。
- Virtex-6 HXT FPGA：具有串行连接功能的最高带宽。

◆ 不同子系列之间彼此的兼容性

- LXT 和 SXT 器件的尺寸在相同封装下相互兼容。

◆ 高性能的高级 FPGA 逻辑

- 6 输入查找表（LUT）技术。
- 双 LUT5（5 输入 LUT）选项。
- LUT/双触发器对，可满足需要丰富寄存器资源的应用要求。
- 更高的布线效率。
- 每个 6 输入 LUT 提供 64 位（或双 32 位）分布式 LUT RAM 选项。
- SRL32/双 SRL16，提供寄存输出选项。

◆ 强大的混合模式时钟管理模块（MMCM）

- MMCM 模块提供了零延迟缓冲、频率合成、时钟相位偏移、输入抖动过滤和相匹配时钟拆分等功能。

◆ 36Kb Block RAM/FIFO

- 双端口 RAM 模块。
- 可编程的双端口或简单双端口模式，宽度为 36 位或 72 位。
- 增强型可编程 FIFO 逻辑。
- 内置可选纠错电路系统。
- 可选择将单个 RAM 作为两个独立的 18Kb 模块来使用。

- ◆ 高性能并行 SelectIO™ 技术
 - 1.2V 到 2.5V I/O 操作。
 - 采用 ChipSync™ 技术的源同步接口。
 - 数控阻抗 (DCI) 有源端接。
 - 灵活的高密度 I/O 分组。
 - 集成式写入级功能提供高速存储器接口支持。
- ◆ 高级 DSP48E1 Slice
 - 25×18 补码乘法器/累加器。
 - 可选流水线。
 - 新型可选预加法器, 辅助滤波应用。
 - 可选的逐位逻辑功能。
 - 专门的级联连接。
- ◆ 灵活的配置选项
 - SPI 和并行 Flash 接口。
 - 通过专门的回退重配置逻辑提供多比特流支持。
 - 自动总线宽度探测。
- ◆ 所有器件都提供系统监控器功能
 - 片内/片外温度和供电电压监控。
 - JTAG 访问所有监控值。
- ◆ PCI Express® 设计的集成式接口模块
 - 符合 PCI Express Base Specification 2.0 规范。
 - GTX 收发器提供 Gen1 (2.5Gbps) 和 Gen2 (5Gbps) 支持。
 - 每个 PCIE 模块提供 1 通道、2 通道、4 通道或 8 通道支持。
- ◆ GTX 收发器: 高达 6.6Gbps
 - FPGA 逻辑过采样支持低于 480Mbps 的数据速率。
- ◆ GTH 收发器: 2.488Gbps 到 11Gbps 以上
- ◆ 集成式 10/100/1000Mbps 以太网 MAC 模块
 - 使用 GTX 收发器支持 1000 BASE-X PCS/PMA 和 SGMII。
 - 使用 SelectI I/O 技术资源支持 MII、GMII 和 RGMII。
 - 提供 2500Mbps 支持。
- ◆ 40nm 铜 CMOS 工艺技术
- ◆ 1.0V 核心电压 (仅-1、-2、-3 速度等级)
- ◆ 低功耗 0.9V 核心电压选项 (仅-1L 速度等级)
- ◆ 标准或无铅封装选择提供高信号完整性 Flip-chip 封装

1.3 基于 IP Core 的 FPGA 设计

由于 FPGA 所实现功能的复杂性, 若在项目实施过程中独立开发所有的功能模块, 开发任务繁重、工作量大, 而且自我开发的功能模块的正确性得不到保证, 需经过长时