

— 高等职业教育规划教材 —

集成电路

版图设计实训

JICHENG DIANLU
BANTU SHEJI SHIXUN

主编 刘睿强 徐雪刚



电子科技大学出版社

— 高等职业教育规划教材 —

集成电路 版图设计实训

JICHENG DIANLU
BANTU SHEJI SHIXUN

主 编 刘睿强 徐雪刚
编 委 隽昌薇 冯筱佳 王宝英 毛朝庆
陈东凤 侯 薇 黄 睿 罗小辉



电子科技大学出版社

图书在版编目 (CIP) 数据

集成电路版图设计实训 / 刘睿强, 徐雪刚主编. —

成都: 电子科技大学出版社, 2011. 3

ISBN 978 - 7 - 5647 - 0764 - 4

I. ①集… II. ①刘… ②徐… III. ①集成电路—设计 IV. ①TN402

中国版本图书馆 CIP 数据核字 (2011) 第 024883 号

内 容 提 要

本书以提高实际工程应用能力为目的, 深入浅出地介绍了集成电路设计概论、Linux 操作系统与 EAD 软件、IC 版图设计主要流程的相关知识。全书共分六个情境, 涵盖了集成电路版图设计的主要内容; 附录介绍了设计中常用的版图设计规则和微电子专业英语词汇。

本书注重理论与工程实践的结合, 选材合理, 书中提供一些实例可以帮助读者正确理解版图设计的基本概念和关键设计理念, 文字叙述清楚, 生动形象, 简明易懂。本书适合作为高职高专微电子及电子信息类专业的教材, 也可用作微电子行业中高级技术工的培训教材, 对版图设计工程师、电路设计工程师等也有一定参考价值。

高等职业教育规划教材 集成电路版图设计实训 主 编 刘睿强 徐雪刚

出 版: 电子科技大学出版社 (成都市一环路东一段 159 号电子信息产业大厦 邮编: 610051)

策划编辑: 徐守铭

责任编辑: 杜 倩 徐守铭

主 页: www.uestcp.com.cn

电子邮箱: uestcp@uestcp.com.cn

发 行: 新华书店经销

印 刷: 四川嘉华印业有限公司

成品尺寸: 185mm×260mm 印张 7.25 字数 186 千字

版 次: 2011 年 3 月第一版

印 次: 2011 年 3 月第一次印刷

书 号: ISBN 978-7-5647-0764-4

定 价: 19.80 元

■ 版权所有 侵权必究 ■

- ◆ 本社发行部电话: 028-83202463; 本社邮购电话: 028-83208003。
- ◆ 本书如有缺页、破损、装订错误, 请寄回印刷厂调换。

序

集成电路的诞生使人类社会进入一个以微电子技术为基础、以集成电路为根本的信息时代。60 年来，集成电路已经广泛应用于军事、民用各行各业、各个领域的各种电子设备中，如计算机、手机、电视、汽车、医疗设备、办公设备、武器装备等等。如今，集成电路技术得到了迅猛发展，以集成电路为核心的电子信息产业已超过了以汽车、石油、钢铁为代表的传统工业，成为第一大产业，也成为改造和拉动传统产业迈向数字时代的强大引擎和雄厚基石。集成电路的设计、制造水平成为衡量一个国家现代化水平和综合实力的重要标志。

版图设计是集成电路设计的重要环节，特别是集成电路已进入纳米工艺和 SoC 时代，版图作为集成电路设计和制造的桥梁，其设计的良莠直接决定集成电路的成败与否。

近 20 年来，我国集成电路产业飞跃发展，急需大量本专业技术人员。不仅需要硕士、博士这类以研究、开发设计为主的高层次人才，同时也需要大量从事版图设计、工艺操作、设备维护等方面工作、同样具有极高专业素养的技术人员。由于高等院校人才培养定位和目标的不同，国内专业版图设计工程人员依然匮乏。

该书作为培养集成电路版图设计人员的辅佐教材，明确技能型人才培养的目标，突出工程性和实用性。作为实训性教材，该书依托 6 个典型电路的版图设计案例，全面介绍了版图设计的整个流程，层次清晰、易学易懂。非常适合指导版图设计初学者进行技能训练。

衷心希望该书的学习者能从中得到专业知识训练，掌握版图设计技能，让一颗颗集成电路在你们手中得以显灵！



微电子与固体电子学院 教授、博导
2011 年 1 月
电子科技大学

前 言

微电子技术是信息科学技术的核心技术之一，微电子产业是当代高新技术产业群的核心和维护国家主权、保障国家安全的战略性产业。在中国电子信息产业振兴规划里面确定了电子信息产业的三大重点任务之一就是立足自主创新，突破关键技术，着重建立自主可控的集成电路产业体系；突破新型显示产业发展瓶颈，提高软件产业自主发展能力；加大投入，集中力量实施集成电路升级，加大鼓励软件和集成电路产业发展政策实施力度。发展集成电路技术的关键之一是培养具有国际竞争力的专业人才。

在集成电路设计业中，版图设计 (layout design) 或者称物理设计 (physical design) 是集成电路设计流程中重要的一环，集成电路版图设计就是通过 EDA 设计工具，进行集成电路后端的版图设计和验证，最终产生送交供集成电路制造用的 GDSII 数据。换句话说也就是根据集成电路设计工程师设计好的电路，对构成电路的元件的版图进行布局、布图及布线，从而实现电路的功能。

全书共分六个情境，涵盖了集成电路版图设计的主要内容。这六个情境，针对不同电路，介绍了不同的设计方法，每一个实例都给出了全流程的介绍，包括电路设计、仿真、版图设计、验证等，最后还介绍了集成电路设计中的若干重要问题。情境 1 N/PMOS 晶体管版图设计，主要讲述设置 Cadence 软件环境，版图的层次与集成电路工艺流程的对应关系，版图设计规则，Cadence Virtuoso Schematic Editor 基本操作，Cadence Virtuoso Layout Editor 基本操作，设计规则检查工具；情境 2 反相器、与非门、或非门版图设计，主要讲述设置 Cadence 软件环境，版图的层次与集成电路工艺流程的对应关系，设计规则应用，操作 Cadence Virtuoso Schematic Editor，操作 Cadence Virtuoso Layout Editor，反相器、与非门、或非门原理，对简单版图进行 DRC 和 LVS；情境 3 触发器版图设计，主要讲述 D 触发器原理，利用 Cadence Virtuoso Schematic Editor 进行较复杂电路的电路图编辑，通过 Cadence Virtuoso Layout Editor 进行较复杂电路的版图编辑，对较复杂电路进行 DRC 和 LVS；情境 4 电压取样电路版图设计，主要讲述电压取样电路原理，电阻的绘制方法，匹配的概念，匹配的技巧；情境 5 比较器版图设计，主要讲述比较器原理，MOS 管匹配技巧，应用版图设计工具；情境 6 DC-DC 版图设计，主要讲述 DC-DC 原理，版图布局，应用版图设计工具进行模块设计。

本书还在附录中介绍了版图设计规则和微电子专业英语词汇，供读者选用。

本书以高职院校培养高素质、技能型人才为目标，以实用、够用为原则，精选教学内容，注重实践环节。当然现代集成电路设计技术是快速发展的，相应的教学内容和教学方法也应不断改进，其中一定还有许多问题值得深入探讨。由于编者水平有限，书中难免有缺点和不足之处，恳请读者批评指正。

我要感谢所有参与编写这本书的人，特别是我的导师、电子科技大学的罗萍教授，感谢她用自己的宝贵时间来指导和审阅本书，并提出了许多的宝贵建议，在此致以深深的谢意和敬意。

目 录

情境 1 N/PMOS 晶体管版图设计	1
1.1 项目创建	2
1.1.1 项目目录创建	2
1.1.2 软件环境设置	3
1.1.3 建立设计单元	9
1.2 电路图编辑	10
1.3 版图编辑	13
1.4 设计规则检查	18
情境 2 反相器、与非门、或非门版图设计	23
2.1 项目创建	24
2.1.1 软件环境设置	24
2.1.2 启动 Cadence	25
2.1.3 建立设计单元	25
2.2 电路图编辑	26
2.3 版图编辑	29
2.4 版图验证	37
2.4.1 设计规则检查	37
2.4.2 版图与电路一致性检查	39
情境 3 触发器版图设计	42
3.1 项目创建	43
3.1.1 项目目录创建	43
3.1.2 启动 Cadence	43
3.1.3 建立设计单元	43
3.2 电路图编辑	44
3.3 版图编辑	48
3.4 版图验证	50
3.4.1 设计规则检查	51
3.4.2 版图与电路一致性检查	55

情境 4 电压取样电路版图设计	58
4.1 项目创建	59
4.1.1 软件环境设置	59
4.1.2 启动 Cadence	59
4.1.3 建立设计单元	59
4.2 电路图编辑	60
4.3 版图编辑	63
4.4 版图验证	65
4.4.1 设计规则检查	65
4.4.2 版图与电路一致性检查	69
情境 5 比较器版图设计	73
5.1 项目创建	74
5.1.1 软件环境设置	74
5.1.2 启动 Cadence	74
5.1.3 建立设计单元	74
5.2 电路图编辑	75
5.3 版图编辑	78
5.4 版图验证	81
5.4.1 设计规则检查	82
5.4.2 版图与电路一致性检查	86
情境 6 DC-DC 版图设计	89
6.1 项目创建	90
6.1.1 软件环境设置	90
6.1.2 启动 Cadence	90
6.1.3 建立设计单元	90
6.2 电路图编辑	91
6.3 版图编辑	91
6.4 版图验证	94
附录 1 版图设计规则	95
附录 2 微电子专业英语词汇	98
参考文献	110

【学习目标】

- (1) 设置 Cadence 软件环境;
- (2) 初步理解版图的层次与集成电路工艺流程的对应关系;
- (3) 初步理解设计规则, 并能应用在实际的版图设计中;
- (4) 掌握 CadenceVirtuosoSchematicEditor 基本操作;
- (5) 掌握 CadenceVirtuosoLayoutEditor 基本操作;
- (6) 掌握设计规则检查工具。

【重点难点】

- (1) 版图的层次与集成电路工艺流程的对应关系;
- (2) 设计规则的理解;
- (3) N/PMOS 晶体管版图绘制;
- (4) 设计规则检查流程。

【参考学时】

参考学时为 6 学时。

情境 1 N/PMOS 晶体管版图设计

1. 任务目的

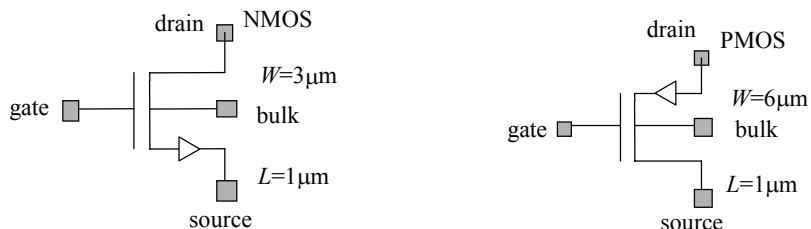
通过设计一个 N/PMOS 晶体管版图, 了解 Cadence 软件环境设置、设计规则, Cadence Virtuoso Schematic Editor 和 Cadence Virtuoso Layout Editor 的基本操作, 以及 DRC 流程。

2. 任务要求

完成 Cadence 设计软件环境设置后, 将给定 N/PMOS 晶体管的电路图通过 Cadence Virtuoso Schematic Editor 绘制出来, 通过 Cadence Virtuoso Layout Editor 绘制 N/PMOS 晶体管版图, 并通过 DRC 验证。

3. 电路图

N/PMOS 晶体管电路图如图 1.1 所示, 其中 NMOS 晶体管的长为 $1\mu\text{m}$, 宽为 $3\mu\text{m}$; PMOS 晶体管的长为 $1\mu\text{m}$, 宽为 $6\mu\text{m}$ 。



(a) NMOS 电路图

(b) PMOS 电路图

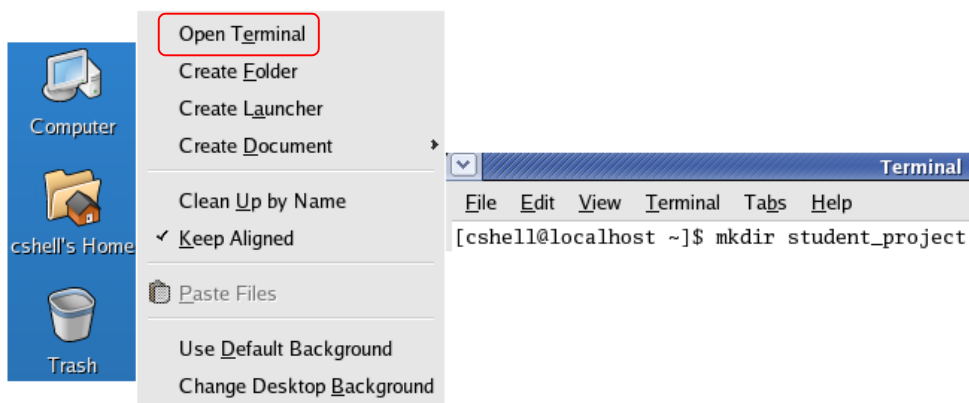
图 1.1 N/PMOS 晶体管电路图

1.1 项目创建

在进行版图绘制之前，我们需要做一些准备工作，比如软件环境的设置、技术文件的导入以及版图图层颜色定义等。由于技术文件中自带了版图图层颜色定义文件，即显示文件 display.drf，我们只需将该文件拷贝到设计项目文件夹即可。

1.1.1 项目目录创建

进入 Linux 后，看到如图 1.2 (a) 所示的桌面；在空白处用鼠标右键点击后，出现如图 1.2 (b) 所示的右键菜单；选择 Open Terminal，在开启的终端输入 `mkdir student_project`，并回车，如图 1.2 (c) 所示。这样我们就在当前目录下建立了 `student_project` 的项目文件夹。在下面的操作中，与教材相关的项目文件都放在这个文件夹中，以方便管理。



(a) 桌面

(b) 右键菜单

(c) 终端输入命令

图 1.2 项目目录创建

【小提示】

在 Linux 中输入命令时，大写和小写是不同的。

1.1.2 软件环境设置

1. 文件传输

把技术文件 `techfile.tf` 和显示文件 `display.drf` 拷贝到 `student_project` 项目文件夹中。

【小提示】

(1) 技术文件是什么

技术文件是芯片制造厂为版图设计者提供的工艺细节规定，包括层定义、器件定义、布线规则和层、物理、电学规则等。其中，层定义主要包括层用途、LSW 中显示的工艺层、层的显示、层的属性等。物理规则中主要定义了层与层之间的最小间距等。

(2) 显示文件是什么

显示文件主要为版图设计者提供颜色、条纹和线形的定义，包括颜色定义、条纹定义、线形定义、显示包定义（列出各层对应的颜色、条纹、线形）等。

(3) 为什么需要拷贝这两个文件

版图设计必须考虑具体的工艺实现，故存放版图的设计库 Library（可以理解为设计项目），它的层次必须和具体的工艺对应起来。同时版图的层次显示对于版图设计也很重要，如果各版图层次的颜色定义不合理，会给版图设计带来不小的困难。所以在设计版图时，必须先要有技术文件 `techfile.tf` 和显示文件 `display.drf`。

有两种文件传输的方法：

如果通过服务器连接使用 Cadence，则文件的上传和下载是通过 `flashfxp` 进行传输的；如果运用虚拟机来使用单机版 Cadence，则需要进行如下设置，以便文件的传输。

点击虚拟机上的菜单 `VM→Settings`，如图 1.3 所示。

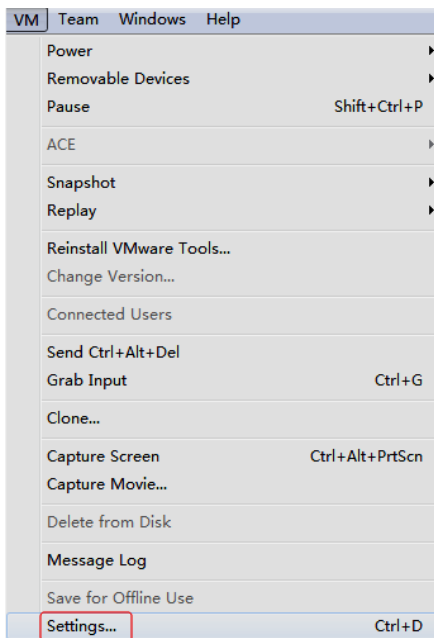


图 1.3 点击 `VM→Settings`

然后在 VM→Settings 中设置，如图 1.4 所示。步骤如下：

Options→Shared Folders→Always enabled，填写 Windows 中共享文件夹所在的路径，例如 E:\share。

把传给 Linux 的文件：techfile.tf 和 display.drf 拷贝到 Windows 系统的共享文件夹 E:\share 中，然后通过虚拟机进入 Linux，再在 Linux 中通过访问/mnt/hgfs/共享文件夹，把共享文件夹中的文件拷贝到项目文件夹 student_project 中，如图 1.5 所示。

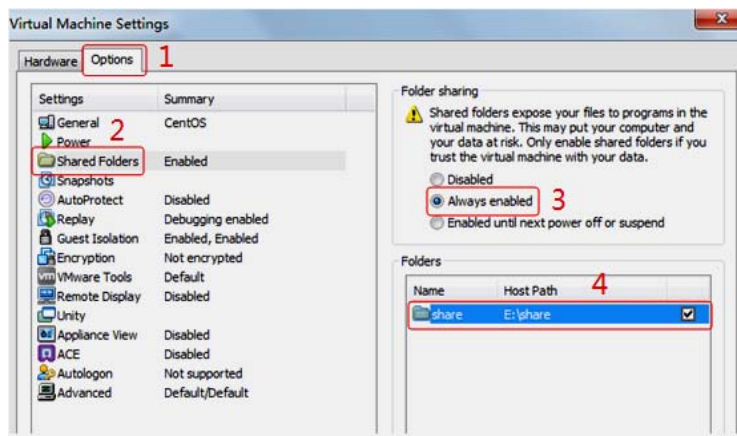


图 1.4 虚拟机具体设置

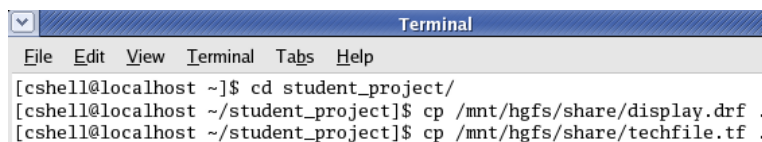


图 1.5 技术文件拷贝

【小提示】

如果没有安装 Vmware Tools，则在 Linux 中看不到共享文件。
Linux 通过访问/mnt/hgfs/共享文件夹来访问 Windows 中的文件。
在 Linux 中“.”代表当前目录。

2. 启动 Cadence

在终端窗口输入 icfb&，回车，即可启动 Cadence，如图 1.6 所示。

```
[cshell@localhost ~/student_project]$ icfb&
```

图 1.6 启动 Cadence

【小提示】

启动 Cadence 时，随着输入的命令的不同，启动的模块功能也不同。
输入的命令可以分如下三种。

(1) 前端启动命令: 如 icde 启动的模块功能基本是数字模拟设计输入, 而 icms 启动的模块功能基本是前端模拟、混合、微波设计;

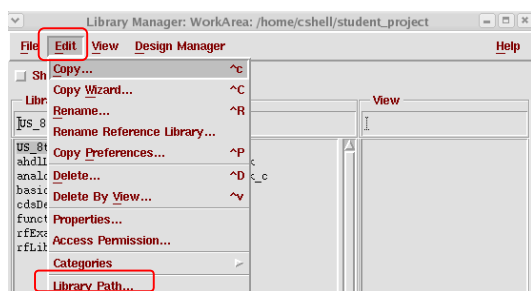
(2) 版图工具启动命令: 如 layout 启动的模块功能基本是基本的版图设计 (具有交互 DRC 功能);

(3) 系统级启动命令: 如 msfb 启动的模块功能为混合信号 IC 设计, 如 icfb 启动的模块功能为前端到后端的绝大多数设计工具。

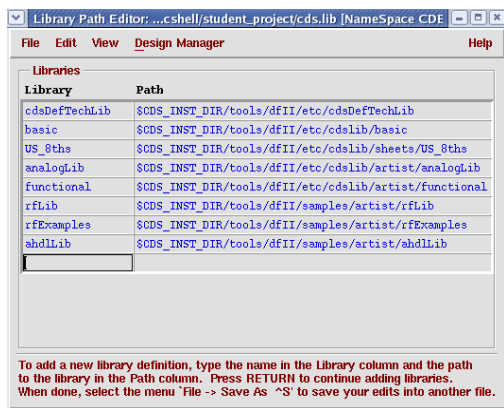
3. 加入器件库

在打开的 Library Manager 中调入厂家的器件库文件, 这个器件库文件一般放在厂家提供的技术文件中的 libs 文件夹中。我们以添加库的形式将此器件库加入到当前的 Library Manager 中, 步骤如下。

步骤 1: 在 Library Manager 中依次点击 Edit→Library Path..., 如图 1.7 (a) 所示, 出现如图 1.7 (b) 所示的窗口。



(a) 打开库路径编辑器



(b) 库路径窗口

图 1.7

步骤 2: 在 Library Path Editor 窗口中依次点击 Edit→Add Library..., 出现一个添加库窗口, 如图 1.8 所示。

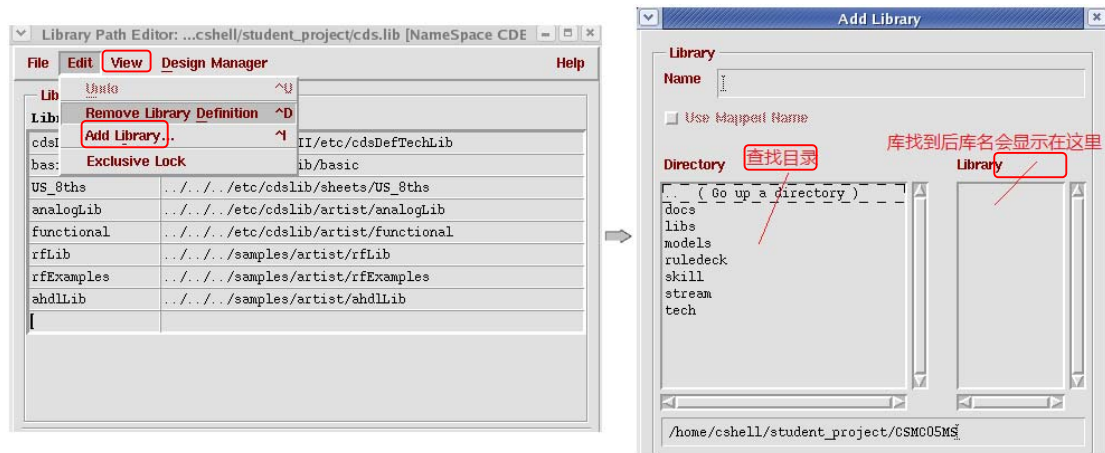


图 1.8 添加库窗口

步骤 3: 在查找目录一栏中逐级打开目录，找到厂家提供的器件库目录 libs 后双击（这里为了方便操作，将厂家提供的器件库放在 student_project 中），相应的库文件就会显示在 Library 一栏中。

本例中对应的库文件为 CSMC05MS（本书涉及的工艺库都为 CSMC05MS）。

选中 CSMC05MS 文件后，单击“OK”确认。这样，器件库就添加到 Library Manager 中了，如图 1.9 所示。

步骤 4: 保存后覆盖原有的 cds.lib 文件，退出即可。如图 1.10 所示。

至此，打开 Library Manager 后，可以看到库中已经添加的器件库文件 CSMC05MS。所有的器件信息已经在库中可以看到，如图 1.11 所示。

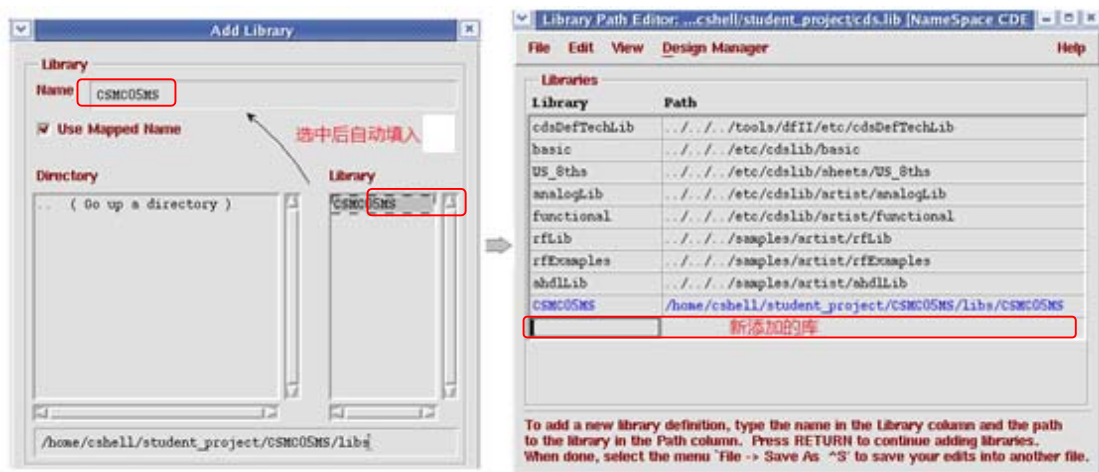


图 1.9 添加库后的 Library

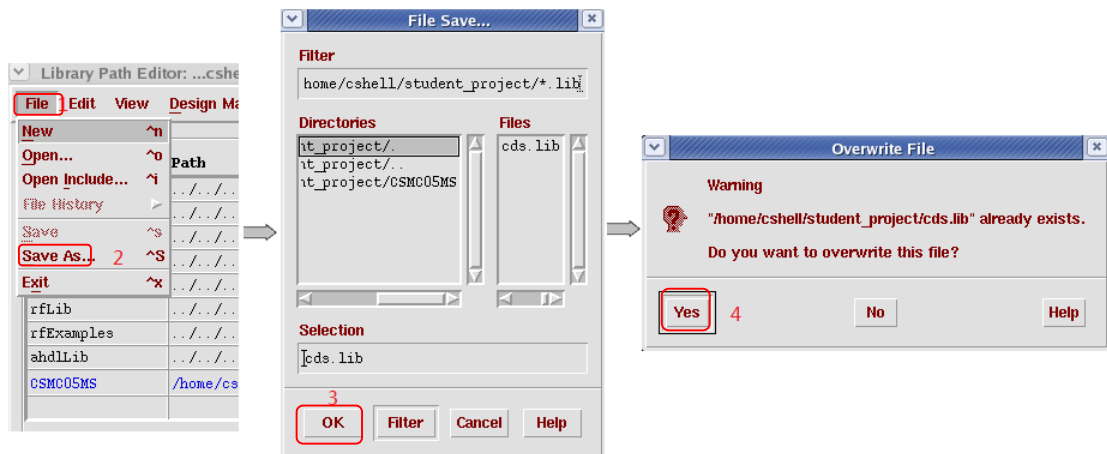


图 1.10 保存库设置

【小提示】

(1) 关于库。从图 1.12 可以看出，Library（库）可以理解为一个设计项目，这个项目有独立的工艺库。Cell（单元）是库的组成元素，而 View 则是单元的各种表达形式，如 Layout（版图）、Schematic（电路图）、Symbol 符号。

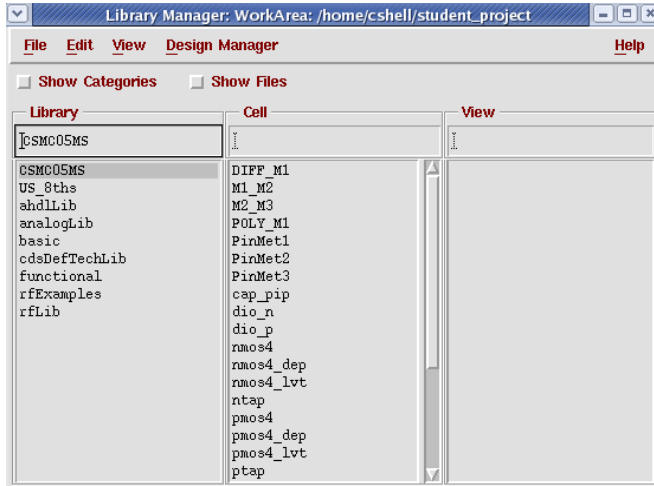


图 1.11 器件库信息

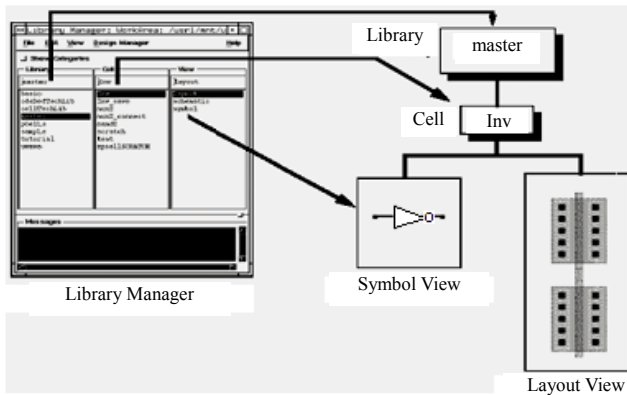
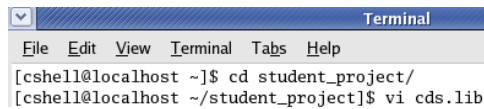
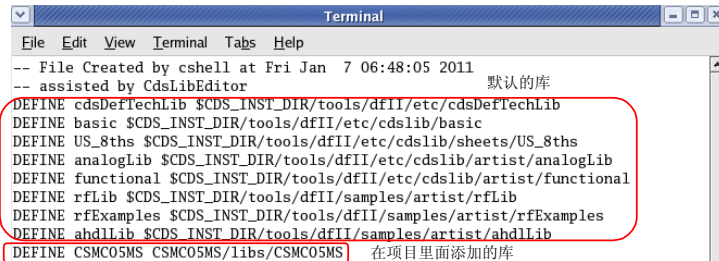


图 1.12 库结构示意图

(2) 添加或者删除库的操作结果可以在项目目录下的 cds.lib 文件中查看, 如图 1.13(a)、图 1.13(b) 所示, 命令为: vicds.lib。



(a) 在项目目录下输入 vi 命令

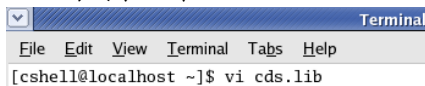


(b) cds.lib 文件内容

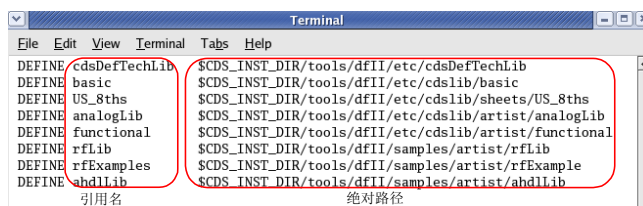
图 1.13

(3) 为了能让某些库成为默认已经添加的库，请参见步骤 3 的操作和图 1.9。必须在进入项目文件夹启动 cadence 之前对用户目录下的 cds.lib 文件作定义，因为用户目录下的 cds.lib 指定了哪些库是默认已经添加的库。在用户目录下用 VI 编辑器编辑 cds.lib，如图 1.14 所示，其中 cds.lib 指明引用名称（在 Cadence 中的标识名）和绝对路径。

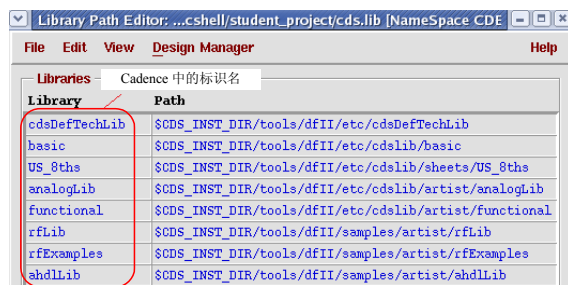
例如：DEFINEcdsDefTechLib\$CDS_INST_DIR/tools/dfII/etc/cdsDefTechLib，
\$CDS_INST_DIR 为 IC5141 的安装目录。



(a) 在用户目录下输入 vi 命令



(b) 在 cds.lib 中定义库的路径和引用名



(c) 在 Cadence 中的标识名

图 1.14

4. 建立设计库

一般情况下，每一个芯片设计项目都对应一个设计库，然后在这个设计库下面创建各个子模块，以方便项目的管理。

步骤：在 Library Manager 中点击 File→New→Library，填入设计库的名字，如图 1.15 所示。

5. 关联到指定工艺库

为新的设计库指定一个工艺库，这里指定的一个工艺库是前面添加的 CSMC05MS 工艺库。

步骤：新建设计库时，完成上述 4 的步骤，点击“OK”后，会出现如图 1.16 (a) 所示的选项。选择第二项：Attach to an existing techfile，点击“OK”；在跳出的对话框中选择 CSMC05MS 工艺库，点击“OK”，如图 1.16 (b) 所示。

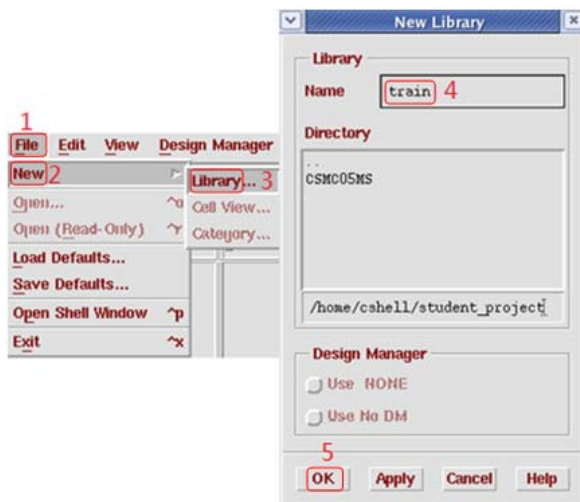
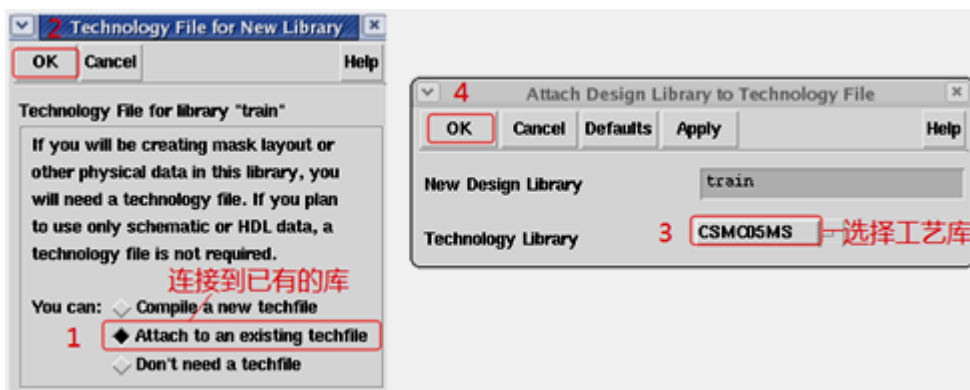


图 1.15 建立设计库



(a) 关联到已有的工艺库

(b) 选择工艺库

图 1.16 关联工艺库

【小提示】

关于 techfile.tf 和图 1.16 (a) 选项:

步骤 5 完成的是把新建的 Library 与提供的 CSMC05MS 工艺库的技术文件关联起来, 新建的 Library 自己本身是不含技术文件的。

在图 1.16 (a) 中, 可以选择第一个选项 Compile a new techfile, 并在后面的选项窗口中选择一个 techfile.tf。通过这种方法可以建立一个含独立技术文件的 Library。

1.1.3 建立设计单元

在 Library Manager 中先点击 Library 列表中的 train, 然后再点击 File→New→Cell View, 在弹出的对话框中填入单元名: pmos, 最后点击“OK”, 如图 1.17 所示。