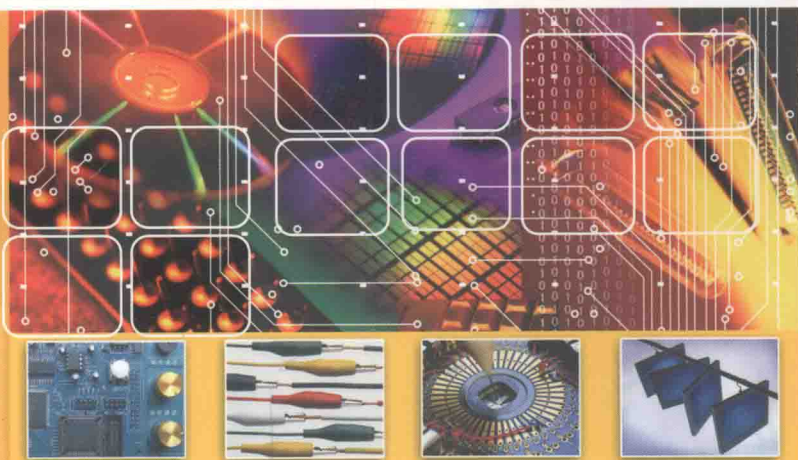





高等职业教育“十二五”规划教材
高职高专电子信息类系列教材

EDA技术及其应用

(第二版)



潘松 王芳 张筱云 编著

 免费提供
电子课件

 科学出版社

高等职业教育“十二五”规划教材

高职高专电子信息类系列教材

EDA 技术及其应用

(第二版)

潘 松 王 芳 张筱云 编著

科学出版社

北 京

内 容 简 介

本书采用教、学、做相结合的教学模式,以提高实际工程应用能力为目的,通过实例引入,深入浅出地介绍 EDA 技术、Verilog 硬件描述语言、FPGA 开发应用及相关知识,并给出了丰富的 EDA 设计实例,使读者通过学习本书并完成推荐的实训,能初步了解和掌握 EDA 的基本内容及实用技术。

本书内容分四部分,第一部分简要介绍了 EDA 技术背景知识、常用的 EDA 基本工具使用方法和目标器件的结构原理;第二部分通过实例,以向导的形式介绍了三种不同的设计输入方法;第三部分对 Verilog HDL 的设计作了介绍;第四部分详细讲述了基于 EDA 技术的典型的设计项目。各章都给出了教学目标,并安排了相应的习题和有较强针对性的实训项目。为了方便本课程的授课和实训指导,本书配有与各章节内容完全对应的教学课件,下载网站 www.abook.cn。

本书实用性强,可作为高职高专院校电子工程、通信、工业自动化、计算机应用技术、仪器仪表等专业的教材,也可作为相关专业技术人员的自学参考书。

图书在版编目(CIP)数据

EDA 技术及其应用/潘松,王芳,张筱云编著. —2 版. —北京:科学出版社,2011

(高等职业教育“十二五”规划教材·高职高专电子信息类系列教材)

ISBN 978-7-03-030838-2

I. ①E… II. ①潘… ②王… ③张… III. ①电子电路-电路设计:计算机辅助设计-高等教育-教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2011)第 070534 号

责任编辑:赵卫江/责任校对:马英菊

责任印制:吕春珉/封面设计:子时文化

科学出版社 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

双青印刷厂印刷

科学出版社发行 各地新华书店经销

*

2007 年 12 月第 一 版 开本:787×1092 1/16

2011 年 6 月第 二 版 印张:15 1/2

2011 年 6 月第七次印刷 字数:351 000

印数:23 001—26 000

定价:29.00 元

(如有印装质量问题,我社负责调换〈双青〉)

销售部门电话 010-62134988 编辑部电话 010-62138017

版权所有,侵权必究

举报电话:010-64030229; 010-64034315; 13501151303

前 言

随着电子技术的不断发展与进步，电子系统的设计方法发生了很大的变化，基于 EDA 技术的设计方法正在成为电子系统设计的主流，因此 EDA 技术已成为许多高职高专院校电类专业学生必须掌握的一门重要技术技能。

本书的主要内容是参照高等职业技术教育电子信息类专业的实际要求编写的，依据教育部“关于全面提高职业教育教学质量的若干意见”的精神，借鉴了德国职业教育的双元制思想，即基于工作过程为导向的课程开发与教学过程设计思想，以就业为导向，创新教学模式，同时本着“理论够用、突出应用”的宗旨，是专为高职高专院校培养“技术能手”型学生编写的。本书在编写过程中，总结了几年来不同院校、不同专业 EDA 技术课程的教学经验，力求在内容、结构、理论教学与实践引导等方面充分体现和适应高职教育的特点。

为了更加突出和强化就业和实用的导向，在第二版中的硬件描述语言部分，全部改用 Verilog HDL 语言（第一版是基于 VHDL 的）。这是考虑到在现代电子设计领域，Verilog HDL 作为 IEEE 标准的两大主流 HDL 之一，相比于 VHDL，具有易学易用和享有 ASIC 设计领域的主导地位等诸多优势。在全球范围内其用户覆盖率一直处于上升趋势；统计资料表明 Verilog HDL 的行业覆盖率现已超过 80%，在美国和日本的比率则更高，已占有绝对优势。例如美国 Verilog HDL 的行业占有率已达 90%，并仍有上升趋势。由此势必导致我国 Verilog HDL 相关就业领域人才需求的不断增加。

与同类书相比，本书具有以下特点。

1. 教、学、做相结合，将理论与实践融于一体

EDA 技术及其应用是一门应用性很强的课程，我们在多年的教学过程中，一直采用教、学、做相结合的教学模式，效果良好。这种经验充分体现在本书内容的编排上，在章节的安排上，将理论与实训融为一体。书中的每个章节以明确的设计任务为导向，从最基本的应用实例出发，由实际问题入手引出相关知识和理论。此外，本书还在各个章节安排了针对性较强的实训项目，保证理论学习与实践操作同步进行。

2. 理论够用为度，着眼于应用

考虑到高等职业教育的特点，本书在编写时按照贴近目标、保证基础、面向更新、联系实际、突出应用的原则，以“必需、够用”为度，突出重点，注重培养学生的操作技能和分析问题、解决问题的能力。书中对 EDA 技术的基本理论、EDA 工具 Quartus II 使用方法、Verilog 知识、FPGA 开发技术等内容进行了必要的阐述，但没有安排传统教学中常见的一些烦琐的器件工作原理分析，以及使用并不多的相关 EDA 软件技术等内容。同时，本书十分注重 EDA 技术在实际中的应用，列举了大量应用实例，介绍利用 CPLD/FPGA 器件设计制

作数字系统的步骤和方法,使学生能借助基本内容,举一反三,灵活应用。

例如,本书对 DDS(直接数字综合器)原理的介绍以及与之相关的数字信号发生器 EDA 设计技术的介绍和实训项目安排的内容,恰好与全国高职高专电子设计竞赛题(信号发生器设计)的设计要求相吻合!同时也说明了 EDA 技术在高职高专教学中的重要性。

3. 内容安排合理,注重速成

一般来说,EDA 技术的学习难点在于硬件描述语言,对此,本书基于高等职业教育的特点,在内容安排上放弃流行的计算机语言的教学模式,而以电子线路设计为基点,以设计任务为导向,从实例的介绍中引出 Verilog 语句语法内容,通过一些简单、直观、典型的实例,将 Verilog 中最核心、最基本的内容解释清楚,使学生能在很短的时间内有效地把握 Verilog 的主干内容,而不必花大量的时间去“系统地”学习语法。

本书可以作为高职高专与成人教育电类相关专业 EDA 技术课程教材。全书共 6 章。第 1 章简要介绍 EDA 技术、FPGA、硬件描述语言等的基本知识和背景知识;第 2 章通过一个数字频率计设计任务的引导,详细介绍了利用 EDA 开发软件完成数字系统设计的完整流程,却没有涉及多少背景知识,从而为本课程后续内容的学习和实训所必需的动手技能的提高奠定了基础;第 3 章通过数个典型的简单电路设计任务及对应的 Verilog 描述,对由此而引出的 Verilog 语言现象和语句规则加以针对性的说明,使读者能在较少课时的条件下迅速地整体上把握 Verilog 程序的基本结构和设计方法;第 4 章沿用第 3 章的方法,进一步深入揭示 Verilog 在语句应用和电路功能描述上的特点及其特殊用法;第 5 章通过一些设计示例重点介绍 LPM 宏功能模块的使用方法;第 6 章重点介绍了十分实用的基于 Verilog 的不同类型状态机的设计技术。

本书十分适合边教、边做、边学的教学方法。书中各章都安排了许多习题,绝大部分章节都安排了针对性较强的实训实践内容,使学生对每一章的课程教学效果能及时通过实训得到检测和强化。各章设置的大部分实训内容,除给出详细的实训目的、原理和实训报告要求外,还包含多个实训项目(层次),即:第一层次是与该内容相关的验证性操作,课本提供了详细的并被验证的设计程序和实验方法,学生只需将书中提供的设计程序输入计算机,并按要求进行编译仿真,在开发系统上实现即可;第二层次是在上一实验基础上做进一步的发挥;此后的层次属于自主设计或创新性质的操作。授课教师可以根据本课程的实训学时数和教学实验的要求以及学生的学习兴趣布置不同层次的实训项目。

本书无论各章节的理论讲述安排还是实训配置都有很好的内在联系性,同时又具有一定的相对独立性。教师可以根据学时设置情况、专业特点和具体的教学要求,仅选择其中某些章节来讲授,这并不会对知识的系统性、实践性和连贯性有所破坏。例如若有 20 个学时,可以只学前三章,第 1 章只需安排 2 个学时,其他两章安排稍多的学时数,但实训环节的学时数不能少于整个教学学时数的二分之一,这是速成的最低要求。学习完成后同样能较好地掌握 Verilog 语言、EDA 软件工具的应用和 FPGA 开发技术。

对于学时数较饱满的情况,作者仍然推荐在实训环节上安排大比例的学时数。例如对于 64 学时(包括实训)的情况,本书 6 章的课堂授课可分别安排 2、4、6、6、6、6 学时,其余时间全部用于实训环节。对于每一章的讲授也不必涉猎所有内容,应该留有足够

的内容让学生在实践中自学掌握，这样的学习效果可能会更好，效率会更高。

相信本书中一定有许多问题值得深入探讨，我们真诚地欢迎读者对书中的错误给予批评指正。联系作者的 E-mail 是 eda82@hzcnc.com。本书作者的工作单位分别是杭州电子科技大学、浙江机电职业技术学院和苏州工业园区职业技术学院。

与本书配套的教学课件可免费索取，网址是 www.kx-soc.com，或直接到科学出版社网站 (www.abook.cn) 下载。

作 者

2011 年 5 月

目 录

第 1 章 概述	1
教学目标	1
1.1 EDA 技术	1
1.2 EDA 技术应用对象	2
1.3 硬件描述语言 Verilog HDL	3
1.4 EDA 技术的优势	4
1.5 面向 FPGA 的 EDA 开发流程	5
1.5.1 设计输入	5
1.5.2 综合	6
1.5.3 适配 (布线布局)	7
1.5.4 仿真	7
1.6 可编程逻辑器件	8
1.6.1 PLD 的分类	8
1.6.2 PROM 可编程原理	9
1.6.3 GAL	11
1.7 CPLD 的结构与可编程原理	12
1.8 FPGA 的结构与工作原理	15
1.8.1 查找表逻辑结构	15
1.8.2 Cyclone III 系列器件的结构与原理	16
1.9 硬件测试技术	18
1.9.1 内部逻辑测试	18
1.9.2 JTAG 边界扫描测试	19
1.10 FPGA/CPLD 产品概述	19
1.10.1 Lattice 公司的 PLD 器件	19
1.10.2 Xilinx 公司的 PLD 器件	20
1.10.3 Altera 公司的 PLD 器件	21
1.11 编程与配置	23
1.12 Quartus II	24
1.13 IP 核	26

1.14 EDA 的发展趋势	26
习题	28
第 2 章 原理图输入法逻辑电路设计技术	29
教学目标	29
2.1 原理图输入设计方法的特点	29
2.2 数字频率计设计任务导入	30
2.3 原理图输入方式基本设计流程	31
2.3.1 建立工作库文件夹和存盘原理图空文件	32
2.3.2 创建工程	32
2.3.3 功能简要分析	35
2.3.4 编译前设置	36
2.3.5 全程编译	38
2.3.6 时序仿真测试电路功能	39
2.4 引脚设置和编程下载	43
2.4.1 引脚锁定	43
2.4.2 配置文件下载	44
2.4.3 AS 模式直接编程配置器件	45
2.4.4 JTAG 间接模式编程配置器件	46
2.4.5 USB-Blaster 编程配置器安装方法	47
2.5 层次化设计	47
2.6 6 位十进制频率计设计	51
2.6.1 时序控制器设计	51
2.6.2 顶层电路设计与测试	52
习题	52
实训项目	53
2-1 用原理图输入法设计 8 位全加器	53
2-2 用原理图输入法设计频率计	54
2-3 计时系统设计	55
第 3 章 应用 Verilog HDL 设计数字系统	56
教学目标	56
3.1 组合电路的 Verilog 描述和设计	57
3.1.1 2 选 1 多路选择器设计任务导入	57
3.1.2 2 选 1 多路选择器的 Verilog 描述和设计	58

3.1.3	4 选 1 多路选择器设计任务导入	61
3.1.4	4 选 1 多路选择器的 Verilog 描述和设计	62
3.1.5	4 选 1 多路选择器的数据流描述方式	67
3.1.6	4 选 1 多路选择器的 if 语句描述方式	70
3.1.7	全加器设计任务导入	73
3.1.8	加法器的 Verilog 描述和设计	73
3.2	时序电路的 Verilog 描述和设计	78
3.2.1	边沿触发型触发器设计任务导入	78
3.2.2	边沿触发型触发器的 Verilog 描述和设计	79
3.2.3	电平触发型锁存器设计任务导入	79
3.2.4	电平触发型锁存器的 Verilog 描述	80
3.2.5	含异步复位/时钟使能型触发器设计任务导入	81
3.2.6	含异步复位/时钟使能型触发器的 Verilog 描述	81
3.2.7	同步复位型触发器设计任务导入	82
3.2.8	同步复位型触发器的 Verilog 描述和设计	83
3.2.9	异步复位型锁存器设计任务导入	83
3.2.10	异步复位型锁存器的 Verilog 描述和设计	83
3.2.11	Verilog 的时钟过程表述的特点和规律	84
3.2.12	异步时序模块的 Verilog 描述	86
3.3	计数器的 Verilog 描述和设计	86
3.3.1	4 位二进制计数器设计任务导入	87
3.3.2	4 位二进制计数器的 Verilog 表述和设计	87
3.3.3	功能更全面的计数器设计	88
3.4	Verilog 的描述风格	90
3.4.1	RTL 描述	90
3.4.2	行为描述	91
3.4.3	数据流描述	91
3.4.4	结构描述	92
3.5	基于 HDL 文本输入的硬件设计技术	92
3.5.1	编辑和输入设计文件	92
3.5.2	创建工程和全程编译前约束项目设置	93
3.5.3	全程综合与编译	93
3.5.4	仿真测试	94
3.5.5	RTL 图观察器应用	94
3.5.6	引脚锁定	94
3.5.7	利用引脚属性定义方式锁定引脚	95

3.6 嵌入式逻辑分析仪使用方法	96
习题	100
实训项目	102
3-1 计数器设计	102
3-2 多路选择器设计	103
3-3 十六进制 7 段数码显示译码器设计	103
3-4 移位相加型 8 位硬件乘法器设计	105
第 4 章 Verilog HDL 设计技术深入	107
教学目标	107
4.1 过程中的两类赋值语句	107
4.1.1 阻塞式赋值语句	108
4.1.2 非阻塞式赋值语句	108
4.1.3 深入认识阻塞式赋值和非阻塞式赋值的特点	110
4.2 过程语句结构总结	114
4.3 移位寄存器设计	118
4.3.1 含同步预置功能的移位寄存器设计	118
4.3.2 模式可控的移位寄存器设计	119
4.3.3 使用移位操作符设计移位寄存器	120
4.4 乘法器设计任务及相关语句应用	122
4.4.1 参数定义关键词 parameter	122
4.4.2 整数型寄存器类型定义	122
4.4.3 for 语句用法	123
4.4.4 repeat 语句用法	124
4.4.5 while 语句用法	124
4.5 if 语句一般用法	126
4.6 三态与双向端口设计	129
4.6.1 三态控制电路设计	129
4.6.2 双向端口设计	130
4.6.3 三态总线控制电路设计	132
4.7 半整数与奇数分频电路设计	135
4.8 文字规则	136
4.9 操作符	139
习题	139
实训项目	140
4-1 半整数与奇数分频器设计	140

4-2	VGA 彩条信号显示控制电路设计	141
4-3	4×4 阵列键盘键信号检测电路设计	144
4-4	串行静态显示控制电路设计	146
第 5 章 宏功能模块使用方法		147
教学目标		147
5.1	基于 LPM 模块的计数器设计	148
5.1.1	计数器 LPM 模块文本文件的调用	148
5.1.2	LPM 计数器程序与参数传递语句	149
5.1.3	创建工程与仿真测试	151
5.2	流水线乘法累加器设计	151
5.2.1	LPM 加法器模块设置	152
5.2.2	LPM 乘法器模块设置	153
5.2.3	仿真乘法累加器	154
5.2.4	乘法器的 Verilog 文本表述和相关属性设置	155
5.3	LPM_RAM 模块的设置	156
5.3.1	初始化文件生成	156
5.3.2	LPM_RAM 设置和调用	158
5.3.3	测试 LPM_RAM	160
5.3.4	存储器的 Verilog 文本描述及相关属性应用	160
5.4	LPM_ROM 的定制和使用	164
5.4.1	LPM_ROM 定制和测试	164
5.4.2	LPM 存储器模块替代设置	165
5.4.3	正弦信号发生器设计	166
5.4.4	硬件实现和测试	167
5.5	在系统存储器数据读写编辑器应用	168
5.6	嵌入式锁相环 ALTPLL 调用	170
5.6.1	嵌入式锁相环参数设置	170
5.6.2	锁相环调用注意事项	172
5.7	DDS 实现原理与应用	173
5.7.1	DDS 原理	173
5.7.2	DDS 信号发生器设计	175
习题		176
实训项目		176
5-1	查表式硬件运算器设计	176

X 目 录

5-2 正弦信号发生器设计	177
5-3 基于 Verilog 表述的频率计设计	178
5-4 DDS 正弦信号发生器设计	179
5-5 移相信号发生器设计	180
5-6 VGA 简单图像显示控制模块设计	181
5-7 乐曲硬件演奏电路设计	182
5-8 数码扫描显示电路设计	187
第 6 章 实用状态机设计技术	188
教学目标	188
6.1 Verilog 状态机的一般形式	189
6.1.1 状态机的特点与优势	189
6.1.2 Verilog 状态机的一般结构	191
6.1.3 初始控制与表述	194
6.2 Moore 型状态机设计	195
6.2.1 多过程结构型状态机	195
6.2.2 序列检测器及其状态机设计	199
6.3 Mealy 型状态机设计	200
6.4 不同编码类型的状态机	204
6.4.1 直接输出型编码	204
6.4.2 用宏定义语句定义状态编码	206
6.4.3 宏定义命令语句	207
6.4.4 顺序编码	208
6.4.5 一位热码编码	209
6.4.6 状态编码设置	209
6.5 状态机容错技术	211
6.5.1 状态导引法	212
6.5.2 状态编码监测法	212
6.5.3 借助 EDA 工具自动生成安全状态机	213
6.6 硬件数字技术排除毛刺	213
6.6.1 延时方式去毛刺	213
6.6.2 逻辑方式去毛刺	215
6.6.3 定时方式去毛刺	216
习题	217
实训项目	218

6-1 序列检测器设计	218
6-2 ADC 采样控制电路设计	218
6-3 五功能智能逻辑笔设计	220
6-4 点阵型与字符型液晶显示器驱动控制电路设计	221
6-5 硬件消抖动电路设计	221
6-6 数字彩色液晶显示控制电路设计	221
6-7 PS2 键盘控制模型电子琴电路设计	222
6-8 状态机控制串/并转换 8 数码静态显示	224
附录 EDA 开发系统使用简介	225
主要参考文献	234

第1章

概 述

教学目标

知识教学目标

1. 了解 EDA 技术的基本内容、主要特点和发展趋势；
2. 了解 EDA 技术对于电子技术的重要性及其实用领域；
3. 理解 HDL、综合、适配、仿真、IP 等基本概念；
4. 了解 PLD 器件的结构特点和工作原理；
5. 了解 CPLD 与 FPGA 可编程或可重构的基本原理；
6. 了解基于 EDA 技术的数字逻辑系统开发流程。

作 为导论，本章简要而全面地介绍了 EDA 技术、EDA 工具、EDA 的应用情况和发展趋势，其中重点介绍了基于 EDA 的 FPGA 开发技术概况。

考虑到本章中出现的一些基本概念和名词有可能涉及较多的基础知识和更深入的 EDA 基础理论，故对于本章的学习仅要求读者作一般性的了解，无需深入探讨。因为待学习完本教程，并完成了本教材配置的必要的实训项目后，许多问题都会自然而然地弄明白的。不过需要强调，认真学习本章的重要性并不能因此而被低估。

1.1 EDA 技术

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术，即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机，在 EDA 工具软件平台上，对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件，自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。EDA 技术使得设计者的工作仅限于利用软件的方式来完成对系统硬件功能的实现，这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装、FPGA/CPLD 编程下载和自动测试等技术；在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念；而在现代电子学方面则容纳了更多的内容，如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术等。因此 EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容以及与电子技术各学科领域的相关性，其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件，以及电子设计技术和工艺的发展是同步的。

就过去近 30 年电子技术的发展历程，大致可将 EDA 技术的发展分为三个阶段。

20 世纪 70 年代，在集成电路制作方面，MOS 工艺已得到广泛的应用。可编程逻辑技术及其器件已经问世，计算机作为一种运算工具已在科研领域得到广泛应用。而在后期，CAD 的概念已见雏形，这一阶段人们开始利用计算机取代手工劳动，辅助进行集成电路版图编辑、PCB 布局布线等工作，这是 EDA 技术的雏形。

20 世纪 80 年代，集成电路设计进入了 CMOS（互补场效应管）时代。复杂可编程逻辑器件已进入商业应用，相应的辅助设计软件也已投入使用；而在 80 年代末，出现了 FPGA，CAE 和 CAD 技术的应用更为广泛，它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析、逻辑设计、逻辑仿真、布尔方程综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和标准化方面的重大进步，为电子设计自动化必须解决的电子线路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代，计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时，电子技术在通信、计算机及家电产品生产中的市场需求和技术需求，极大地推动了全新的电子设计自动化技术的应用和发展。特别是集成电路设计工艺步入了超深亚微米阶段，百万门以上的大规模可编程逻辑器件的陆续面世，以及基于计算机技术的面向用户的低成本大规模 ASIC^{*}设计技术的应用，促进了 EDA 技术的形成。更为重要的是，各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的出现，都有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后，得到了更大的发展，突出表现在以下几个方面：

- 在 FPGA 上实现 DSP（数字信号处理）应用成为可能，用纯数字逻辑进行 DSP 模块的设计，使得高速 DSP 实现成为现实，并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术，为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟，使得 SOPC（System On a Programmable Chip）步入大规模应用阶段，也使得在一单片 FPGA 中实现一个完备的嵌入式系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- EDA 使得电子领域各学科的界限更加模糊，更加互为包容，如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA 等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP（Intellectual Property）核在电子产业的产业领域广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言（如 System C）的出现，使复杂电子系统的设计和验证趋于简单。

1.2 EDA 技术应用对象

一般地，利用 EDA 技术进行电子系统设计的最后目标，是完成专用集成电路 ASIC 或印制电路板（PCB）的设计和实现（图 1-1）。其中，PCB 设计指的是电子系统的印制电

电路板设计，从电路原理图到 PCB 上元件的布局、布线、阻抗匹配、信号完整性分析及板级仿真，到最后的电路板机械加工文件生成，这些都需要相应的计算机 EDA 工具软件辅助设计者来完成，这仅是 EDA 技术应用的一个重要方面，但本书限于篇幅不作展开。ASIC 作为最终的物理平台，集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。

专用集成电路就是具有专门用途和特定功能的独立集成电路器件，根据这个定义，作为 EDA 技术最终实现目标的 ASIC，可以通过三种途径来完成（如图 1-1 所示）。

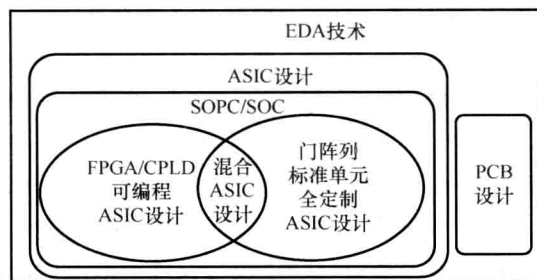


图 1-1 EDA 技术实现目标

1. 可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件，它们的特点是：直接面向用户，具有极大的灵活性和通用性；使用方便，硬件测试和实现快捷；开发效率高，成本低，上市时间短；技术维护简单，工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术、SOC 和 ASIC 设计，以及对自动设计与自动实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有类似之处，因此这类器件通常也被称为可编程专用 IC，或可编程 ASIC。

2. 半定制或全定制 ASIC

基于 EDA 技术的半定制或全定制 ASIC，根据它们的实现工艺，可统称为掩模 (Mask) ASIC，或直接称 ASIC。可编程 ASIC 与掩模 ASIC 相比，不同之处在于前者具有面向用户的灵活多样的可编程性，即硬件结构的可重构特性。

3. 混合 ASIC

混合 ASIC（不是指数模混合 ASIC）主要指既具有面向用户的 FPGA 可编程功能和逻辑资源，同时也含有可方便调用和配置的硬件标准单元模块，如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。

1.3 硬件描述语言 Verilog HDL

硬件描述语言 HDL 是 EDA 技术的重要组成部分，目前常用的 HDL 主要有 VHDL、Verilog HDL、SystemVerilog 和 System C。其中，Verilog 和 VHDL 在现在 EDA 设计中使用

最多,也得到几乎所有的主流 EDA 工具的支持;而 SystemVerilog 和 System C 这两种 HDL 语言还处于完善过程中,主要加强了系统验证方面的功能。Verilog HDL 是电子设计主流硬件的描述语言之一,且应用范围最广,本书将重点介绍它的编程方法和使用技术。

Verilog HDL (以下简称为 Verilog) 最初由 Gateway Design Automation 公司(简称 GDA) 的 Phil Moorby 在 1983 年创建。起初,Verilog 仅作为 GDA 公司的 Verilog-XL 仿真器的内部语言,用于数字逻辑的建模、仿真和验证。Verilog-XL 推出后获得了成功和认可,从而促使 Verilog HDL 的发展。1989 年 GDA 公司被 Cadence 公司收购,Verilog 语言成为了 Cadence 公司的私有财产。1990 年 Cadence 公司成立了 OVI (Open Verilog International) 组织,公开了 Verilog 语言,并由 OVI 负责促进 Verilog 语言的开发。在 OVI 的努力下,1995 年,IEEE 制定了 Verilog HDL 的第一个国际标准,即 IEEE Std 1364-1995,即 Verilog 1.0。

2001 年,IEEE 发布了 Verilog HDL 的第二个标准版本 (Verilog 2.0),即 IEEE Std 1364-2001,简称为 Verilog-2001 标准。由于 Cadence 公司在集成电路设计领域的影响力和 Verilog 的易用性,Verilog 成为基层电路建模与设计中最流行的硬件描述语言。

Verilog 的部分语法是参照 C 语言的语法设立的(但与 C 有本质区别),因此,具有很多 C 语言的优点,从形式表述上来看,Verilog 代码简明扼要,使用灵活,很容易上手,但语法规定不是很严谨。Verilog 具有很强的电路描述和建模能力,能从多个层次对数字系统进行建模和描述,从而大大简化了硬件设计任务,提高了设计效率和可靠性。在语言易读性、层次化和结构化设计方面表现了强大的生命力和应用潜力。因此,Verilog 支持各种模式的设计方法:自顶向下与自底向上或混合方法,在面对当今许多电子产品生命周期缩短,需要多次重新设计以融入最新技术、改变工艺等方面,Verilog 具有良好的适应性。

1.4 EDA 技术的优势

传统的数字电子系统或 IC 设计中,手工设计占了很大的比例。设计流程中,一般先按电子系统的具体功能要求进行功能划分,然后对每个子模块画出真值表,用卡诺图进行手工逻辑简化,写出布尔表达式,画出相应的逻辑线路图,再据此选择元器件,设计电路板,最后进行实测与调试。传统数字技术的手工设计方法的缺点:

- 复杂电路的设计、调试十分困难。
- 由于无法进行硬件系统仿真,如果某一过程存在错误,查找和修改十分不便。
- 设计过程中产生大量文档,不易管理。
- 对于 IC 设计而言,设计实现过程与具体生产工艺直接相关,因此可移植性差。
- 只有在设计出样机或生产出芯片后才能进行实测。
- 所能设计完成的系统规模通常很小,抗干扰能力差,工作速度也很低。

相比之下,EDA 技术有很大不同:

(1) 用 HDL 对数字系统进行抽象的行为与功能描述以及具体的内部线路结构描述,从而可以在电子设计的各个阶段、各个层次进行计算机模拟验证,保证设计过程的正确