



全国高等职业教育“十二五”规划教材
中国电子教育学会推荐教材
全国高等职业教育规划教材·精品与示范系列

国家精品课
配套教材

FPGA/CPLD应用技术 (Verilog语言版)第2版

◎ 王静霞 主编 ◎ 余 菲 温国忠 副主编

—— 全国畅销同类教材

—— 根据课程改革优化工作任务

—— 经过修订内容更加科学合理

—— 提供丰富的教学资源



今日努力, 将成就明日梦想, 加油!



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

全国高等职业教育“十二五”规划教材
中国电子教育学会推荐教材
全国高等职业教育规划教材·精品与示范系列

国家精品课
配套教材

FPGA/CPLD 应用技术

(Verilog 语言版) 第 2 版

王静霞 主编
余 菲 温国忠 副主编

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书在第1版得到广大院校老师认可与选用的基础上,按照最新的职业教育教学改革要求,结合近几年的课程改革成果,以及作者多年的校企合作经验进行修订编写。全书以工作任务为导向,系统地介绍数字系统设计开发环境、可编程逻辑器件的结构和开发工具软件、Verilog HDL 语言及其应用、组合逻辑电路设计、时序逻辑电路设计、数字系统的验证、数字系统设计实践等。

全书共安排了24个工作任务,由工作任务入手,引入相关的知识点,通过技能训练引出相关概念、设计技巧,体现做中学、学中练的教学思路与职业教育特色。

本书内容精炼,易于教学,为高职高专院校电子信息类、计算机类、自动化类等专业的教材,也可作为应用型本科、开放大学、成人教育、自学考试、中职学校及培训班的教材,也是电子工程技术人员的一本参考工具书。

本书配有电子教学课件、习题参考答案、Verilog HDL 代码文件和精品课网站,详见前言。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

FPGA/CPLD 应用技术: Verilog 语言版/王静霞主编. —2 版. —北京:电子工业出版社,2014.7

全国高等职业教育规划教材·精品与示范系列

ISBN 978-7-121-23826-0

I. ①F… II. ①王… III. ①可编程逻辑器件-系统设计-高等职业教育-教材 ②硬件描述语言-程序设计-高等职业教育-教材 IV. ①TP332.1 ②TP312

中国版本图书馆 CIP 数据核字(2014)第 156889 号

策划编辑:陈健德(E-mail:chenjd@phei.com.cn)

责任编辑:陈健德

印 刷:三河市鑫金马印装有限公司

装 订:三河市鑫金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:20.25 字数:518 千字

版 次:2010 年 12 月第 1 版

2014 年 7 月第 2 版

印 次:2014 年 7 月第 1 次印刷

定 价:43.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

第 2 版前言



随着微电子技术的快速发展,可编程逻辑器件应用技术得到了广泛应用,社会各行业对本专业技术人员的需求数量逐年提高。可编程逻辑器件作为现代电子设计最新技术的结晶,融合了应用电子技术、计算机技术、信息处理及智能化技术的最新成果,由计算机自动完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真,直至对特定目标芯片的适配编译、逻辑映射和编程下载等工作,从而实现电子产品设计的自动化。这一技术极大地提高了电路设计的效率和可靠性,减轻了设计者的劳动强度,加快了当今社会向数字化社会的进程,许多院校根据行业发展需要都开设了这门课程。

深圳职业技术学院可编程逻辑器件应用技术课程组的教师经过多年的教学改革实践与校企合作,于 2008 年将该课程建设成为国家电子教指委精品课程。结合近几年的课程改革成果,本书基于工作任务进行内容设计,共安排 24 个工作任务,由工作任务入手,引入相关的知识点,通过技能训练引出相关概念、设计技巧,体现做中学、学中练的教学思路与职业教育特色。实践部分有理论分析,理论部分以实践作为依托,理论与实践融为一体,互相补充,循环深入。

所有任务均采用 Verilog HDL 语言设计代码实现。目前,电子设计行业常用的两种硬件描述语言是 VHDL 和 Verilog HDL,这两种语言都应用得比较广泛,其中,Verilog HDL 的语言规则非常接近 C 语言,大多数工程师都可以迅速上手,因而拥有更多的用户,本书就是采用 Verilog HDL 完成所有的设计任务的。提醒:本书中软件绘制原图的部分元件或电路符号与国家标准不完全一致,请注意区别;为与代码叙述一致,正文中部分变量排为正体。

本书任务设计逐层递进、由易到难,体现了可操作性和扩展性,根据难度和综合性可划分为四个层次。第一层包括第 1 章,它是本书与传统数字电路知识的衔接部分,两个任务均采用传统的原理图设计方法,并引入了现代数字系统设计环境,包括可编程逻辑器件硬件系统和常用 EDA 软件设计平台,通过硬件设计载体和软件设计平台的学习,了解各种可编程逻辑器件的电路结构、工作原理,掌握 EDA 工具软件的使用方法,是 EDA 技术学习的第一

步；第二层包括第2章，在第1章的基础上，把设计任务改为采用硬件描述语言进行数字系统设计，在任务中引入硬件描述语言的概念及语法知识点；第三层包括第3~5章，以大量的任务和实例介绍采用 Verilog 语言进行数字系统设计的基本步骤、方法与技巧；第四层包括第6章，从综合应用的角度，给出6个综合设计项目，具有很强的实践性和可操作性。以上四个层次，从内容上看，实例引导，前后呼应；从结构上看，层层递进，深入浅出。

本书内容精炼，避免长篇大论；语言通俗易懂，引入与实践相关的图、表、提示、警告等内容，易于教学，实用性强；参考学时约为80学时，在使用时各院校可根据具体教学情况对内容和学时安排进行适当调整。

本书由王静霞任主编，对本书进行总体策划、编写指导及全书统稿；余菲和温国忠任副主编，协助完成以上工作。具体编写分工为王静霞编写第1章，刘俐编写第2章，余菲编写第3章和第6章，温国忠编写第4、5章。

为了方便教师教学，本书配有电子教学课件、习题参考答案和 Verilog HDL 代码文件等，请有此需要的教师登录华信教育资源网（<http://www.hxedu.com.cn>）免费注册后进行下载，有问题时请在网站留言或与电子工业出版社联系（E-mail: hxedu@phei.com.cn）。读者也可通过该精品课网站（<http://jpke1.szpt.edu.cn/2008/ljqj/>）浏览和参考更多的教学资源。

由于时间紧迫和编者水平有限，书中的错误和缺点在所难免，热忱欢迎读者对本书提出批评和建议。



目 录



第1章 认识数字系统设计开发环境	1
教学导航	1
任务1 基于原理图实现的基本门电路设计	2
1.1 Quartus II 集成开发环境	14
1.1.1 认识 Quartus II 集成开发环境	14
1.1.2 Quartus II 集成开发环境的设计流程	15
1.1.3 常用可编程逻辑器件开发环境	15
任务2 基于原理图实现的2选1数据选择器设计	17
1.2 可编程逻辑器件	21
1.2.1 什么是可编程逻辑器件	21
1.2.2 简单可编程逻辑器件	23
1.2.3 高密度可编程逻辑器件	25
1.2.4 可编程逻辑器件主要厂商	37
1.3 EDA 技术	38
1.3.1 电子系统设计方法	38
1.3.2 FPGA/CPLD 进行电路设计的一般流程	40
知识梳理与总结	41
习题1	42
第2章 Verilog 设计基础	44
教学导航	44
任务3 基于HDL实现的基本门电路设计	45
2.1 Verilog 模块结构与数字系统设计流程	49
2.1.1 HDL 的概念及特点	49
2.1.2 Verilog 电路模块的一般结构	50
2.1.3 基于 Verilog 的系统设计流程	54
任务4 基于HDL实现的2选1数据选择器设计	57
2.2 数据类型、常量及变量	61
2.2.1 标识符	61
2.2.2 常量	62
2.2.3 变量及其数据类型	64
2.3 连续赋值语句及“?:”语句	66
2.3.1 持续赋值语句	66
2.3.2 “?:”语句	67

2.4 运算符及表达式	69
2.4.1 运算符	69
2.4.2 表达式	74
任务5 2位二进制数据比较器的设计	74
2.5 条件语句	80
2.5.1 if 条件语句	80
2.5.2 case 条件语句	83
2.6 循环语句	86
2.6.1 for 语句	86
2.6.2 repeat 语句	87
2.6.3 while 语句	88
2.6.4 forever 语句	88
任务6 4选1数据选择器的设计	88
2.7 Verilog HDL 的模块调用	92
知识梳理与总结	95
习题2	95
第3章 组合逻辑电路设计	97
教学导航	97
任务7 三人表决器设计	98
3.1 组合逻辑电路设计基础	104
3.1.1 组合逻辑电路的定义和基本特征	104
3.1.2 标准 CMOS 组合逻辑电路结构	105
3.1.3 典型组合逻辑电路设计方法	107
3.2 理解 Verilog 的并行语句	108
任务8 一位加法器的设计	111
3.3 运算部件及其设计方法	117
3.3.1 加法器	117
3.3.2 乘法器与除法器	120
任务9 3-8译码器的设计	124
3.4 Verilog 语言的过程及用法	130
3.4.1 过程块和过程语句	130
3.4.2 过程中的阻塞赋值与非阻塞赋值	132
3.4.3 基于过程块的组合逻辑建模标准	135
任务10 基于三态门的双向端口设计	137
3.5 三态门的原理及其应用	143
3.5.1 三态门电路	143
3.5.2 三态门电路应用——多路选择器设计	144
任务11 七段LED数码管显示电路设计	146
3.6 LED 数码管显示电路及其设计方法	152
3.6.1 LED 数码管及其显示电路	152

3.6.2 动态 LED 数码管显示电路设计	155
知识梳理与总结	157
习题 3	157
第 4 章 时序逻辑电路设计	160
教学导航	160
任务 12 上升沿检测电路设计	161
4.1 时序逻辑电路基本概念	164
4.1.1 时序逻辑电路设计中的等效模型	164
4.1.2 触发器的建立时间和保持时间	164
4.1.3 时序分析基础	165
4.1.4 同步电路设计规则	166
任务 13 带异步复位/同步置位端的 D 触发器设计	166
4.2 D 触发器及其设计方法	170
任务 14 计数器设计	174
4.3 计数器及其设计方法	176
4.3.1 计数器基本概念	176
4.3.2 计数器设计方法	176
任务 15 分频器设计	180
4.4 分频器及其设计方法	183
4.4.1 2 的整数次幂的分频器设计	183
4.4.2 偶数分频电路设计	184
4.4.3 占空比为 1:16 的分频电路设计	184
4.4.4 奇数分频电路设计	185
任务 16 流水灯设计	187
4.5 数据寄存器及其设计方法	191
4.5.1 数据寄存器设计	191
4.5.2 移位数据寄存器设计	192
任务 17 采用状态机实现序列检测器设计	195
4.6 状态机及其设计方法	200
4.6.1 状态机的基本概念	200
4.6.2 状态机的几种描述方法	202
知识梳理与总结	206
习题 4	207
第 5 章 数字系统的验证	209
教学导航	209
任务 18 跑表的设计及验证	210
5.1 Modelsim 仿真工具	218
5.2 使用 Modelsim 进行功能仿真	222
5.2.1 Modelsim 的运行方式	222
5.2.2 Modelsim 仿真步骤	223

5.3 Testbench 设计方法	228
5.3.1 Testbench 基本结构	228
5.3.2 简单 CPU 接口激励产生方式	229
5.3.3 仿真结果分析	229
5.3.4 常用产生激励描述方式	229
5.4 常用的 Verilog 测试语句	232
知识梳理与总结	234
习题 5	234
第 6 章 数字系统设计实践	236
任务 19 简易数字钟设计	237
任务 20 可编程多彩霓虹灯设计	247
任务 21 小型运算器设计	257
任务 22 多功能密码锁设计	267
任务 23 交通灯控制器设计	279
任务 24 智能赛道计时器设计	288
任务 25 自动售货机设计	305

第1章

认识数字系统设计开发环境

教学导航

本章从最简单的数字系统设计任务入手,让读者对数字系统设计环境有一个感性的认识,对常用的数字系统开发软件有一个大致的了解,并逐渐熟悉 Quartus II 软件的使用方法及设计流程。

教	知识重点	1. Quartus II 集成开发环境使用方法; 2. Quartus II 软件设计流程; 3. 可编程逻辑器件基本概念; 4. 可编程逻辑器件基本结构; 5. EDA 基本概念及现代数字系统设计方法
	知识难点	1. Quartus II 软件的使用方法; 2. 可编程逻辑器件基本结构
	推荐教学方式	从工作任务入手,通过最简单的门电路设计,让学生从实践中了解现代数字系统设计所需要的硬件、软件开发环境,并逐渐学会运用 Quartus II 软件进行数字电路设计,同时让学生在实践中由外到内、从直观到抽象,逐渐理解可编程逻辑器件及相关概念
	建议学时	10 学时
学	推荐学习方法	动手完成指定任务是学习数字系统设计的第一步,再举一反三,完成相应的课外任务,进一步巩固所学知识,并熟练开发环境的使用,对后面的学习非常有帮助。对软件的熟悉需要时间,不要有急躁心理,本章内容可作为 Quartus II 软件使用方法的资料,在以后的操作中反复查询。对于可编程逻辑器件结构,可以简单器件结构为主进行学习,对于高密度可编程逻辑器件结构以理解为主,抓住共同点,对于难以理解的部分,可以先忽略,不用死记硬背
	必须掌握的技能	Quartus II 集成开发环境的使用方法



任务 1 基于原理图实现的基本门电路设计

任务分析

基本门电路主要用来实现输入/输出之间的逻辑关系，包括与门、或门、非门、与非门、或非门、异或门、同或门等，这里以 2 输入端与非门为例介绍基本门电路的设计方法。

实现与非逻辑运算的电路称为与非门，通常作为数字系统电路的一个独立单元使用。2 输入端与非门的逻辑符号如图 1.1 所示，有两个输入端 A、B 和一个输出端 F。

2 输入端与非门真值表如表 1.1 所示。

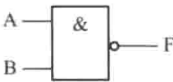


图 1.1 与非门逻辑符号

表 1.1 2 输入端与非门真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

小资料

基本门电路逻辑符号如表 1.2 所示。

表 1.2 基本门电路逻辑符号

门 电 路	国家标准 (IEC)	国 外 符 号	逻辑表达式
与门(AND)			$F = AB$
或门(OR)			$F = A + B$
非门(NOT)			$F = \overline{A}$
与非门(NAND)			$F = \overline{AB}$
或非门(NOR)			$F = \overline{A + B}$
异或门(XOR)			$F = A \oplus B$



任务实现

采用可编程逻辑器件进行 2 输入端与非门电路的设计, 首先必须要准备软件和硬件设计环境。

所需软件环境: Quartus II 集成开发环境。

所需硬件环境: 计算机和 EDA (Electronic Design Automation, 电子设计自动化) 教学实验开发系统。

小提示

如果读者没有 EDA 教学实验开发系统, 就不能将设计电路下载到可编程逻辑器件中进行实际验证, 但可以在 Quartus II 软件中对设计进行仿真, 利用仿真波形来验证设计电路的逻辑关系是否正确。

采用原理图输入法的 2 输入与非门电路的设计步骤如下。

1. 新建工程

(1) 启动 Quartus II 软件, 出现如图 1.2 所示的 Quartus II 的启动界面。

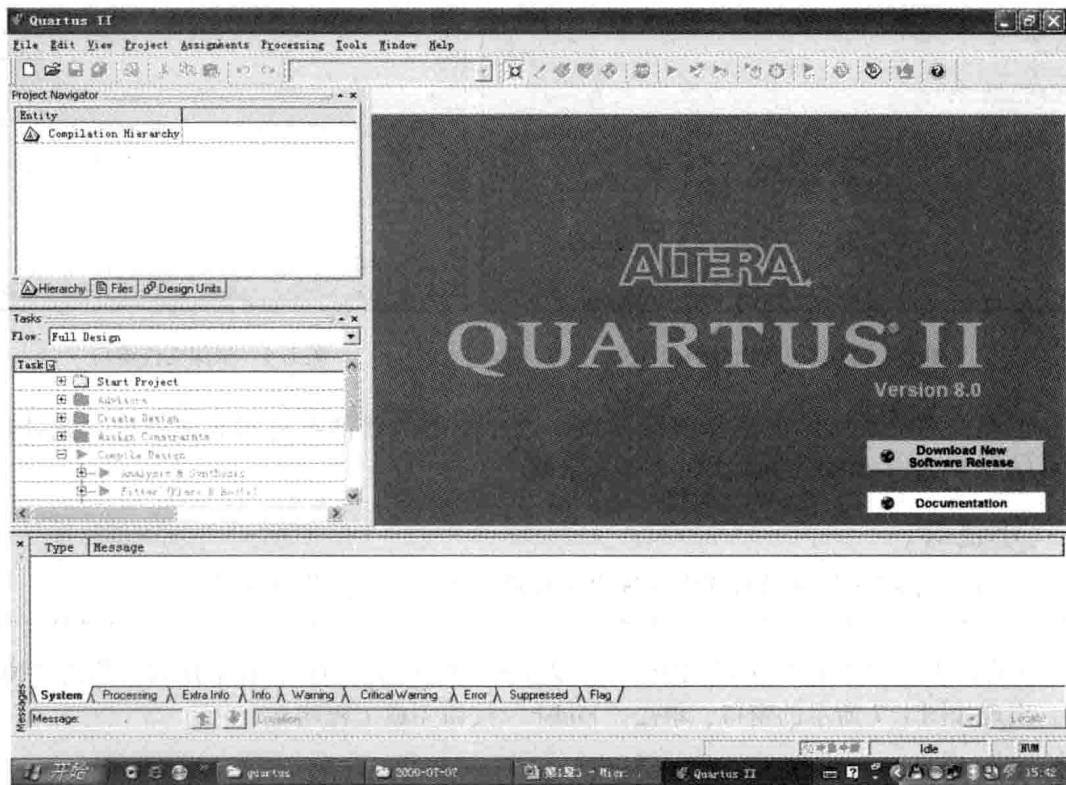


图 1.2 Quartus II 启动界面

(2) 创建工程, 在“File”下拉菜单中选择“New Project Wizard”命令项, 出现如图 1.3 所示的工程向导窗口, 在该窗口中指定工作目录、工程名称和顶层模块名称。



小提示

- (1) 在默认情况下，工程名与顶层模块名是相同的。
- (2) 顶层模块名不能与 Quartus II 中已经提供的逻辑函数名或模块名相同，例如，nand2，在编译时会出现错误提示。
- (3) 如果要在新建的工程中使用以前建立的工程中的设置，可以单击“Use Existing Project Setting”按钮(这里不用)。

(3) 在图 1.3 中单击“Next”按钮，则会出现如图 1.4 所示的添加文件（Add Files）窗口，可以将已经存在的输入文件添加到新建的工程中，该步骤也可以在后面完成，这里直接单击“Next”按钮，出现如图 1.5 所示的选择器件窗口。

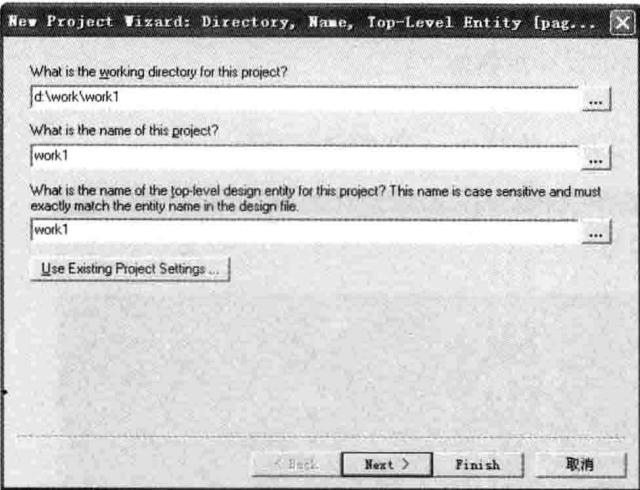


图 1.3 建立工程向导窗口

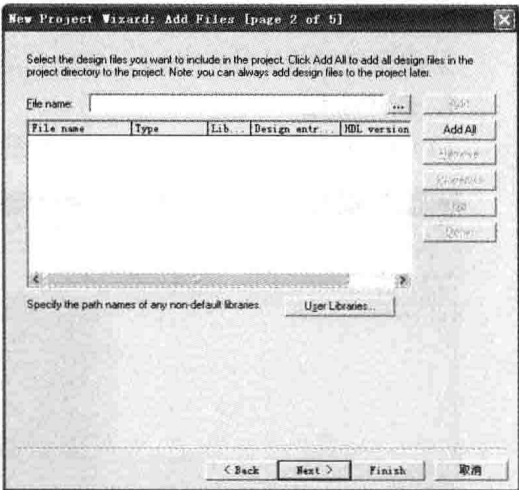


图 1.4 添加文件窗口

(4) 在如图 1.5 所示的选择器件窗口中选择使用的器件系列和具体器件，此处选择 ACEX 1K 系列器件 EP1K100QC208-3 作为示例。

小提示

读者要根据具体使用的开发系统中的可编程逻辑器件型号来确定。

(5) 在图 1.5 中单击“Next”按钮，出现如图 1.6 所示的窗口，在该窗口中单击“Next”按钮，出现如图 1.7 所示的窗口，单击“Finish”按钮完成工程建立。

2. 设计输入

(1) 在“File”下拉菜单中选择“New”命令项，出现如图 1.8 所示的设计输入类型选择窗口，选择设计输入类型为“Block Diagram/Schematic File”项，出现如图 1.9 所示的原理图编辑窗口。

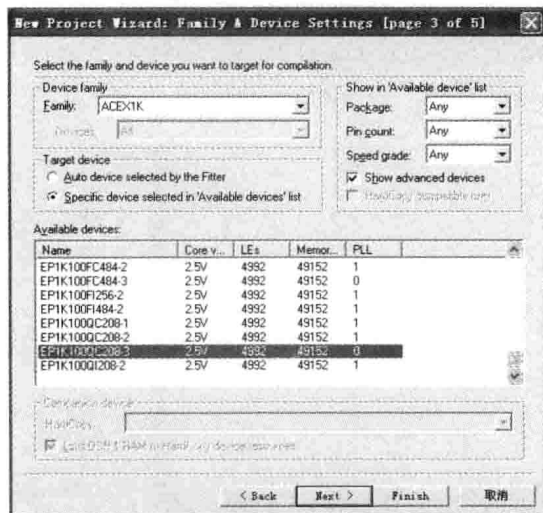


图 1.5 选择器件窗口

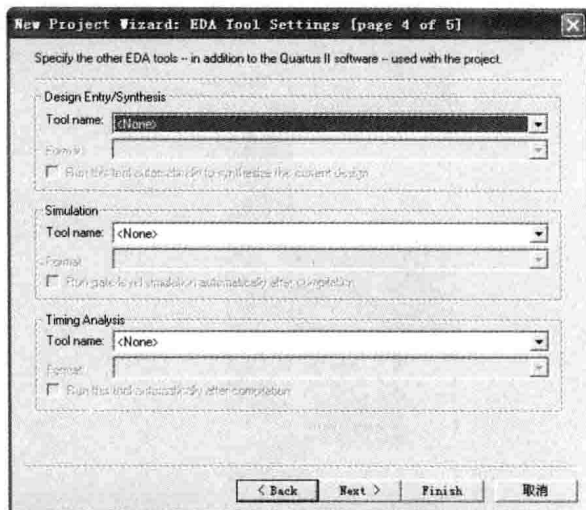


图 1.6 EDA 工具设置

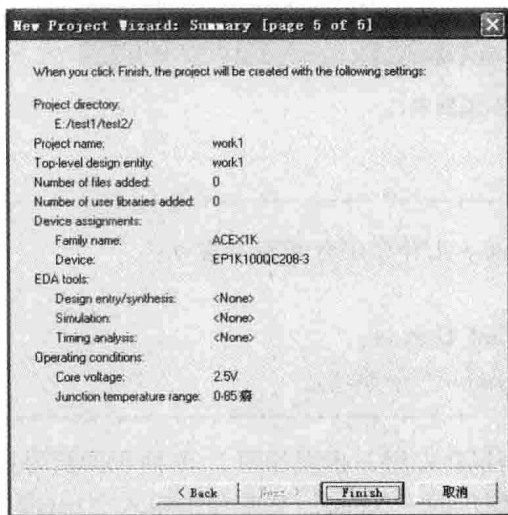


图 1.7 工程建立完成窗口

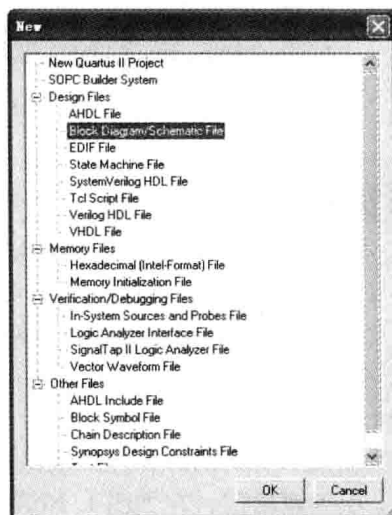


图 1.8 设计输入类型选择窗口

小知识

在图 1.8 中可以看到 Quartus II 软件提供多种设计输入方式,对常用的输入方式介绍如下:

- (1) AHDL File: Altera 硬件描述语言(AHDL)设计文件,扩展名为.tdf。
- (2) Block Diagram/Schematic File: 结构图/原理图设计文件,扩展名为.bdf。
- (3) EDIF File: 其他EDA工具生成的标准EDIF网表文件,扩展名为.edf或.edif。
- (4) State Machine File: 状态机文件输入。
- (5) Verilog HDL File: Verilog HDL设计源文件,扩展名为.v或.vlg或.verilog。
- (6) VHDL File: VHDL设计源文件,扩展名为.vh或.vhl或.vhdl。

本书只涉及原理图输入和 Verilog 文本输入两种输入类型。

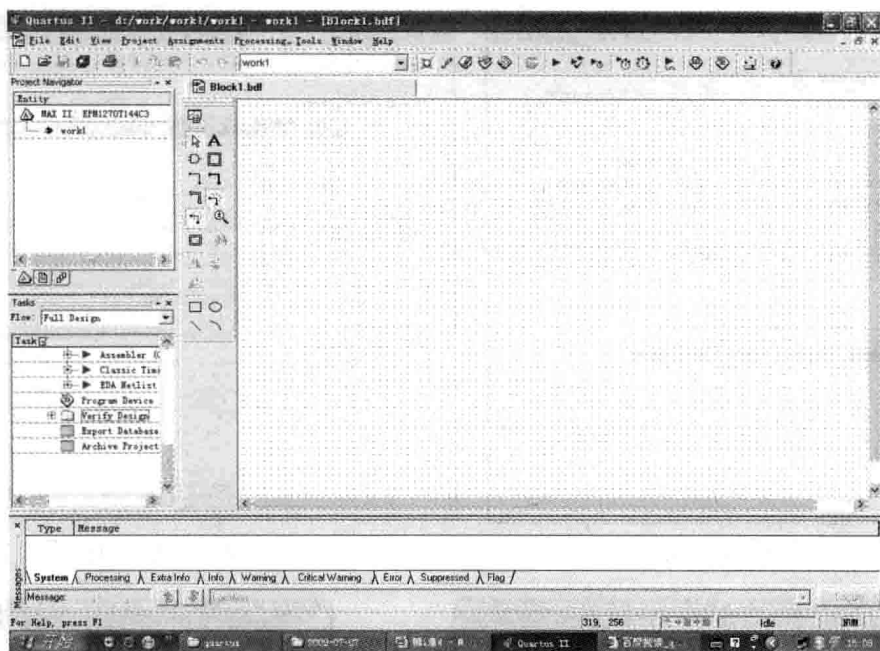


图 1.9 原理图编辑窗口

小提示

在图 1.9 所示的原理图编辑窗口中,有以下几种方法打开符号窗口:

- (1) 在图形窗口内双击鼠标左键;
- (2) 单击左侧快捷工具栏中的 Symbol Tool  按钮;
- (3) 在“Edit”下拉菜单中选择“Insert Symbol”命令项。

(2) 在图 1.9 所示的原理图编辑窗口中双击鼠标左键,出现如图 1.10 所示的符号窗口。

(3) 引入逻辑门,在如图 1.10 所示的符号窗口的“Name”文本框中输入“nand2”,左上部的“Libraries”列表框中出现所选择的器件名称,右边空白处出现 2 输入与非门的符号,如图 1.11 所示,单击“OK”按钮,将该符号引入原理图编辑窗口。

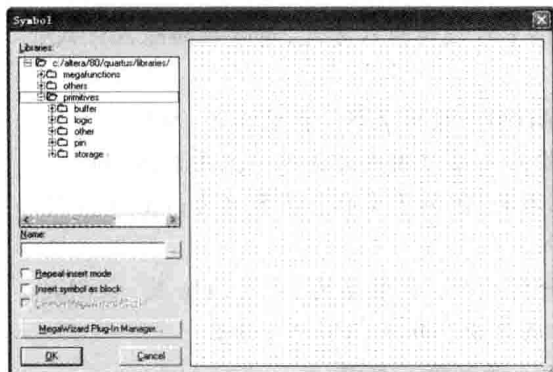


图 1.10 符号窗口

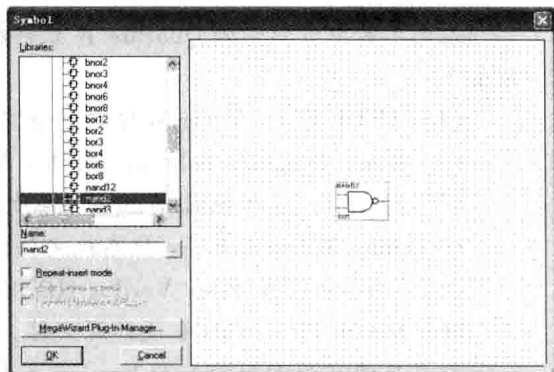


图 1.11 2 输入与非门符号



用同样的方法，在原理图中引入两个输入引脚（input）符号和一个输出引脚（output）符号。

小提示

用原理图编辑器设计数字电路的主要工作是符号的引入与线的连接。Quartus II 软件提供了常用的逻辑函数，在原理图编辑窗口中是以符号引入的方式将需要的逻辑函数引入的，信号输入、输出引脚也需要以符号方式引入。常用的基本逻辑函数在 primitives 库中。

(4) 更改输入、输出引脚的名称，在 PIN_NAME 处双击鼠标左键，进行更名，两个输入引脚分别为 A 和 B，输出引脚为 F。

(5) 单击左侧快捷工具栏中的直交节点连线按钮  进行连线：将 A、B 脚连接到与非门的输入端，C 脚连接到与非门的输出端，如图 1.12 所示。

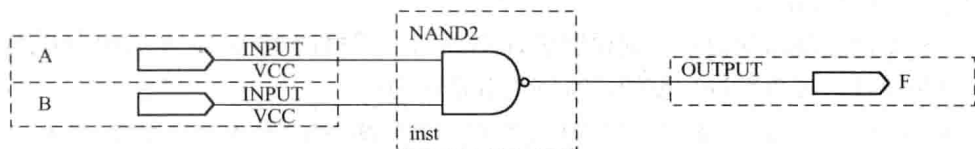


图 1.12 2 输入与非门原理图

小经验

按住鼠标左键拖动元件符号，如果连线正确，可以看到连线会随着符号的拖动而拉伸，否则，表示连线没有连接好，需重新检查。本书中采用国外电路符号的电路图均是从 Quartus II 软件中截屏得到的，与标准电路图稍有不同，请读者注意。

(6) 选择“File”下拉菜单中的“Save”命令项，保存原理图文件“work1”，如图 1.13 所示，将“Add file to current project”复选项选中，该原理图文件自动添加到当前工程中。打开 Quartus II 主界面左侧“Project Navigator”列表框中的“Files”项，即可看到该文件已经添加到工程中了，如图 1.14 所示。



图 1.13 原理图文件保存窗口



图 1.14 原理图文件已经添加到工程中



小知识

原理图编辑快捷工具栏位于原理图编辑窗口左侧, 常用工具有以下几个。

- (1) 选择工具 : 可以选取、移动、复制对象, 为最基本且常用的功能。
- (2) 文字工具 : 可以输入或编辑文字, 例如, 可在指定名称或在批注时使用。
- (3) 符号工具 : 可以输入逻辑函数的符号。
- (4) 直交节点连线工具 : 将逻辑符号或引脚进行连线。
- (5) 画线工具 : 可以画直线、斜线。
- (6) 画弧线工具 : 可以画出一个弧形, 且可依需要自行拉出想要的弧度。
- (7) 画圆工具 : 可以画出一个圆形。

3. 工程编译

选择“Processing”下拉菜单的“Start Compilation”命令项, 或者单击位于工具栏的编译按钮 , 完成工程的编译, 如图 1.15 所示。

如果工程编译出现错误提示, 则说明编译不成功, 需根据 Message 窗口中所提供的错误信息修改电路设计, 再重新进行编译, 直到没有错误为止。

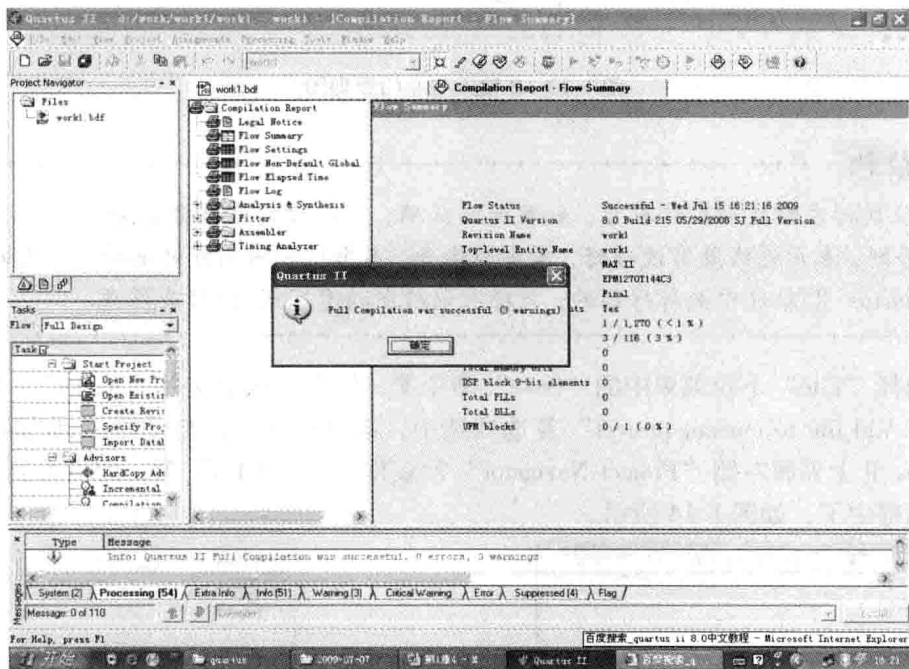


图 1.15 编译工程完成界面

4. 设计仿真

(1) 建立波形文件。选择“File”菜单下的“New”命令项, 在弹出的窗口中选择“Vector Waveform File”项, 如图 1.18 所示, 新建仿真波形文件。在波形文件编辑窗口中单击“File”菜单下的“Save as”命令项, 将该波形文件另存为“work1.vwf”。

(2) 添加观察信号。在波形文件编辑窗口的左边空白处单击鼠标右键, 选择“Insert”的“Insert Node or Bus”命令项, 如图 1.19 所示, 弹出如图 1.20 所示的“Insert Node or Bus”窗口。