

 电子设计与嵌入式开发实践丛书

基于实际教学和项目经历，按照“从电路到系统”的思路，介绍FPGA开发的方方面面！
深入浅出，注重实践，47个实例，11个综合实验，让您轻松应对FPGA开发！



FPGA设计

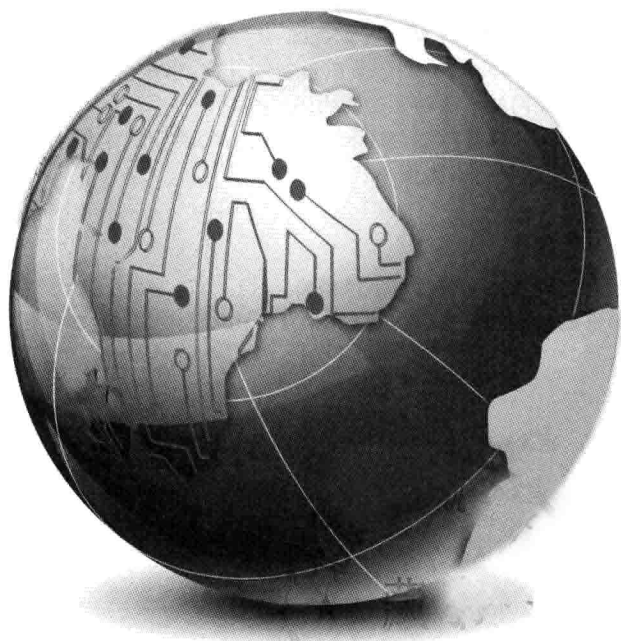
——从电路到系统

蔡述庭 陈平 棠潮 吴泽雄 编著



清华大学出版社

电子设计与嵌入式开发实践丛书



FPGA设计

——从电路到系统

蔡述庭 陈平 棠潮 吴泽雄 编著

清华大学出版社
北京

内 容 简 介

本书描述了从电路到系统的 FPGA 设计方法、流程、技巧以及工具使用,内容涵盖了 FPGA 设计流程、硬件描述语言 Verilog HDL、基础电路设计、逻辑综合、Synplify 与 DC 工具使用、测试平台的撰写以及 ModelSim 的使用;并对 CORDIC 算法、CPRI 协议及数字直放站的 FPGA 实现进行了阐述;随后通过一个电机控制实例来描述 FPGA 系统级的设计过程;接着介绍了 DO-254 标准在 FPGA 设计中的应用。为了便于读者实践操作,书中给出了丰富的 FPGA 设计实验,包括基础实验和基于 Qsys、SOPC 的综合实验,同时介绍了 Vivado HLS 工具的使用。本书实例丰富,且贴近实际开发,书中给出的源代码都经过了实际项目的检验,读者可在清华大学出版社网站下载相关的源代码。

本书可作为电子、通信、自动化、计算机科学与技术等相关专业的高年级本科生及研究生的教学用书,也可作为从事 FPGA 设计工作的工程师的参考图书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

FPGA 设计:从电路到系统/蔡述庭等编著.--北京:清华大学出版社,2014

(电子设计与嵌入式开发实践丛书)

ISBN 978-7-302-37211-0

I. ①F… II. ①蔡… III. ①可编程序逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2014)第 152138 号

责任编辑:刘 星

封面设计:迷底书装

责任校对:李建庄

责任印制:宋 林

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>, 010-62795954

印 刷 者:清华大学印刷厂

装 订 者:三河市溧源装订厂

经 销:全国新华书店

开 本:185mm×260mm

印 张:22

字 数:549 千字

版 次:2014 年 10 月第 1 版

印 次:2014 年 10 月第 1 次印刷

印 数:1~2500

定 价:59.00 元



前言

现场可编程逻辑阵列(Field Programmable Gate Array,FPGA)器件广泛应用于汽车电子、多媒体广播、计算机和存储、消费电子、工业、医疗、军事、航空航天、通信、测量等领域。FPGA 既广泛使用在通信基站、大型路由器等高端网络设备中,也使用在显示器(电视)、投影仪等日常家用电器里,FPGA 已经从最早的只应用于辅助功能和胶合逻辑(连接各种功能块以及集成电路的逻辑电路)的简单器件,发展到现今成为众多产品的核心器件。使用 FPGA 器件,可以使开发时间缩短 $1/2\sim 1/3$,因此 FPGA 成为实现“少量多品种”和“产品周期短”市场中不可缺少的器件之一。

针对 FPGA 器件的使用和开发离不开 EDA 工具的支持,因此,一般 FPGA 器件厂商也会提供相应的 EDA 开发工具,比如 Altera 公司的 Quartus II /Qsys 开发平台、Xilinx 公司的 ISE/Vivado 开发平台。其他公司器件都有自己的开发工具,但开发流程基本保持一致。熟悉这些工具对 FPGA 的开发无疑是基础和重要的,因此本书的结尾部分主要侧重于通过一些实验来让大家了解和熟悉 Quartus 与 Vivado 工具的使用。

一般而言,使用 FPGA 有两个层次:电路级和系统级。简单来说,电路级侧重于在 FPGA 上实现某些功能电路,或者实现信号处理算法,如 FFT、CORDIC、OFDM,或者实现通信系统中部分通信协议,如基站与射频覆盖设备中用得最广泛的通用公众无线接口协议(CPRI)。系统级这里主要是指 FPGA 中使用 CPU,如 Nios II、MicroBlaze、ARM、PowerPC 等软核、硬核,构成一个比较大的 SoC 系统,在此基础上可以进一步进行软件应用开发。

因此,本书的编写也主要遵从这个思路,系统描述了从电路到系统的 FPGA 设计方法、流程、技巧以及工具使用。

第 1 章简要介绍了 FPGA 设计概论。

第 2 章对硬件描述语言 Verilog HDL 进行了简单介绍。

第 3 章对使用 Verilog HDL 对包括加法器在内的基础电路设计进行了概述。

第 4 章主要介绍了逻辑综合的概念以及 Synplify、DC 工具。

第 5 章主要介绍了测试平台的撰写以及行为级仿真工具 ModelSim 的使用。

第 6 章描述了在通信调制中使用较多的 CORDIC 算法。

第 7 章对无线通信系统中的 CPRI 等协议进行了阐述,并详述了其 FPGA 实现。

第 8 章描述了通信系统直放站中数字接口电路部分的 FPGA 设计。

第 9 章通过一个电机控制实例来描述 FPGA 系统级的设计过程,以 Nios II 为核心处理

Foreword

器来搭建一个 SoC 系统。

由于 FPGA 器件的广泛应用,对于 FPGA 器件组成的系统的测试与认证也成了非常重要的一个课题,故第 10 章介绍了航空航天领域的一个硬件系统设计标准 DO-254,侧重介绍其适应于 FPGA 器件的流程与准则。

为了便于读者实践操作,第 11 章给出了丰富的 FPGA 设计实验,包括基础实验和基于 Qsys、SOPC 的综合实验,如 μ Clinux 在 Nios II 上的移植;还特别介绍了 Vivado HLS 工具的使用。HLS 作为一种目前商业化的高层次综合工具,对系统级设计人员及算法设计人员都具有非常大的吸引力。书中给出的源代码都经过了实际项目的检验,读者可在清华大学出版社网站下载相关的源代码。

本书可作为电子、通信、自动化、计算机科学与技术等相关专业的高年级本科生及研究生的教学用书,也可作为从事 FPGA 设计工作的工程师的参考图书。

在编写本书的过程中,引用了大量参考文献,对此表示感谢。书中不少资料来自 Altera 和 Xilinx 公司,Altera 大学计划负责人陈卫中博士和 Xilinx 大学计划负责人谢凯年博士均为本书的编写提供了大量资料与帮助,对两位致以谢意。感谢清华大学出版社的工作人员为本书顺利出版所付出的辛勤劳动。本科生张骏盛对 Vivado HLS 实验进行了验证,研究生李静园、林卓胜为本书提供了相关协助,谢志才、林燕云同学对本书亦有贡献,一并表示感谢。

由于作者水平有限,书中难免会有纰漏之处,敬请专家和读者批评指正,有兴趣的读者可发送邮件到 liux@tup.tsinghua.edu.cn。

蔡述庭

2014 年 5 月

目 录

第 1 章	FPGA 设计概论	1
1.1	FPGA 芯片结构与特点	1
1.2	FPGA 工作原理	3
1.3	FPGA 主要器件	5
1.3.1	Xilinx	5
1.3.2	Altera	8
1.4	FPGA 设计流程	12
1.5	FPGA 开发工具	14
1.6	FPGA 应用	15
第 2 章	硬件描述语言 Verilog HDL	18
2.1	Verilog HDL 的基本规范	19
2.1.1	标识符	19
2.1.2	转义标识符	19
2.1.3	空白符	20
2.1.4	注释	20
2.2	数据类型	20
2.2.1	逻辑值	20
2.2.2	线网	20
2.2.3	寄存器	21
2.2.4	数字的表示	21
2.2.5	向量	22
2.2.6	数组	23
2.2.7	参数	23
2.2.8	字符串	23
2.3	运算符	23
2.4	模块	27

Contents

2.4.1	模块的基本概念	27
2.4.2	模块的例化	30
2.4.3	模块的测试	32
2.5	过程语句	33
2.5.1	两个过程	33
2.5.2	寄存器变量的过程赋值	34
2.5.3	线网变量的连续赋值	34
2.5.4	时序控制	35
2.5.5	顺序代码块与并行代码块	36
2.6	条件语句	37
2.7	任务和函数	38
2.8	系统任务	38
2.9	编译指令	38
2.10	阻塞赋值与非阻塞	39
第 3 章	FPGA 基础电路设计	41
3.1	组合电路	41
3.2	时序电路	45
3.3	数据通路	53
3.3.1	加法器基础理论	53
3.3.2	常用数据通路设计	59
第 4 章	逻辑综合	63
4.1	逻辑综合目的	63
4.2	Design Compiler 综合	64
4.2.1	准备 Design Compiler 启动脚本文件	65
4.2.2	约束文件	66
4.2.3	报告分析	73
4.2.4	优化的参数选择	75
4.2.5	综合结果	75
4.3	Synplify 的综合设计	76
4.4	HDL 的可综合性设计	83
4.4.1	状态机设计	84
4.4.2	实例化资源	84
4.4.3	综合选项	85
第 5 章	Testbench 与 ModelSim 仿真	87
5.1	Testbench 实例	87
5.1.1	产生时钟信号	91

5.1.2	提供激励信号	92
5.1.3	显示结果	93
5.1.4	Verilog HDL Testbench 实例	93
5.1.5	自动验证	95
5.1.6	自我检查 Testbench	95
5.1.7	编写 Testbench 的准则	96
5.2	仿真工具 ModelSim	96
第 6 章	CORDIC 算法及通信调制技术	101
6.1	CORDIC 算法	101
6.2	FPGA 实现	104
6.3	基于 CORDIC 算法的通信调制技术	107
6.4	ISE 中 CORDIC IP 核的使用	110
第 7 章	FPGA 通信协议设计	113
7.1	CPRI 协议	113
7.1.1	协议范围	113
7.1.2	帧结构	115
7.1.3	CPRI 在 FPGA 中实现	118
7.2	IR 协议简介	128
7.2.1	Ir 接口物理层	129
7.2.2	Ir 协议传输帧时序结构	133
7.2.3	C&M 通道	134
7.2.4	物理层控制字定义	135
7.2.5	Ir 协议中的时延测量	139
7.2.6	FPGA 实现 Ir 协议	140
第 8 章	数字直放站的 FPGA 设计	142
8.1	直放站 FPGA 系统设计	142
8.2	数据接口	143
8.2.1	ADC 接口	143
8.2.2	DAC 接口	151
8.2.3	SPI 接口	152
8.3	信号处理部分	154
8.3.1	数据的抽取和内插	155
8.3.2	信号的上变频和下变频	161
第 9 章	永磁同步电机矢量控制系统的 FPGA 实现	175
9.1	永磁同步电机矢量控制系统简介	175

9.2	系统硬件平台	178
9.3	软件开发平台	180
9.4	FPGA 片上电路设计	181
9.5	实验验证	212
第 10 章	可靠性设计——DO-254	216
10.1	DO-254	216
10.2	FPGA 与 DO-254	217
10.2.1	DO-254 基本情况	217
10.2.2	DO-254 硬件的生命周期	218
10.2.3	规划	218
10.2.4	硬件安全性评价	218
10.2.5	硬件设计流程	220
10.2.6	支持流程	220
10.2.7	文档和组织	220
10.3	DO-254 标准和美国联邦航空局	221
10.4	DO-254 项目的 FPGA 工具流程	222
10.5	FPGA 设计的工具流程	224
10.6	结论	226
第 11 章	FPGA 设计实验	227
11.1	实验一：LED 灯控制	227
11.2	实验二：基于 IP 核设计的数码管显示	232
11.3	实验三：基于 Verilog HDL 设计的数码管显示	238
11.4	实验四：基于 DSP Builder 设计的 clark 坐标变换模块	239
11.5	实验五：分别基于 SOPC Builder 和 Qsys 工具控制 LED 灯	253
11.5.1	实验内容	253
11.5.2	SOPC Builder 工具设计流程	253
11.5.3	Qsys 工具设计流程	264
11.5.4	实验小结	271
11.6	实验六：基于 Nios II 定时中断控制 LED 闪烁	271
11.7	实验七：Nios II 与 LabVIEW 的串口通信	277
11.8	实验八：程序烧写	283
11.9	实验九：DE2 上的 μ Clinux 移植	291
11.9.1	任务要求	291
11.9.2	Nios II 硬件定制	291
11.9.3	顶层文件	296
11.9.4	编译系统	296
11.9.5	内核结构	298

11.9.6	文件格式	298
11.9.7	进程调度	298
11.9.8	文件系统	299
11.9.9	移植层次与代码结构	299
11.9.10	源码获取	300
11.9.11	内核剪裁和编译	301
11.9.12	映像生成	304
11.9.13	镜像下载	304
11.9.14	终端调试	305
11.9.15	执行 TCP/IP 网络命令	306
11.10	实验十：VGA 视频显示系统的 SOPC 设计	308
11.10.1	Nios II 的硬件开发	308
11.10.2	生成 Nios II 硬件系统	319
11.10.3	系统的软件设计	320
11.10.4	VGA 视频显示系统的 Nios II IDE 调试	322
11.11	实验十一：Vivado HLS 设计流程实验	325
参考文献		341

FPGA 设计概论

集成电路一般可以分为全定制 ASIC(Application Specific Integrated Circuit)、半定制 ASIC 以及用户可编程器件。而用户可编程器件已经由初始的一些小集成规模的 PLD (Programmable Logic Device) 发展到集成度更高的 FPGA(Field Programmable Gate Array) 器件。

ASIC 器件具有以下特征：设计必须送到晶圆厂(foundry)进行流片，费用高，从行为级到最下面的物理版图都要自己设计，但设计出来的芯片具有更好的性能和更低的功耗。

FPGA 器件具有以下特点：产品响应速度快，可以小批量生产，可编程，不需要流片，不需要进行后端设计，易升级，而且可以适用于一些特殊应用，如可重构计算等。具体而言，二者的特征比较如图 1.1 所示。



图 1.1 FPGA 与 ASIC 的特征比较

1.1 FPGA 芯片结构与特点

FPGA 芯片内部结构主要包括以下部分。

1. 可编程输入/输出单元(IOB(Xilinx), IOE(Altera))

可编程输入/输出单元简称 I/O 单元，是芯片为连接外围电路所提供的接口单元，完成对输入/输出信号在不同电气特性下的驱动与匹配要求。FPGA 内的 I/O 按组(BANK)分类，每组都分别独立地提供不同的 I/O 电平。通过软件的灵活配置，可适配不同的电气标准与 I/O 物理特性，可以调整驱动电流的大小，可以改变上、下拉电阻。

2. 可配置逻辑块(CLB(Xilinx))

CLB 是用户实现自定义逻辑电路的基本逻辑单元。CLB 的数量会根据 FPGA 芯片型号的不同而有所不同,但是每个 CLB 都包含一个可配置开关矩阵,此矩阵由一个 4 输入的多路复用器(MUX)和触发器组成。此开关矩阵具有较高的灵活性,可以对其进行配置来实现组合逻辑、移位寄存器或 RAM。在 Altera 器件中,与 CLB 相类似的模块为逻辑阵列块(LAB)。

3. 数字时钟管理模块(DCM)

由于 FPGA 应用开发都需要涉及高速电路的时序分析,因此 FPGA 对系统内部以及其外围设备的时钟信号源都有非常严格的要求。目前,大多数厂商的 FPGA 芯片均提供数字时钟管理以及相位环路锁定(PLL),其中 PLL 能够提供精确的时钟综合,降低时钟抖动,并实现过滤功能。

4. 嵌入式块 RAM(BRAM)

现今市场上的 FPGA 芯片大都具有内嵌的块 RAM(Block RAM),这种 Block RAM 是芯片内部独立的资源,用户通过调用这部分资源可以更好地节约 FF 触发器、4-LUT 等底层可编程单元,最大限度地发挥器件功能;此外,Block RAM 是一种可配置的硬件结构,可以被综合成 ROM、单端口 RAM、双端口 RAM 以及 FIFO 等常用存储结构,而且这些存储器的位宽和深度都可以根据具体需要进行灵活配置。

5. 丰富的布线资源

FPGA 内部的逻辑门单元通过布线连通,信号的传输速度与输入/输出驱动能力受布线的工艺和长度的影响。FPGA 内部丰富的布线资源可以大致分为 4 类:全局布线资源、长线资源、短线资源和分布式资源。可以根据设定的约束条件,使用 FPGA 开发软件的布局布线器来连通各个单元。实际上,布线资源直接影响着设计和结果。

6. 底层内嵌功能单元

DLL、PLL、DSP 和 CPU 等软处理器就是 FPGA 内嵌功能模块的主要组成部分。如今越来越丰富的底层内嵌功能单元,使得 FPGA 芯片不仅具备了软件和硬件协同设计的能力,而且也使 FPGA 逐步成为系统级的设计工具,向 SoC(System on Chip)方向发展。此外,DLL 与 PLL 模块也大大地简化了提高时钟精度、降低时钟抖动以及时钟倍频和分频的过程。

7. 内嵌专用硬核

相对于底层嵌入的软核而言,FPGA 内嵌专用硬核相当于 ASIC 电路。目前 FPGA 集成了一些专用 DSP 乘法器硬核,从而快速地完成复杂乘法运算。Xilinx 的高端芯片不仅集成了 PowerPC、Microblaze、Picoblaze、ARM 系列 CPU,还内嵌了 DSP Core 模块,通过利用这些硬核,用户可以二次开发标准的 DSP 处理器。Altera 器件集成的 CPU 为 NIOS II、

ARM 等。

从上述的 7 个结构组成部分可以看出, FPGA 内部采用的设计结构与传统的 CPLD 还是有很大的不同。具体来说, 多个逻辑单元组成了 FPGA 中的逻辑阵列块, 而逻辑单元中又含有多个查找表与寄存器。FPGA 与 CPLD 工作原理上的区别就在于查找表的运用, CPLD 主要用行列式的乘积去实现。而 FPGA 的特点如下:

(1) FPGA 内部具有丰富的 FF 触发器结构, 因此 FPGA 更适合于完成时序逻辑电路的设计;

(2) FPGA 中存在分段式布线结构, 这决定了其信号在布线上的延时是不可预测的;

(3) FPGA 具有较大的编程灵活性, 主要通过改变内部连线的布线来编程, 其可在逻辑门下完成编程;

(4) FPGA 的集成度比较高, 具有更复杂的布线结构和逻辑实现;

(5) FPGA 是基于 SRAM 编程的, 而非 EEPROM 或 Flash 存储器, 因此可以进行任意次编程, 可在工作中快速编程, 从而实现板级和系统级的动态配置。

1.2 FPGA 工作原理

如上所述, FPGA 是在 PAL (Programmable Array Logic)、GAL (Generic Array Logic)、EPLD (Erasable Programmable Logic Device)、CPLD (Complex Programmable Logic Device) 等可编程器件的基础上发展的产物。FPGA 作为 ASIC 领域中的一种半定制电路而出现, 在目前 IC 设计领域中主要负责前端逻辑电路设计综合和验证, 其反复可编程的特点很好地解决了 ASIC 中定制电路流片后就不可修改的不足, 并且很好地克服了像 PLD、CPLD 等可编程器件门电路有限的缺点, 做到了很高的集成度。

由于可以对 FPGA 进行反复烧写, 因此它不可能采用像 ASIC 那样固定的与非门来完成组合逻辑结构, 而要采用一些便于反复配置的结构。因此, FPGA 厂商提出了查找表 (Look-Up-Table, LUT) 的结构, 这种查找表能够很好地实现这一要求。目前基于 SRAM 工艺的查找表结构已成为主流 FPGA 的烧写结构, 这一点与传统的采用 Flash 或熔丝与反熔丝工艺的 CPLD 有很大的不同。基于这种查找表结构, 可以通过烧写文件改变查找表内容对 FPGA 进行重复配置。

数字电路知识中, 如果有一个 n 输入的逻辑运算, 当经过“与或非”运算或者“异或”运算, 其结果最多只可能存在 2^n 个。FPGA 原理是: 当用户通过原理图或 HDL (Hardware Description Language) 语言描述了一个逻辑电路以后, FPGA 开发软件会通过逻辑综合 (Logic Synthesis) 实现该逻辑电路 RTL, 并将结果实现写入 SRAM 中, 每一组输入信号就等同于需要进行查表的地址值, 随后开发软件会寻找出对应地址的内容, 然后输出。根据这种原理, 可以通过配置查找表的内容在相同电路的情况下实现不同的逻辑功能。

上述的 FPGA 可反复编程, 从本质上来解释是因为存在查找表 (LUT)。LUT 实质上就是一种 RAM, 目前 FPGA 中 LUT 都可以看成一个有 4 位地址线的 RAM。LUT 和一般的逻辑电路具有相同的功能, 但是相比较而言, LUT 具有更快的执行速度和更大的规模。

同时,正是具有 LUT 这种硬件结构使得 FPGA 器件集成度达到了数万门到数千万门不等,能够完成复杂的时序电路以及状态机的设计,所以 FPGA 适用于高速数字逻辑电路设计领域。

FPGA 在实际工作的时候要求通过编程将数据写入片内 RAM 来配置芯片工作模式,开发人员依照自己所需要的配置模式选用不同的编程方式。FPGA 配置模式有如下 4 种。

- (1) 串行模式: PROM 串行配置 FPGA;
- (2) 并行模式: Flash、PROM 并行配置 FPGA;
- (3) 主从模式: 一片 PROM 配置多片 FPGA;
- (4) 外设模式: 将 FPGA 作为微处理器的外设,由微处理器对其编程。

现今最大的两家 FPGA 生产厂商 Xilinx 和 Altera 生产的 FPGA 芯片都是基于 SRAM 工艺,当需要保存程序的时候就在使用时外接一个片外存储器。上电时,FPGA 将外部存储器中的程序数据读入片内 RAM 以完成相关配置,随后芯片进入工作状态;掉电后,由于 SRAM 的掉电丢失数据的特性,FPGA 内部的逻辑消失。尽管具有掉电易失的不足,但是 FPGA 却能够反复编程使用,还无须专门的 FPGA 编程器。

FPGA 可编程技术可以分为两大类:一次可编程与反复可编程。一次可编程技术包括熔丝、反熔丝以及 PROM。熔丝技术主要通过电流来移除指定内部连接,反熔丝技术通过电流来增加内部连接。反复可编程包括 EPROM、EEPROM、Flash、SRAM 等。典型的 FPGA 结构如图 1.2 所示,主要包括可配置逻辑块(CLB)、输入/输出块(IOB)、块 RAM 等。

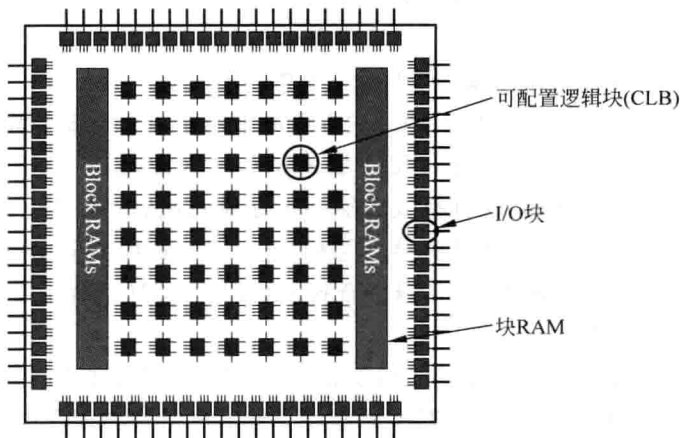


图 1.2 Xilinx FPGA 结构

目前世界上主要的 FPGA 供应商包括 Xilinx、Altera、Atmel、Lattice,这 4 家都以提供 SRAM 型 FPGA 为主,其中 Xilinx 与 Altera 两家占据了全球 60% 以上的 FPGA 市场。另外,还有两家以提供 Flash 和反熔丝 FPGA 为主的厂商: Actel 与 Quick Logic,尤其是 Actel 反熔丝技术的 FPGA 占据了航空领域等特定市场的较大份额。

1.3 FPGA 主要器件

1.3.1 Xilinx

Xilinx 公司主要提供可编程逻辑器件以及相应的设计软件 ISE 和新版的 Vivado, 公司总部位于 San Jose, CA, 是一家无生产线的半导体公司, 其产品主要由 UMC 及 TSMC 代工。

Xilinx 公司的主流器件有 Spartan-6、Virtex-6、Artix-7、Kintex-7、Virtex-7 等系列, 其中-7 系列是最新的器件。表 1.1 为各个系列的资源配置。

表 1.1 Xilinx 系列 FPGA 资源对比

资 源	Spartan-6	Virtex-6	Artix-7	Kintex-7	Virtex-7
逻辑单元	150 000	758 784	215 000	480 000	2 000 000
Block RAM	4.8Mb	37.4Mb	13Mb	34Mb	68Mb
DSP Slice	180	2016	740	1920	3600
DSP 性能(对称 FIR)	140GMAC	1000GMAC	930GMAC	2845GMAC	5335GMAC
收发器数量	5	48	16	32	96
收发器速度	3.2Gb/s	11.18Gb/s	6.6Gb/s	12.5Gb/s	28.05Gb/s
总收发器带宽(全双工)	50Gb/s	585.12Gb/s	211Gb/s	800Gb/s	2784Gb/s
存储器接口(DDR3)	800Mb/s	1066Mb/s	1066Mb/s	1866Mb/s	1866Mb/s
PCI Express 接口	x1 Gen1	x4 Gen2	x4 Gen2	x8 Gen2	x8 Gen3
模拟混合信号(AMS)/XADC	—	—	Yes	有	Yes
配置 AES	Yes	Yes	有	有	Yes
I/O 引脚	576	1200	500	500	1200
I/O 电压/V	1.2、1.5、1.8、2.5、3.3	1.2、1.5、1.8、2.5	1.2、1.35、1.5、1.8、2.5、3.3	1.2、1.35、1.5、1.8、2.5、3.3	1.2、1.35、1.5、1.8、2.5、3.3
EasyPath 成本削减解决方案	—	Yes	—	Yes	Yes

从表 1.1 可以看出, Spartan-6 的资源最少, 市场定位为低成本的解决方案。Virtex-7 的资源最丰富, 市场定位为高密度、高性能的解决方案, 当然成本也比较高。其他几个为折中性能和成本的器件, 大家可以根据实际需要进行选择。

除此之外, Xilinx 公司新近推出了 Zynq-7000 All Programmable SoC 系列解决方案, 该方案将两个 ARM Cortex-A9 硬核、各种外设(如 UART、USB、SPI 等)和 FPGA 可编程逻辑资源(包括 DSP、RAM、LE 等)集成在一个芯片中, 通过硬件、软件和 I/O 可编程性实现了扩展式系统级差异、集成和灵活性。通过 Zynq-7000 平台, 用户可以设计更智能的系统, 控制和分析部分则利用灵活的软件、紧密配合擅长实时处理的硬件, 并辅之以优化的系统接口。这样, BOM 成本可大幅削减、NRE 成本更低、设计风险减少、加快上市时间。

Zynq-7000 平台包含由众多软件解决方案、工具、IP、开发板以及业界领先的 Vivado™ HLS 高层次综合工具组成的综合生态系统, 这种高层次综合工具使设计团队能够利用 C、

C++ 或 SystemC 编写的描述代码直接创建硬件,从而显著提高设计生产力。

ARM 处理系统与片上可编程逻辑之间的紧密集成可为设计人员带来无限机遇,使他们能够添加几乎所有的外设或创建定制加速器,从而扩展系统性能并充分满足各种独特的应用要求。Zynq-7000 All Programmable SoC 系列是一款面向各种应用的理想解决方案,可满足各种市场的要求,如表 1.2 所示。

表 1.2 Zynq 关键应用实例

应 用	解 决 方 案
汽车	高级驾驶辅助系统
广播	专业相机
	企业视频会议
	监视器和投影仪
	数字标牌
	4K2K 超高解析度电视
频道在一个盒子内	
消费类	多功能打印机
工业	机器视觉系统
	视频监视系统
医疗	医疗内窥镜
有线通信	电信级以太网回传
无线通信	回传
	LTE 无线电
	小型蜂窝基带

Xilinx 的高性能系列 FPGA 主要是 Virtex 系列,如 Virtex-II、Virtex-V 等;低成本系列主要是 Spartan 系列。图 1.3 是 Spartan-II 的结构图,主要由 CLB、IOB 和 RAM 块组成。图 1.4 是 CLB 的模块图。

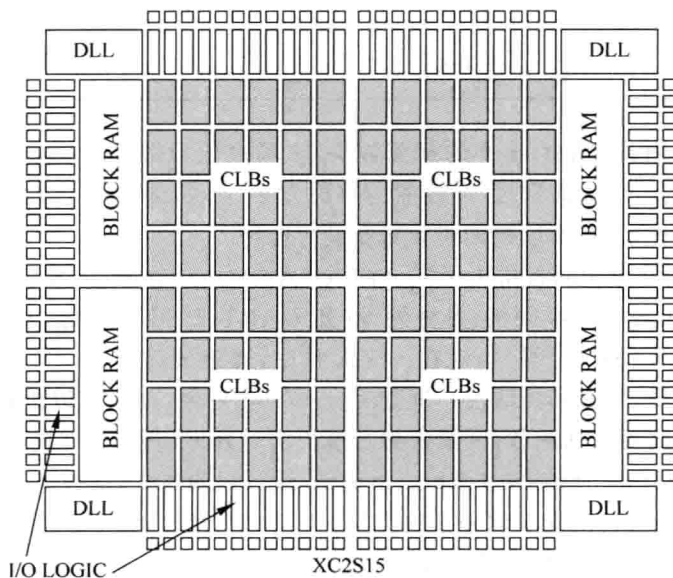


图 1.3 Spartan-II 的结构图

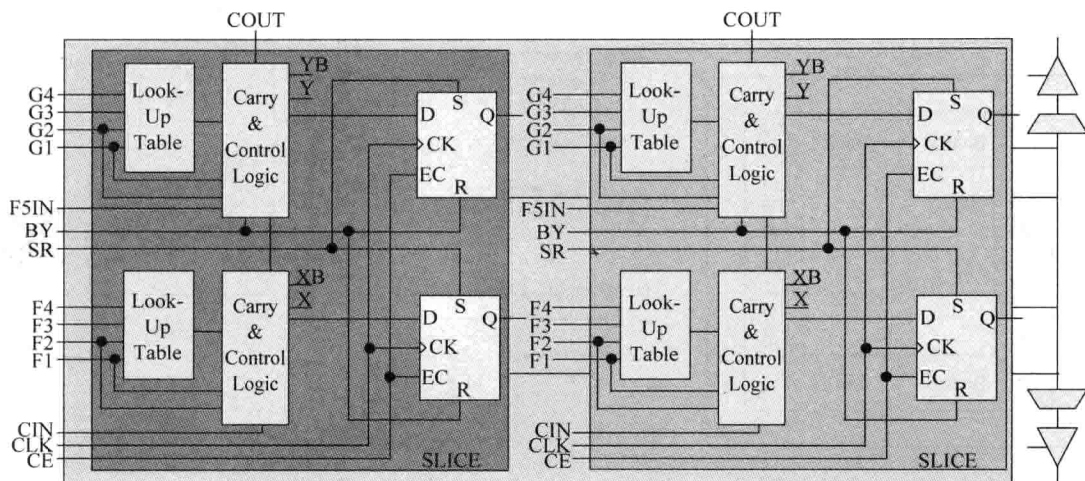


图 1.4 CLB 的模块图

CLB 中主要包括 2 个带进位逻辑的 LUT-FF 对和 2 个全局三态缓冲(BUFT)。单个 LUT-FF 包括有 2 个 4 输入 LUT、2 个控制和进位逻辑以及 2 个存储单元。

LUT (Look-Up-Table, 查找表) 是逻辑实现的主要元素, 每个 LUT 能实现任何 4 输入的函数, 如图 1.5 所示。

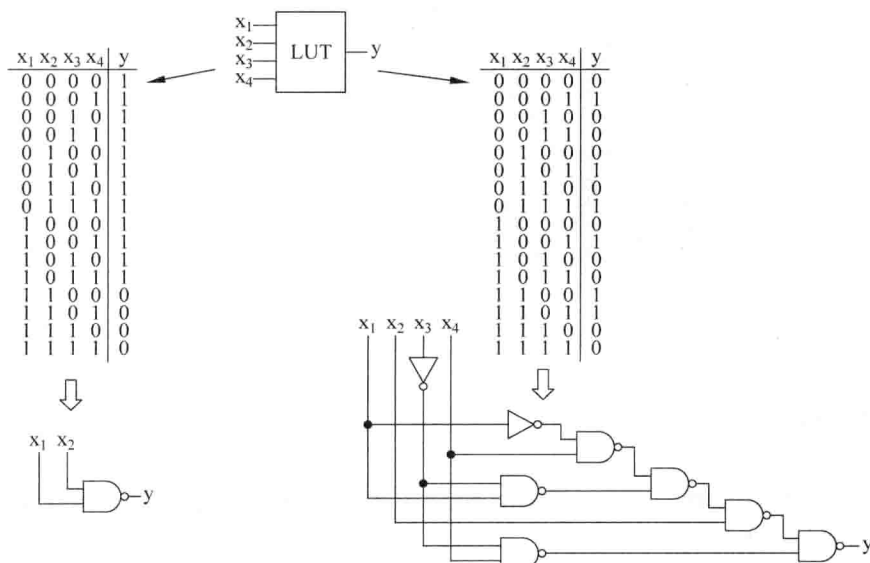


图 1.5 LUT 结构

块 RAM 是最有效的存储器实现, 可以满足绝大部分存储需求, 并以双口 RAM 实现。Spartan-II 系列 FPGA 具有 4~14 个存储块, 每个块有 4096 位, 若有更大的存储需求可用多个块来实现。

IOB 提供引脚与 CLB 之间的接口, 有单向、双向 I/O, 输出可强制为高阻态, 可被延时, 如图 1.6 和图 1.7 所示。