



集成电路ESD防护设计理论、 方法与实践

韩 雁 董树荣 Liou J. J. Wong Hei 著



科学出版社

国家科学技术学术著作出版基金资助出版

集成电路ESD防护设计 理论、方法与实践

韩雁 董树荣 Liou J. J. Wong Hei 著

科学出版社

内 容 简 介

随着集成电路(IC)制造工艺的不断发展以及芯片复杂度的不断提升, IC的静电放电(ESD)防护设计需求日益增长,设计难度也越来越大,传统的ESD设计技术已不能很好地满足新型芯片的ESD防护要求。本书系统深入地阐述了IC的ESD防护设计原理与技术,内容由浅入深,既涵盖了ESD防护设计初学者需要了解的入门知识,也为读者深入掌握ESD防护设计技能和研究ESD防护机理提供参考。

本书可作为科研单位ESD防护研究领域的专业参考书,也可供从事芯片可靠性设计的工程人员参考。

图书在版编目(CIP)数据

集成电路ESD防护设计理论、方法与实践 / 韩雁等著. —北京: 科学出版社, 2014.7

ISBN 978-7-03-041388-8

I. ①集… II. ①韩… III. ①集成电路—静电防护—设计 IV. ①TN402
中国版本图书馆CIP数据核字(2014)第154968号

策划编辑: 王 哲 / 责任编辑: 王 哲 王迎春 / 责任校对: 刘亚琦
责任印制: 陈 磊 / 封面设计: 迷底书装

科学出版社出版

北京东黄城根北街16号

邮政编码: 100717

<http://www.sciencep.com>

安泰印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2014年7月第 一 版 开本: 720×1 000 1/16

2014年7月第一次印刷 印张: 14 插页: 1

字数: 282 000

定价: 70.00元

(如有印装质量问题, 我社负责调换)

前 言

静电放电(Electro Static Discharge, ESD)一直是造成集成电路(Integrated Circuit, IC)芯片和电子产品失效的主要原因。随着半导体制程工艺的进步,ESD问题越来越严重,而且越来越难以应对,集成电路芯片及其电子产品的ESD防护成为产品工程师面临的主要难题之一。早在20世纪70年代,国际上就开展了关于集成电路ESD失效原理及其防护设计的研究,目前主要的集成电路芯片和电子产品厂商都有专门的ESD团队来解决日益严峻的ESD防护问题。

我国集成电路技术的发展经历了“从无到有”和“从有到精”的阶段,但是国内集成电路ESD研究尚处在起步阶段,缺乏成熟、系统与完善的ESD设计理论、设计方法和实践经验。2006年,浙江大学微电子与光电子研究所和美国中佛罗里达大学(University of Central Florida, UCF)建成了首家国内高等院校片上ESD (On Chip ESD)专业实验室,先后为多家集成电路代工厂(foundry)和设计公司做过集成电路ESD防护设计、失效分析以及建库等工作,在集成电路ESD防护设计、测试与分析等多方面形成了一套比较完整且成熟的技术,相关研究成果已在国内外高水平期刊上发表,并获得多项发明专利授权,得到了业内同行的认可与支持。

为了促进集成电路ESD研究领域的发展,浙江大学与美国中佛罗里达大学联合ESD实验室将多年来摸索和探讨得到的ESD设计理论、方法和实践等诸多研究成果进行了系统整理、汇编,并撰写了本书。本书注重结合理论与实践,适合集成电路和电子产品ESD防护设计专业人员、高等院校微电子学、集成电路设计、电子科学与技术以及其他相关专业的高年级本科生和研究生参考。同时也希望本书能给对集成电路ESD防护设计有兴趣的广大产、学、研界的读者提供有价值的参考。

全书共11章。第1~3章主要阐述ESD现象及其对电子器件、电路的危害,相关检测方法与测试标准,以及ESD防护原理;第4~6章详细介绍当前被重点关注的纳米、射频、高压功率集成电路领域中ESD防护设计的基本原理、方法及实例分析;第7章介绍特殊模式(CDM和HMM)下的防护方法和实例;第8~9章详细阐述ESD防护器件的半导体工艺和器件的计算机辅助设计(Technology Computer Aided Design, TCAD)技术,包括设计仿真验证与分析方法,给出了对ESD防护器件性能的评估策略,并对ESD仿真模型中关键参数的确定提出了相应的优化

措施；第10章呈现作者最先进的研究成果——纳米线器件在ESD应力条件下的特性分析，将读者带入了ESD研究领域的最前沿；第11章针对当前ESD研究现状和未来发展趋势进行总结与展望。

本书由浙江大学与美国中佛罗里达大学联合ESD实验室统筹和撰写，韩雁教授负责第4~6章、第8~9章的撰写，董树荣教授负责第1~3章的撰写，Liou J. J.教授负责第7章和第10章的撰写，Wong Hei教授负责第11章的撰写。除此之外，ESD实验室成员马飞、梁海莲、郑剑峰、曾杰、钟雷、吴健、黄大海、崔强、苗萌、陶翔和丁扣宝也对本书的出版做出了重要的贡献，在此一并表示由衷的感谢！

由于作者水平有限，书中难免存在遗漏和不足之处，请同行专家和读者给予指正。

作者

2014年4月

于浙江大学求是园

目 录

前言	
第 1 章 绪论	1
1.1 ESD现象	1
1.2 ESD对芯片的威胁	2
1.3 ESD防护种类	3
1.4 ESD防护研究发展和现状	5
参考文献	7
第 2 章 ESD测试标准和方法	9
2.1 概述	9
2.2 ESD主要模型及其测试方法	9
2.2.1 人体模型	9
2.2.2 机器模型	12
2.2.3 充电器件模型	13
2.2.4 IEC模型	14
2.2.5 人体金属模型	16
2.3 TLP测试标准和方法	17
参考文献	20
第 3 章 ESD防护原理	22
3.1 ESD的防护和评估	22
3.2 器件级ESD防护方法	24
3.3 电路级ESD防护方法	35
3.4 系统级和板级ESD防护方法	41
参考文献	43
第 4 章 纳米集成电路ESD防护设计和实例分析	44
4.1 概述	44

4.2	纳米集成电路ESD可靠性	46
4.3	纳米集成电路ESD防护目标	51
4.4	纳米集成电路ESD防护方法和实例	54
4.5	纳米集成电路ESD防护设计的版图优化	64
	参考文献	67
第5章	射频集成电路ESD防护设计和实例分析	70
5.1	概述	70
5.2	射频集成电路ESD防护器件的评估方法	74
5.3	射频ESD防护器件的评估和优化	78
5.3.1	二极管的评估和优化	78
5.3.2	GGNMOS器件评估	81
5.3.3	SCR器件的评估和优化	82
5.3.4	ESD器件综合性能对比	85
5.4	射频电路-ESD协同设计	88
5.5	射频集成电路ESD防护案例	92
	参考文献	95
第6章	高压功率集成电路ESD防护设计和实例分析	99
6.1	概述	99
6.1.1	高压ESD的防护目标	100
6.1.2	高压ESD防护方案	101
6.2	高压BCD工艺ESD自防护设计	102
6.2.1	高压nLDMOS的自防护设计	103
6.2.2	高压nLDMOS的ESD防护特性	104
6.2.3	体扩展技术和版图布置	106
6.2.4	体扩展技术的ESD特性	107
6.3	高压BCD工艺ESD外防护设计	109
6.3.1	nLDMOS防护设计	109
6.3.2	LDMOS-SCR防护器件	112
6.3.3	nLDMOS-SCR的ESD防护特性	113
6.3.4	高维持电压技术	118
	参考文献	122
第7章	CDM及HMM的防护方法和实例分析	125
7.1	CDM的防护方法	125

7.1.1 用于评估CDM的VF TLP方法	126
7.1.2 用于评估CDM的VF TLP_VT方法	127
7.2 CDM的ESD防护实例分析	128
7.3 HMM的ESD防护方法	135
7.4 HMM的ESD防护实例分析	135
参考文献	140
第8章 ESD防护器件设计的TCAD工具及其仿真流程	142
8.1 工艺和器件TCAD仿真软件的发展历程	142
8.2 工艺和器件仿真的基本流程	143
8.3 TSUPREM-4/MEDICI的仿真示例	146
8.3.1 半导体工艺仿真流程	146
8.3.2 从工艺仿真向器件仿真的过渡流程	149
8.3.3 半导体器件仿真流程	151
8.4 ESD防护器件设计要求及其TCAD辅助设计方法	155
8.5 利用瞬态仿真对ESD防护器件综合性能的评估	157
8.5.1 TCAD评估基本设置	158
8.5.2 敏捷性评估	158
8.5.3 鲁棒性评估	159
8.5.4 有效性评估	161
8.5.5 透明性评估	162
8.5.6 ESD总体评估	163
参考文献	164
第9章 ESD防护器件仿真中的关键问题	166
9.1 ESD仿真中的物理模型选择	166
9.2 热边界条件的设定	170
9.3 ESD器件仿真中收敛性问题解决方案	172
9.4 模型参数对关键性能参数仿真结果的影响	177
9.5 二次击穿电流的仿真	181
9.5.1 现有方法的局限性	181
9.5.2 单脉冲TLP波形瞬态仿真方法介绍	182
9.5.3 多脉冲TLP波形仿真介绍	183
参考文献	187

第10章 纳米线器件的ESD应力特性	188
10.1 简介	188
10.2 多晶硅纳米线薄膜晶体管的ESD性能	188
10.2.1 器件结构和DC特性	188
10.2.2 ESD性能一览	190
10.2.3 纳米线尺寸效应	191
10.2.4 等离子体处理的影响	193
10.2.5 版图优化	193
10.3 全环栅硅纳米线场效应晶体管的ESD性能	194
10.3.1 器件结构和直流性能	194
10.3.2 ESD的性能评估	195
10.3.3 栅长的影响	196
10.3.4 通道数目的影响	198
10.3.5 失效分析	199
10.4 CMOS、FinFET和纳米线的ESD性能比较	202
10.4.1 环栅硅纳米线管和多晶硅纳米线薄膜管的比较	202
10.4.2 环栅硅纳米线管、FinFET和二维 MOS管的比较	203
10.5 总结	205
参考文献	206
第11章 总结和展望	209
英文缩写对照表	213

第1章 绪论

1.1 ESD现象

静电放电(Electro Static Discharge, ESD)是指两种带不同电荷的物体相互靠近时,两者之间的绝缘介质被电场击穿形成导电通路,使得电荷发生转移中和;或者带不同电荷的物体直接接触使电荷转移中和。在这两种情形中,发生ESD的前提是物体带静电。物体起电的类型有多种,主要包括固体起电、粉体起电、液体起电、气体起电、人体起电。固体起电主要包括破裂起电、感应起电、压电起电、热电起电、剥离起电、喷电起电、吸附起电等;粉体起电主要是指在粉体运输过程中,粉体粒子和管道内壁发生碰撞和摩擦,从而带上电荷;液体起电主要是指液体中的带电粒子形成的边界层由于力学作用而分离,从而导致静电起电;单纯的气体一般情况下不会起电,气体起电主要是指气体中悬浮的固体或液体微粒在与管道摩擦或相互摩擦时起电,闪电的电荷就是气流在雷雨云中由于水分子的摩擦和分解产生的;人体也能起电,主要是因为人体本身是静电导体,而鞋袜通常是由静电绝缘材料制成的,所以人体起电后的电荷会暂时存储。

形成ESD的另一个原因就是电场感应。当带电物体靠近与地绝缘的导体时,就会在导体表面感应出极性相反的电荷。导体的整体仍保持电中性,因而不同区域就会带上不同的电荷。尽管导体整体还保持电中性,但如果能形成一条导电路径,那么也会发生电荷的转移。一个带正电荷物体靠近一个导体,形成到地的导电通路后电荷转移如图1.1所示。

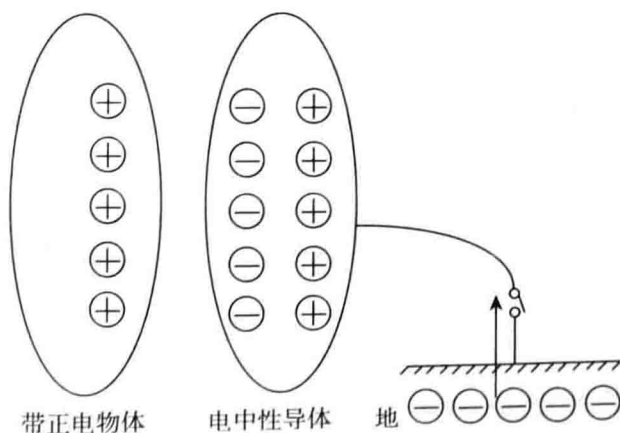


图1.1 电场感应引起的电荷转移示意图

在人类的发展历程中,各种不同类型的静电放电时刻可能会带来严重的后果。早在原始社会便有因闪电而引起森林大火迫使人类不断迁徙的情况;现代化工业崛起后,ESD现象与人们生活的交集日益变大,由ESD引起的事故屡见不鲜。迄今为止,世界上有数十颗卫星因ESD而发生故障;阿波罗1号载人宇宙飞船在一次发射演习中,航天器因ESD引发了起火和爆炸,3名宇航员丧生;1969年,在不到一个月的时间里,荷兰、挪威、英国有3艘20万吨级的油轮因为ESD而相继发生爆炸。

虽然以上情况都是一些极端的现象,但在日常生活中,ESD的例子也是随处可见。例如,接触金属门把手时的轻微麻痹感,或者脱毛衣时的小电火花。人体一般会带上几千伏^[1]的静电电压,但由于人体对静电电压不敏感,所以一般不会察觉。然而,ESD却给集成电路行业造成了极大的损失。表1.1列举了在不同的湿度下,一些常见的产生静电的活动和相应的静电电压,也给出了0.18 μm 1.8V CMOS工艺下MOS管栅氧的厚度、静态击穿电压以及瞬态击穿电压。对比一下常见的静电电压和器件栅氧的击穿电压可以发现,两者有几个数量级的差距,这很好地说明了集成电路产品在没有进行适当的ESD防护设计的情况下,一些常见行为(如手触碰芯片)就会使芯片失效。由此可见,集成电路产品ESD防护的重要性。

表1.1 常见的静电电压

产生静电的活动	产生静电的平均电压 / V		
	湿度10%	湿度40%	湿度65%
人走过地毯	35000	15000	7500
人走过防静电地毯	12000	5000	3000
工人在工作台工作	6000	500	400
陶瓷DIP封装IC在塑料管中	2000	700	400
陶瓷DIP封装IC在编织带上	11500	4000	2000
封装IC在塑料袋打开时	26000	20000	7000
封装IC放在泡沫塑料上装运时	21000	11000	5500

人体可以感知的静电因人而异,一般情况下,3500V左右0.18 μm 1.8V CMOS的栅氧厚度为5~7 \AA ,静态击穿电压为3~4V,瞬态击穿电压为5~7V。

1.2 ESD对芯片的威胁

在集成电路芯片的制造、运输、使用过程中,芯片的外部环境或者内部结构会积累一定量的电荷。当这些芯片的引脚与地形成通路时,积累的电荷就会发生转

移,瞬间通过集成电路内部的峰值电流可以达到数安培,这个瞬态大电流值足以将芯片烧毁^[2-3]。研究调查表明,电应力和ESD问题是引起集成电路产品失效的最主要原因。图1.2所示为集成电路产品失效机理的分析,可以发现约有58%的电子元件失效是由电应力和ESD引起的^[4]。据相关统计,在微电子领域因ESD造成的危害损失每年高达约100亿美元^[5]。美国的Ryne C. Allen研究表明,在ESD防护中每投入1美元,其回报达到95美元,即回报率为95:1^[6]。这些数据充分说明了采取ESD防护措施的必要性,它可以有效地提高产品的可靠性。

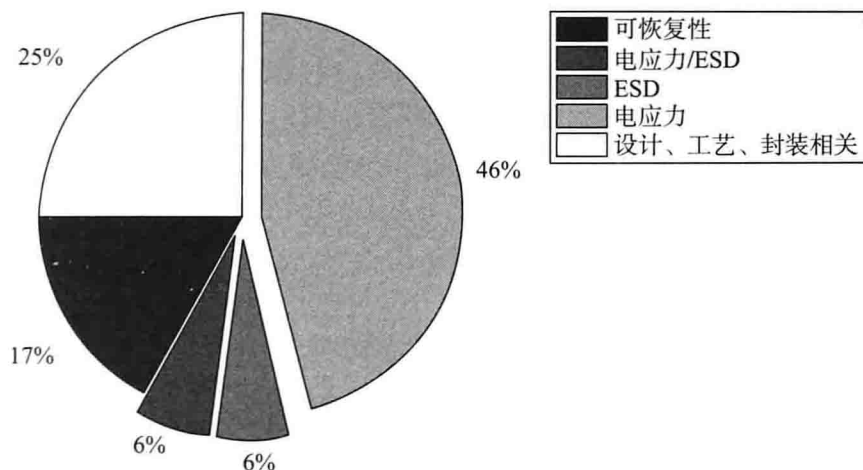


图1.2 集成电路产品失效原因比例

正因为ESD对集成电路造成的威胁十分严重,所以ESD物理机制的研究越来越受到世界各国的重视,国内外各大集成电路设计公司和代工厂都把ESD问题提到了战略高度。然而,ESD在不同工艺下的不可移植性和仿真的不准确性使得ESD防护设计变得越来越艰难。

1.3 ESD防护种类

要减少甚至消除ESD对微电子领域的危害,首先要对相关机理有深入的了解。ESD引起的失效模式可分为3种:①硬失效,物质损伤或毁坏;②软失效,逻辑功能的临时改变;③潜在失效,时间依赖性失效。目前,潜在失效仍然是最具争议的一种ESD损伤类型。对于潜在失效存在两种观点:一些学者认为虽然潜在失效是可能的,但只有非常低的发生概率;而另一些学者则认为ESD引起半导体器件损伤使器件立即失效的概率约为10%,因而约90%的器件存在潜在失效的可能。

引起这些失效的因素可分为热失效和电失效。热失效是指ESD事件发生时,局部产生几安培到几十安培的大电流,虽然持续的时间为几纳秒到几百纳秒,但产

生的大量热量会使局部的金属互连线熔化或使芯片出现热斑,从而引起二次击穿。电失效是指施加在栅氧化层上的电压形成的电场强度大于其介电强度,导致介质击穿或表面击穿。

针对上述ESD损伤机理,ESD防护可以从3个不同的层面进行:①从源头上防止静电的产生,减少甚至消除静电的累积;②片外ESD防护,即利用外围器件来保护芯片,使其免受ESD伤害;③片上ESD防护,即将ESD防护电路集成到芯片上,提高芯片自身的防护能力。

对于第一个层面,有以下几种常用的实现方式:控制静电荷的产生与积累,防止危险静电的形成;使用静电感度低的物质,降低具体场所由于静电造成的危害程度;采用综合防护技术,防止ESD能量耦合。具体的防护措施如下。

(1)通过防静电工作服、手腕带、导电鞋和地垫等实现良好的人体接地,将人体产生的静电及时导出,防止静电累积。

(2)在绝缘材料表面增加亲水性高的化学涂层,使静电电荷平均分布并能够及时导出。

(3)增加环境湿度,使物体上的静电通过空气逐渐导出,减少静电累积。湿度越高,物体上的静电泄漏越快,当相对湿度大于65%时,很难形成静电危害源。

(4)在芯片的存储和运输过程中,将其放进屏蔽容器内,防止外静电场的影响,同时保证芯片在容器内活动时不会产生静电。

(5)使用离子产生器中和异性离子、斥走同性离子。

对于第二个层面,可以用陶瓷电容、齐纳二极管、肖特基二极管、多层变阻器(Multi-Layer Varistor, MLV)和瞬态电压抑制器(Transient Voltage Suppressor, TVS)等外围器件来保护芯片免受ESD伤害。MLV是一种基于ZnO的压敏陶瓷材料,其工作原理是利用压敏电阻的非线性特性,当过电压出现在压敏电阻的两极时,压敏电阻可以将电压钳位到一个相对固定的电压值,从而实现对外级电路的保护。MLV在众多领域得到了广泛应用,如手机、机顶盒、复印机的片外ESD保护。TVS通常并联于被保护电路,当瞬态电压超过电路的正常工作电压时,二极管发生雪崩击穿,为瞬态电流提供通路,使内部电路免遭超额电压的击穿或超额电流的过热烧毁。

第三个层面中的片上ESD防护是最为重要的,因为上述这些方法虽然有一定的效果,但并不能从本质上提高集成电路产品的ESD防护能力。特别是第一个层面只能用于芯片的制造、保存和运输过程中,不能用于终端产品。很难想象在使用计算机、手机等电子产品时穿戴防静电工作服、手腕带、导电鞋会是怎样一个场景。因此加强芯片本身对ESD的防护能力,即提高集成电路产品的片上防护能力势在必行。片上ESD防护利用集成在芯片内部的ESD防护单元实现,当ESD事件发生时,它能够保护内部电路免遭烧毁。与片外ESD防护相比,片上ESD防护的优点

是：直接而且显著增强ESD防护能力，节省板级空间，减少系统成本并降低设计与布线的复杂度。从目前的情况来看，片上集成ESD防护电路的难度相当大(工艺的进步使集成电路的栅极氧化层厚度越来越薄，集成电路自身的ESD防护能力降低，先进工艺使传统的片上ESD防护措施效果减弱)，但是片上ESD防护单元的设计对电子产品抗击ESD伤害有着至关重要的作用。

综上所述，解决ESD问题的方法主要有3种：①避免ESD的发生；②片外专用ESD保护器件；③片上ESD防护单元设计。在实际的ESD解决方案中，通常从3种方法同时入手。由于ESD现象能够被控制却不能被杜绝，并且片外ESD防护器件要额外占用很多系统级/板级资源，因此解决ESD问题最经济有效的方法是合理设计片上ESD防护单元，这个单元必须能够有效地保护集成电路内部电路抵御ESD冲击。

对于片上ESD防护的设计与研究，可以从电路级、器件级、版图级3个不同层次进行。

(1)电路级：侧重于系统级的研究。例如，IBM公司提出了基于直流分析电源网路的方法来寻找ESD放电的薄弱部位^[7]；使用统一的ESD总线；优化设置ESD钳位单元(clamp)；使用统一的低阻接地技术避免复杂的电源网络ESD问题等。

(2)器件级：侧重于设计出开启电压低、寄生电容小、开启速度快和防护等级高的ESD防护器件。这需要深入分析传统ESD防护器件，如二极管、MOS管、晶闸管的工作机制，比较在纳米工艺下的新特点，做出改进或设计出新的ESD防护电路。

(3)版图级：主要研究金属布线和寄生电容的关系，以及在多叉指情况下的均匀导通问题。虽然其针对纳米器件的新特点提出了一些改进方法，但是目前仍然存在许多尚未解决的问题。例如，IBM公司提出的基于直流分析的ALSM (Advanced Library System Management)软件，用来找出电流值超过设计中规定的最大值的位置，然而实际的ESD并不是直流的，由此带来的误差在纳米器件中已经不能忽略了。此外，纳米工艺下的器件栅氧化层很薄，对ESD冲击更为敏感，这对ESD防护器件提出了更为苛刻的要求。

1.4 ESD防护研究发展和现状

1958年，美国德州仪器(Texas Instruments)公司的Jack Kilby和仙童(Fair Child)公司的Robert Noyce相隔数月分别发明了集成电路，开创了微电子学历史。1971年，Intel公司制造出了世界上第一个基于MOS工艺的微处理器4004，这标志着集成电路产业的正式兴起。在此后40多年的发展历程中，集成电路产品的集成度和性能一直按照摩尔定律^[8]飞速提升。随着集成电路产品尺寸的不断缩小和集

成度的不断提高,ESD对产品可靠性的影响也引起了人们的广泛关注。在集成电路产品的生产、封装、运输和使用过程中,静电电荷的积累和相应的放电现象都是不可避免的,为了提高产品的可靠性,ESD防护设计是必不可少的。

为了保证集成电路产品能在各种严酷的环境中正常使用,美国军方最先提出了ESD测试标准。随着芯片使用的普及,由ESD引起的问题日益凸显。虽然可以通过一些减少静电的常见措施(如增加环境湿度、穿着静电防护服等)缓解ESD冲击对芯片的损害,但最为关键的还是增强集成电路产品本身的ESD防护能力。为了提高集成电路产品的可靠性,增强市场竞争力,各半导体公司纷纷对ESD防护设计的研究投入了大量的人力和资金,特别是几家大型的晶圆代工厂,例如,美国的IBM公司、台湾联华电子股份有限公司、台湾积体电路制造股份有限公司、上海中芯国际集成电路制造有限公司等都成立了专门的ESD团队,不仅用来解决自身产品的相关ESD防护设计问题,还对外提供ESD的解决方案。此外,在微电子领域飞速发展的背景下,ESD防护设计也面临着越来越多的挑战,吸引了国内外的众多研究团体纷纷投入相关的研究领域中,其中主要的高校和相关的研究方向如下。

美国斯坦福大学:ESD器件的仿真建模以及整体电路级别的ESD防护。

美国加州大学伯克利分校:从整体电路上对ESD进行评估研究。

美国加州大学河滨分校:新型ESD防护器件的研究以及射频(Radio Frequency, RF)器件相关的ESD防护研究。

韩国首尔国立大学:高压工艺以及薄膜场效应晶体管(Thin Film Transistor, TFT)方面的ESD防护研究。

美国伊利诺伊大学香槟分校:RF器件相关的ESD防护研究。

美国中佛罗里达大学:高压工艺的ESD防护研究、ESD的仿真建模以及碳纳米管的ESD防护研究。

台湾交通大学:基于输入输出(I/O)的ESD整体设计,射频器件相关的ESD防护研究以及高压方面的ESD防护研究。

浙江大学:基于TCAD的ESD仿真、新型ESD防护器件的设计以及射频器件相关的ESD防护研究。

北京大学和湘潭大学:高压工艺和传统CMOS工艺下的ESD防护研究。

电子科技大学和东南大学:高压工艺ESD的防护与研究。

虽然早在微电子领域的制造工艺进入亚微米级前,ESD就已经成为影响集成电路可靠性的重要因素之一^[9-11],但是在早期的集成电路设计制造中,由于氧化绝缘层较厚,工艺线较宽,器件的抗ESD能力普遍较强,因此ESD防护设计并不十分困难,只要针对芯片中对ESD现象最为敏感的部位进行局部保护,就能使整个集成电路产品的ESD防护等级达到相应的要求。但随着集成电路制造工艺的不断发展,以及晶体管尺寸的不断减小,各类器件的工作电压越来越低,氧化绝缘层越来越

薄,金属连线越来越细,在同级别的ESD冲击之下,器件变得更容易损坏。尤其是栅氧化层的击穿、PN结二次击穿、金属互连线熔断等不可恢复的硬失效。

此外,在射频集成电路和功率集成电路领域,ESD防护设计也遇到了新的难题。射频集成电路工作在高频领域,ESD防护器件的使用又不可避免地会引入寄生电容等参数,从而恶化了射频电路的工作性能^[12-16]。如何在ESD防护能力和射频性能之间取舍,特别是实现RF-ESD协同设计^[17-21],就成为研究重点之一。功率集成电路一般都工作在高电压和大电流的环境下,因此ESD防护需要更高的等级。而防护等级的提高意味着芯片面积的增大,从而提高了产品的制造成本。如何在防护等级和成本之间权衡又成为另一个研究重点。另外,一些新材料(如石墨烯)的使用使得ESD防护设计不得不提出与以往基于硅的防护器件完全不同的模型和解决方案。

综合以上因素,以及如今40nm、28nm工艺成为主流、器件尺寸不断缩小、工作频率不断提高,对ESD防护设计的研究是迫切需要的。

参 考 文 献

- [1] 高诚德. 静电(ESD)的产生和防护. 通信电源技术, 2009, 6: 60-61.
- [2] Voldman S H. ESD: Physics and Device. Boston: John Wiley & Sons, 2006.
- [3] Weger A, Voldman S, Stellari F, et al. Transmission line pulse picosecond imaging circuit analysis methodology for evaluation of ESD and latchup. Reliability Physics Symposium, 2003: 99-104.
- [4] Amerasekera A, Duvvury C. ESD in Integrated Circuits. 2nd edition. Boston: John Wiley & Sons, 2002: 1-2.
- [5] 刘尚合, 武占成, 朱长青. 静电放电及危害防护. 北京: 北京邮电大学出版社, 2004: 176-181.
- [6] 郑泓. ESD对电子产品的危害及放静电设计. 企业科技与发展, 2010, 22: 47-49.
- [7] Brennan C J, Kozhaya J N, Proctor R A. Power network analysis for ESD robustness in a 90nm ASIC design system // Custom Integrated Circuits Conference, Orlando, 2004: 247-250.
- [8] Schaller R R. Moore's law: past, present and future. Spectrum IEEE, 2002, 34 (6): 52 - 59.
- [9] Amerasekera A, Duvvury C. ESD in Silicon Integrated Circuits. Boston: John Wiley & Sons, 2002.
- [10] Amerasekera A, van den Abeelen W, van Roozendaal L, et al. ESD failure modes: characteristics mechanisms and process influences. IEEE Transactions on Electron Devices, 1992, 39 (2): 430-436.
- [11] Vinson J E, Liou J J. Electrostatic discharge in semiconductor devices: an overview. Proceedings of the IEEE, 1998: 399-420.
- [12] Lee T H. CMOS RF integrated circuits: past, present and future (invited) // Microwave Conference, Munich, 1999: 12-19.

- [13] Leroux P, Steyaert M. High performance 5.2GHz LNA with on-chip inductor to provide ESD protection. *Electronics Letters*, 2001, 37 (7): 467-469.
- [14] Chandrasekhar V , Mayaram K. Analysis of CMOS RF LNAs with ESD protection//IEEE International Symposium of Circuits and Systems , Phoenix, 2002: 799-802.
- [15] Leroux P, Janssens J, Steyaert M. A 0.8dB NF ESD-protected 9mW CMOS LNA operating at 1.23GHz. *IEEE Journal of Solid-State Circuits*, 2002, 37 (6): 760-765.
- [16] Wang A Z, Feng H G, Zhan R Y, et al. ESD protection design for RF integrated circuits: new challenges // Custom Integrated Circuits Conference, Orlando, 2002: 411-418.
- [17] Hyvonen S, Joshi S , Rosenbaum E. Cancellation technique to provide ESD protection for multi-GHz RF inputs. *Electronics Letters*, 2003, 39 (3): 284-286.
- [18] Talwalkar N, Yue C P, Wong S S. An integrated 5.2GHz CMOS T/R switch with LC-tuned substrate bias // Solid-State Circuits Conference, San Francisco, 2003: 362-499.
- [19] Linten D, Thijs S, Natarajan M I, et al. A 5GHz fully integrated ESD-protected low-noise amplifier in 90nm RF CMOS. *IEEE Journal of Solid-State Circuits*, 2005, 40 (7): 1434-1442.
- [20] Jansen P, Thijs S, Linten D, et al. RF ESD protection strategies - the design and performance trade-off challenges//Custom Integrated Circuits Conference, San Jose, 2005: 489-496.
- [21] Vassilev V, Thijs S, Segura P L, et al. ESD-RF co-design methodology for the state of the art RF-CMOS blocks. *Microelectronics Reliability*, 2005, 45 (2): 255-268.