

嵌入式系統

設計實務-電路與驅動程式

袁世一、王壘、劉嘉政 編著



全華圖書股份有限公司 印行

嵌入式系統設計實務 — 電路與驅動程式(附範例光碟片)

袁世一、王壘、劉嘉政 編著



全華圖書股份有限公司 印行

國家圖書館出版品預行編目資料

嵌入式系統設計實務：電路與驅動程式 / 袁世一、王壘、劉嘉政編著. -- 初版. -- 台北縣土城市；全華圖書，2007〔民96〕
面；公分

ISBN 978-957-21-5788-6(平裝)

1. 電路 - 設計 2. VHDL(電腦硬體描述語言)

448.62

96006495

嵌入式系統設計實務 ——電路與驅動程式(附範例光碟片)

編 著 袁世一、王壘、劉嘉政
執行編輯 林玟妤
發行人 陳本源
出版者 全華圖書股份有限公司
地 址 236 台北縣土城市忠義路 21 號
電 話 (02) 2262-5666 (總機)
傳 真 (02) 2262-8333
郵政帳號 0100836-1 號
印 刷 者 宏懋打字印刷股份有限公司
圖書編號 05963007
初版一刷 2008 年 2 月
定 價 新台幣 250 元
I S B N 978-957-21-5788-6

全華圖書
www.chwa.com.tw
book@ms1.chwa.com.tw

全華科技網 OpenTech
www.opentech.com.tw

有著作權・侵害必究

序

← 嵌入式系統設計實務—電路與驅動程式

嵌入式系統設計是一個我國資訊工業目前極為重要的發展方向，但是也牽涉到許多的研究領域。例如：數位邏輯電路設計、軟硬體整合技術、計算機結構、輸入輸出控制等技術。這些技術都必須要與現存的電腦與網路結合，才能發揮嵌入式系統的積極效益。

FPGA-PCI 嵌入式系統開發環境就是一個為發展與訓練上述各項嵌入式技術的軟硬體環境，本實驗手冊的前半部即以 VHDL 硬體描述語言的介紹，示範一個簡易 CPU 各單元的硬體設計，在 Modelsim 的軟體模擬驗證後，以 Xilinx ISE 完成電路並透過 FPGA-PCI 完成硬體的實作及整合。

我們也同時針對 FPGA-PCI 嵌入式系統開發環境中輸入輸出控制技術及現存電腦與網路結合技術開發本實驗內容。FPGA-PCI 嵌入式系統開發環境中上述兩項技術的基礎就是發展驅動程式並與各作業系統接軌。

本實驗手冊的後半部將教導學生如何將微軟 WDM 驅動程式開發環境設定及使用於 FPGA-PCI 嵌入式系統開發環境，作為與現存電腦與網路結合的技術與實作。

編輯部序

← 嵌入式系統設計實務—電路與驅動程式



「系統編輯」是我們的編輯方針，我們所提供給您的，絕不只是一本書，而是關於這門學問的所有知識，它們由淺入深，循序漸進。

本書分爲2部分，一爲VHDL硬體描述語言介紹，由VHDL語言的介紹與練習，藉由基礎實驗與基本操作進而到基本的CPU撰寫，以循序漸進的方式練習VHDL用法。一爲WDM驅動程式撰寫介紹，此部份在於撰寫驅動程式的介紹與練習，藉由基礎的驅動程式實驗，實際體會驅動程式的軟體撰寫方法與硬體的互動方法，並練習由前面實驗中所學會的VHDL設計與此部分驅動程式設計，寫出簡單的驅動程式與硬體，完成整個硬體與驅動程式的設計流程。本書適用於私立大學、科大電子、資工系「硬體描述語言」課程使用。

同時，爲了使您能有系統且循序漸進研習相關方面的叢書，我們以流程圖方式，列出各有關圖書的閱讀順序，以減少您研習此門學問的摸索時間，並能對這門學問有完整的知識。若您在這方面有任何問題，歡迎來函連繫，我們將竭誠爲您服務。

相關叢書介紹

書號：05287

書名：嵌入式系統設計

編譯：王煌城

20K/456 頁/380 元

書號：05634017

書名：Micro C/OS- II 即時作業系統
核心(附系統及範例光碟片)

編譯：黃文增

16K/744 頁/650 元

書號：05788

書名：ARM 系統開發者指南

編譯：王能文

16K/712 頁/750 元

書號：05862

書名：SOPC 設計實務

編譯：廖裕評

20K/520 頁/450 元

書號：05785007

書名：SOC 系統晶片設計－使用
Xilinx EDK(附程式光碟片)

編著：林灶生、劉紹漢

16K/808 頁/690 元

書號：05951007

書名：FPGA 數位 IC 及 MCU/
SOP C 設計應用及實驗
(VHDL, QUARTUS II)
(附系統範例 DVD 光碟片)

編著：林容益

16K/656 頁/650 元

書號：05952007

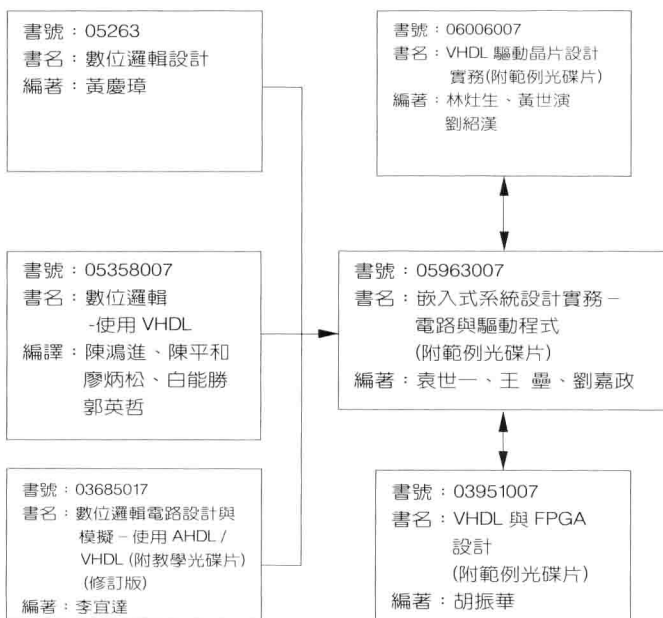
書名：FPGA 數位 IC 及 MCU/
SOP C 設計應用及實驗
(VHDL, QUARTUS II,
NIOS II)-進階(附系統
範例 DVD 光碟)

編著：林容益

16K/656 頁/650 元

◎上列書價若有變動，請
以最新定價為準。

流程圖



目錄

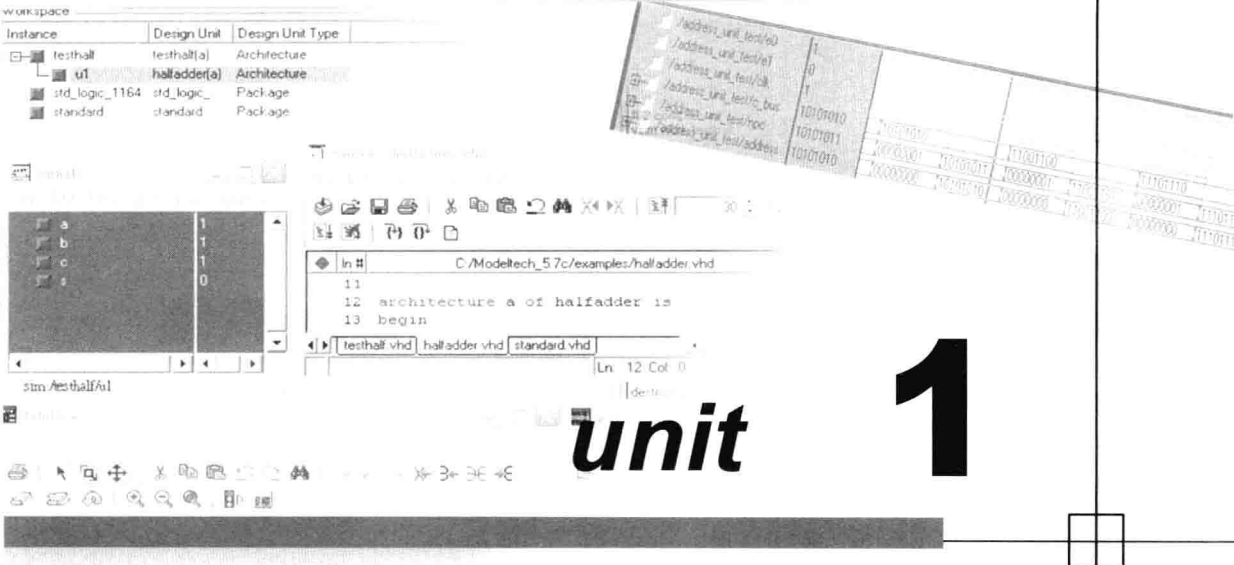
← 嵌入式系統設計實務—電路與驅動程式

unit 1 VHDL 硬體描述語言介紹

LAB 1	基本操作-Modelsim 軟體認識.....	1-2
LAB 2	基本操作-FPGA 燒錄&PCI 介面驗證教學	1-20
LAB 3	ALU 設計	1-28
LAB 4	Shifter	1-37
LAB 5	Register Bank & CPSR	1-46
LAB 6	Data Unit & Address Unit 設計	1-60
LAB 7	FSM(Finite-State Machine)設計	1-76
LAB 8	Data Path	1-89
LAB 9	Control Unit 基本介紹(1).....	1-95
LAB 10	Control Unit 基本介紹(2).....	1-103
LAB 11	完整加入 Data processing 指令之 Control Unit	1-113
LAB 12	加入 Load/Store 指令之 Control Unit	1-122
LAB 13	加入 Branch 指令之 Control Unit	1-130

unit 2 WDM 驅動程式撰寫介紹

LAB 1	WDM 驅動程式開發環境設定及使用	2-2
LAB 2	PCI-FPGA 卡簡介與 I/O Port 配置.....	2-10
LAB 3	基本 LED 輸出控制練習.....	2-17
LAB 4	基本按鈕輸入控制練習	2-22
LAB 5	ATL 與 VB 使用.....	2-26
LAB 6	按鈕與輸出綜合練習	2-38
LAB 7	多重輸出 Port 應用	2-42
LAB 8	LCD 顯示器用法與應用	2-46



VHDL 硬體描述語言介紹

此部份重點在於 VHDL 語言的介紹與練習，藉由幾個基礎實驗與基本操作進而到基本的 CPU 撰寫，讓學生以循序漸進的方式學習到 VHDL 語言的用法，能夠寫出屬於自己的 CPU，並且透過 PCI-FPGA 卡驗證各個 VHDL 範例功能，加速學習效果。

LAB 1

基本操作-Modelsim 軟體 認識

目的：學習 VHDL 設計軟體 Modelsim 的操作

簡述：VHDL 語言是用於 FPGA 開發的重要工具，我們在本實驗中將介紹用於 VHDL 語言編輯之工具程式-Modelsim。

Modelsim 具有將 VHDL 程式加以邏輯模擬驗證的功能，是進行實體燒錄前的前置工作。本實驗將介紹 Modelsim 的操作，並實際設計 1-bit 與 4-bit 半加器電路。

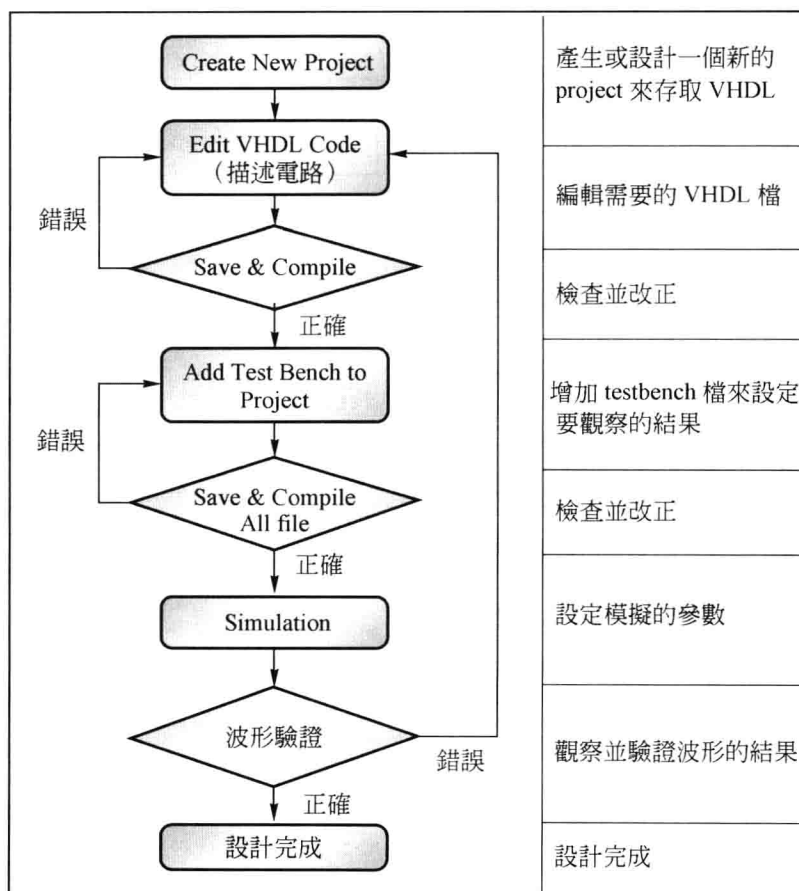
時間：預計兩小時半

步驟：詳述於下頁

預定目標：使學生了解：

- 一、Modelsim 軟體操作
- 二、VHDL 語言簡介
- 三、Program Example：
 - 1 bit Half adder 半加器
 - 4 bit Half adder 半加器

一、Modelsim 設計流程

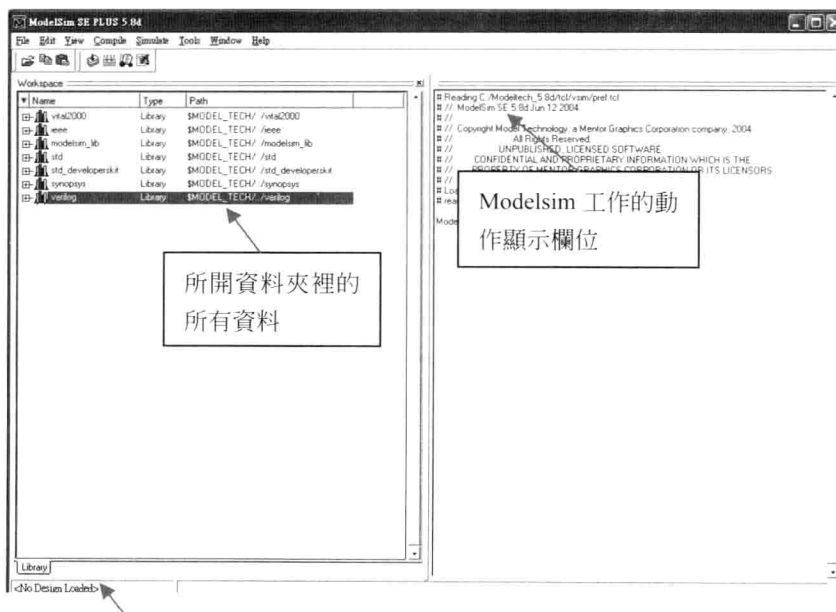


二、Modelsim 的基本介面

Modelsim SE 使用

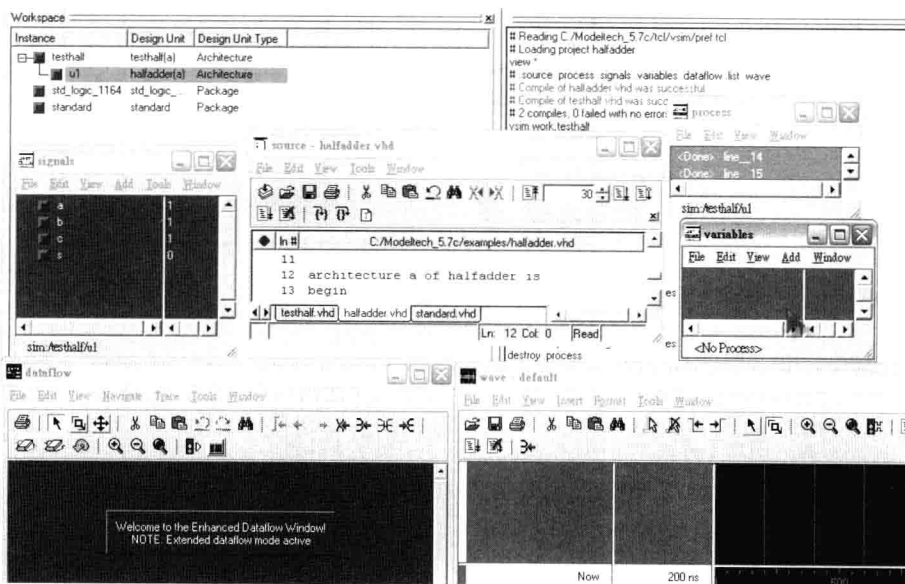


點選左圖，開啓 Modelsim 程式。如下圖



目前欄位中所顯示的檔案為哪種屬性(若有 project, 可切換)

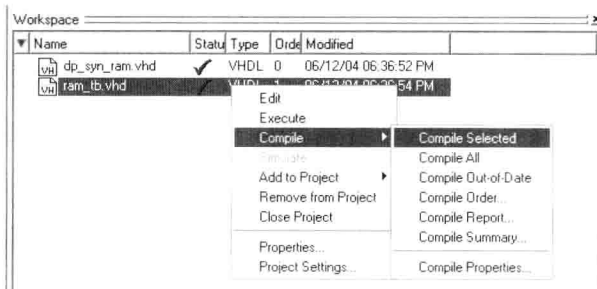
Modelsim 全部的介面



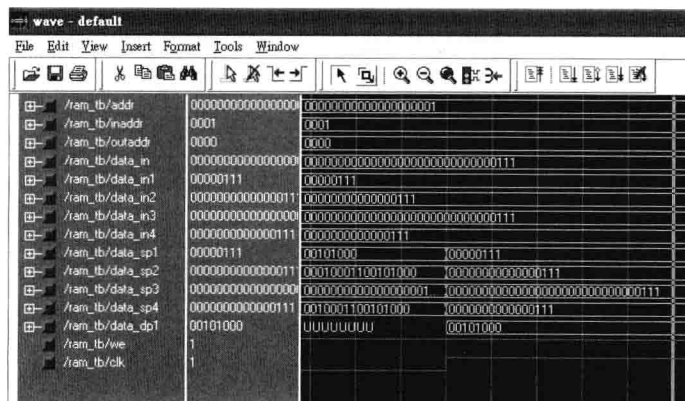
三、基本流程介紹



Design(產生並設計
VHDL 檔)

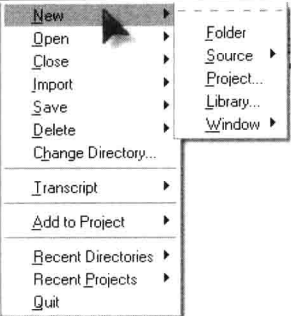
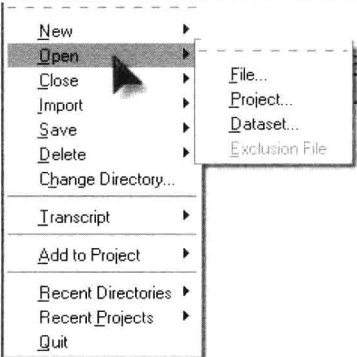
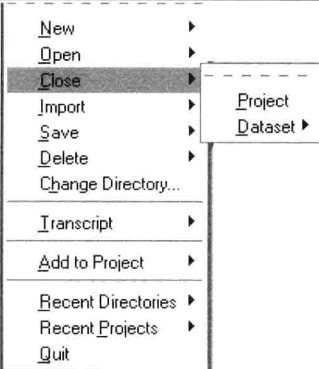


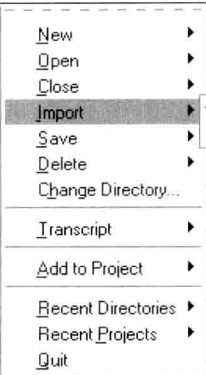
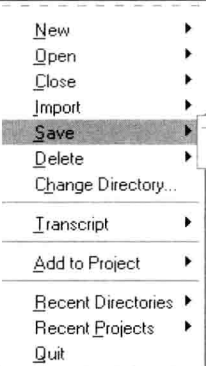
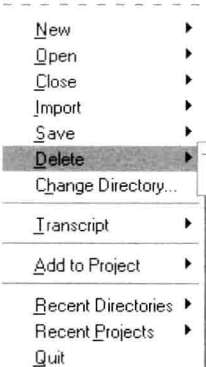
Compiling(編譯檔案)



Simulation(設定模擬
參數並觀察最後的波
形)

四、Modelsim 介面介紹：File 檔案

New(新增)：		
	建立新資料夾 新增檔案／選擇檔案類型(VHDL...) 在資料夾下新增一個專案 新增自訂的資料庫 開啟功能視窗(Dataflow, List...)	
Open(開啓)：		
	開啓已有的檔案 開啓已有的專案 軟體參數設定值	
Close(關閉)：		
	關閉使用中的專案 關閉開啓的軟體參數設定	

Import(輸入) :		
		由現有資料庫輸入
Save(儲存) :		
		儲存至已開啓之位置
Delete(刪除) :		
		刪除目前專案(project)

Others(其他)：	
New ▶ Open ▶ Close ▶ Import ▶ Save ▶ Delete ▶ Change Directory Transcript ▶ Add to Project ▶ Recent Directories ▶ Recent Projects ▶ Quit	改變儲存 Folder 的路徑 將檔案轉換成其他資料形式 (ex：VHDL→Verilog HDL) 增加檔案到專案中 最近使用過的資料夾 最近使用的專案 離開程式
Edit(編輯)：只在檔案編輯時有效	
Copy Paste Select All Unselect All Find...	複製選取的部份 貼上 全選 反向全選 找尋
View(檢視)：	
All Windows Alerts Datflow List Memory Process Signals Source Structure Variables Wave Datasets... Coverage ▶ Active Processes ✓ Workspace Encoding ▶ Properties Project Settings...	開啓下列全部視窗 軟體參數視窗 工作視窗 模擬時的參數設定視窗

Compile(編譯) :		

<u>C</u> ompile...		開啟要編譯的檔案
C <u>o</u> mpile <u>O</u> ptions...		編譯設定的項目

S <u>y</u> stemC <u>L</u> ink...		全部編譯

C <u>o</u> mpile <u>A</u> ll		編譯選取的檔案
C <u>o</u> mpile <u>S</u> electe <u>d</u>		編譯階數
C <u>o</u> mpile <u>O</u> rd <u>e</u> r...		編譯報告
C <u>o</u> mpile <u>R</u> eport...		編譯摘要
C <u>o</u> mpile <u>S</u> ummary...		
Simulation(模擬) :		

<u>S</u> imulate...		選取檔案模擬
S <u>i</u> mulation <u>O</u> ptions...		模擬參數設定

<u>R</u> un	▶	開始模擬(在模擬時可以不同方式執行)
<u>B</u> reak		模擬中斷
<u>E</u> nd Simulation...		結束模擬
Tool(工具)、Windows(視窗)、Help(輔助)		
-----	-----	-----
<u>W</u> aveform <u>C</u> ompare ▶	I <u>n</u> itial <u>L</u> ayout	
<u>C</u> overage ▶	<u>C</u> ascade	
<u>P</u> rofile ▶	T <u>i</u> le <u>H</u> orizontally	
<u>B</u> reakpoints...	T <u>i</u> le <u>V</u> ertically	
-----	<u>L</u> ayout <u>S</u> tyle ▶	
<u>E</u> xecute <u>M</u> acro...	I <u>c</u> on <u>C</u> hildren	<u>A</u> bout ModelSim
<u>T</u> cl <u>D</u> ebugger	I <u>c</u> on <u>A</u> ll	<u>R</u> elease <u>N</u> otes
<u>I</u> cl <u>P</u> ro <u>D</u> ebugger	<u>D</u> eicon <u>A</u> ll	<u>W</u> elcome <u>M</u> enu
-----	<u>C</u> ustomize...	-----
<u>O</u> ptions ▶	<u>1</u> main	S <u>E</u> <u>P</u> DF <u>D</u> ocumentation ▶
<u>E</u> dit <u>P</u> references...	<u>2</u> wave - default	S <u>E</u> <u>H</u> TML <u>D</u> ocumentation
<u>S</u> ave <u>P</u> references...	<u>W</u> indows...	<u>I</u> cl <u>H</u> elp
		T <u>c</u> l <u>M</u> an <u>P</u> ages
		T <u>e</u> chnotes ▶

此三種功能在 modelsim 的使用上較少會更改，為輔助功能。

五、VHDL 簡介

1. VHDL

- VHDL 就是 VHSIC Hardware Description Language 的縮寫，而 VHSIC 就是 Very High Speed Integrated Circuit 的縮寫，其意義就是非常高速積體電路。
- 這是一項原由美國國防部(DoD, Department of Defense)所支持的研究計畫。爲了將電子電路的設計意涵以文件方式保存下來，以便其它人能輕易地了解電路的設計意義。

2. VHDL 基本架構

```

library IEEE;
use IEEE.std_logic_1164.all;

entity entity_name is
port (input_signals : in type;
      output_signals : out type);
end entity_name;

architecture arch_name of entity_name is
component C1
generic (Constant : type :=--起始
port (input_signals : in type;
      output_signals : out type);
end component;

component C2
generic (constant : type :=--起始
port (input_signals : in type;
      output_signals : out type);
end component;
--宣告使用於連接的信號
--行為和結構模型

signal s1, s2, s3 : type := initialization;

--方位敘述
for L1: C1 use entity --指明實體架構
for L2: C2 use entity --指明實體架構

begin
--CSA，過程，或元件例舉使用陳述式
--CSA，過程，或元件例舉使用陳述式
--CSA，過程，或元件例舉使用陳述式
--CSA，過程，或元件例舉使用陳述式
end arch_name;

```

元件庫及包裝之宣告

介面描述

元件宣告

架構宣告區

信號宣告

配置規格

架構主體